

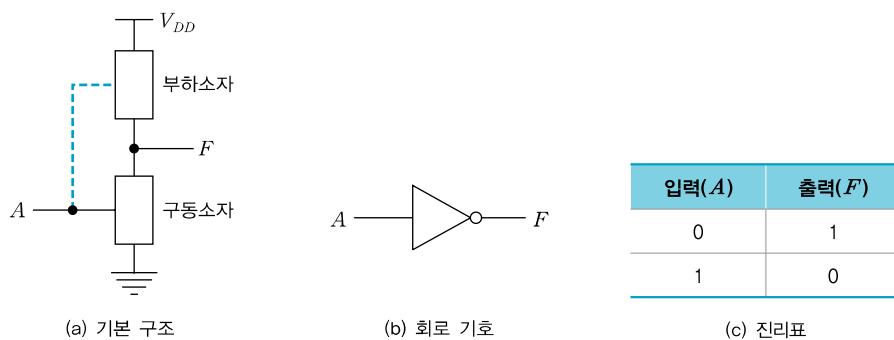
인버터(inverter)는 논리값을 반전시키는 기능을 수행하는 가장 기본적인 논리 게이트이다. 인버터 회로의 구조와 동작 특성에 대한 명확한 이해는 NAND, NOR, XOR 등의 논리 게이트뿐만 아니라 인코더, 디코더, 가산기 등 복잡한 디지털 회로의 이해와 설계를 위한 기초가 된다. 이 장에서는 CMOS, nMOS 및 pseudo nMOS 인버터의 구조와 DC 특성, 스위칭 특성, 전력소모 특성 등을 이해하고, 회로 설계 시에 고려해야 하는 요소들을 알아본다. 또한 다단 CMOS 인버터 버퍼의 지연시간 모델링과 최적 설계조건에 대해 알아본다.

4.1 MOS 인버터의 구조 및 특성 파라미터

인버터는 디지털 논리회로를 구성하는 가장 기본적인 논리 게이트이다. MOSFET로 구성되는 MOS 인버터는 부하소자의 형태에 따라 nMOS, pseudo nMOS, CMOS 인버터로 구분되며, 서로 다른 동작 특성을 갖는다. 인버터를 포함한 논리 게이트의 동작 특성은 DC 특성과 스위칭 특성으로 구분하여 특성 파라미터로 나타낸다. DC 특성은 시간의 변화에 대한 고려 없이 입력전압의 변화에 따른 출력전압의 변화를 나타낸다. 한편, 스위칭 특성은 시간의 변화에 따른 출력전압의 변화를 나타낸다. 이 절에서는 MOS 인버터의 DC 특성과 스위칭 특성 파라미터에 대해 설명한다. 이러한 특성 파라미터는 인버터뿐만 아니라 논리 게이트에도 유사하게 정의되고, 회로의 동작 특성 분석과 회로 설계에 기본적으로 적용되므로, 이를 충분히 이해할 필요가 있다.

4.1.1 MOS 인버터의 일반적인 구조

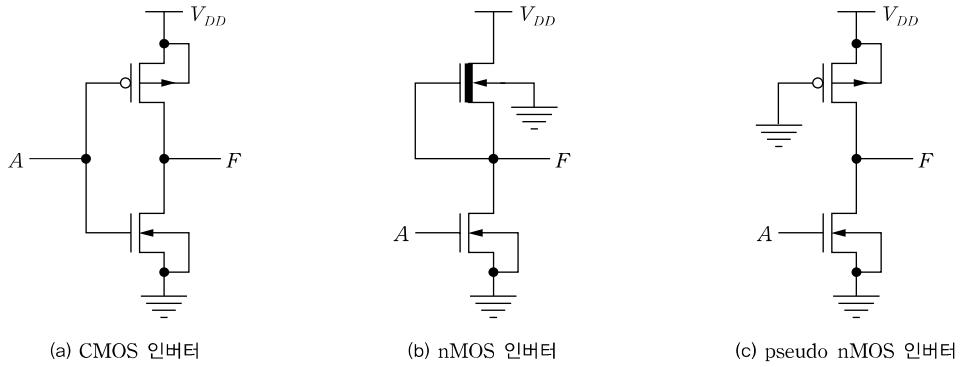
MOS 인버터는 [그림 4-1(a)]와 같이 전원(V_{DD})과 접지(GND) 사이에 부하소자^{load}와 구동소자^{driver}가 수직으로 연결된 구조를 갖는다. 구동소자로는 증가형 nMOS가 사용되며, 부하소자로는 증가형 pMOS 또는 공핍형 nMOS가 사용된다. 인버터의 입력은 구동소자의 게이트(부하소자의 게이트)에 인가되며, 출력은 부하소자와 구동소자의 접점에서 얻어진다. MOS 인버터는 논리값 0 입력에 대해 논리값 1을 출력하고, 반대로 논리값 1 입력에 대해 논리값 0을 출력함으로써, 입력 논리값을 반전시켜 출력하는 기능을 가진다. 인버터의 회로 기호와 진리표는 각각 [그림 4-1(b)], [그림 4-1(c)]와 같다.



[그림 4-1] MOS 인버터의 기본 구조 및 회로 기호와 진리표

MOS 인버터는 부하소자의 형태에 따라 [그림 4-2]와 같이 세 가지로 구분된다. [그림 4-2(a)]는 증가형 pMOS가 부하소자로 사용된 CMOS 인버터 회로로, 입력신호가 구동 소자(nMOS)와 부하소자(pMOS)의 게이트에 인가된다. 입력이 $A = 0$ 이면, pMOS가 도통되어 출력노드가 전원전압 V_{DD} 로 연결되고, nMOS는 개방되어 출력은 $F = 1$ 이 된다. pMOS가 도통되면 출력을 전원전압 V_{DD} 로 끌어 올리는 동작이 일어나므로, pMOS 부하소자를 풀업^{pull-up} 소자라고 부른다. 반면, 입력이 $A = 1$ 이면, nMOS가 도통되어 출력노드가 접지로 연결되고, pMOS는 개방되어 출력은 $F = 0$ 이 된다. nMOS가 도통되면 출력을 접지로 끌어 내리는 동작이 일어나므로, nMOS 구동소자를 풀다운^{pull-down} 소자라고 부른다.

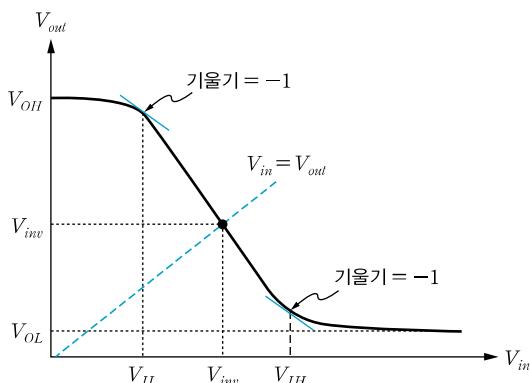
[그림 4-2(b)]는 공핍형 nMOS가 부하소자로 사용된 nMOS 인버터 회로이며, [그림 4-2(c)]는 게이트가 접지에 연결된 증가형 pMOS가 부하소자로 사용된 pseudo nMOS 인버터 회로이다. 이들 두 인버터는 입력신호가 구동(풀다운)소자의 게이트로만 인가되며, 부하(풀업)소자는 항상 도통상태에 있는 점이 CMOS 인버터와의 차이점이다.



[그림 4-2] MOS 인버터의 종류

4.1.2 MOS 인버터의 DC 특성

회로에 인가되는 입력전압의 변화에 따른 출력전압의 변화를 전압 전달 특성 VTC : Voltage Transfer Characteristic 또는 DC 전달 특성이라고 한다. [그림 4-3]은 MOS 인버터의 일반적인 VTC 곡선으로, x 축을 입력전압(V_{in})으로 하고 y 축을 출력전압(V_{out})으로 하여 그려진다. 인버터의 입력전압이 0에 가까우면, 출력전압은 전원전압에 가까운 큰 값(논리값 1)이 된다. 반대로 입력전압이 전원전압에 가까운 큰 값이면, 출력전압은 0V에 가까운 작은 값(논리값 0)이 되어 입력과 출력의 논리값이 서로 반전 관계를 갖는다.



[그림 4-3] MOS 인버터의 일반적인 VTC 곡선

[그림 4-3]의 VTC 곡선에서 인버터의 DC 전달 특성에 관계되는 몇 가지 파라미터들이 정의된다. VTC 곡선의 y 축에서는 인버터의 출력전압과 관련된 파라미터들이 정의된다. 논리값 1에 대한 정상상태의 출력전압 V_{OH} 와 논리값 0에 대한 정상상태의 출력전압 V_{OL} 이 정의되는데, 이때 V_{OH} 와 V_{OL} 의 차이를 논리 스윙(logic swing)이라고 한다. 일반적

으로 V_{OH} 가 전원전압 V_{DD} 에 가까울수록, V_{OL} 이 0V(접지)에 가까울수록 좋은 DC 특성을 나타낸다. 한편, VTC 곡선의 x 축에서는 인버터의 입력전압과 관련된 파라미터가 정의된다. 인버터에서 논리값 0으로 인식될 수 있는 최대 입력전압을 V_{IL} 이라고 하며, 논리값 1로 인식될 수 있는 최소 입력전압을 V_{IH} 라고 정의한다. [그림 4-3]에서 보는 바와 같이, V_{IL} 과 V_{IH} 는 VTC 곡선의 기울기가 -1인 점에서 정의된다. VTC 곡선에서 입력전압과 출력전압이 같아지는 점을 스위칭 문턱전압 switching threshold voltage V_{INV} 로 정의한다.

일반적으로 디지털 회로의 전압은 여러 가지 요인들(회로 구성, 전원전압 및 접지의 변동, 신호 간 간섭 등)에 의해 이상적인 값에서 벗어나 변동할 수 있는데, 이와 같은 전압변동은 회로 동작에 전기적인 잡음으로 작용한다. 논리 게이트가 전기적인 잡음의 영향에 얼마나 둔감한지는 잡음여유 noise margin로 모델링한다.

[그림 4-4]와 같이 동일한 특성을 갖는 두 개의 인버터가 직렬로 연결된 경우를 생각해보자. 두 번째 인버터가 올바로 동작하기 위해서는 INV1의 출력전압 파라미터 V_{OL} , V_{OH} 와 INV2의 입력전압 파라미터 V_{IL} , V_{IH} 사이에 식 (4.1)의 조건이 충족되어야 한다.

$$V_{OL} < V_{IL} \quad (4.1a)$$

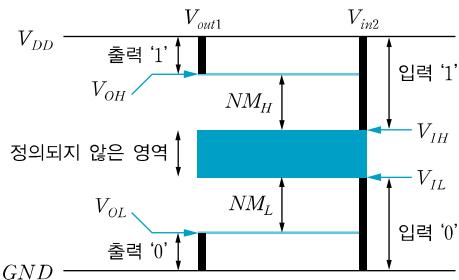
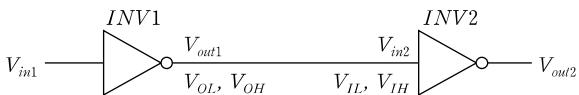
$$V_{OH} > V_{IH} \quad (4.1b)$$

INV1의 V_{OL} 이 INV2의 V_{IL} 보다 작아야 하며, INV1의 V_{OH} 가 INV2의 V_{IH} 보다 커야 정상적인 논리 동작이 가능하다. 이를 토대로 인버터의 잡음여유를 [그림 4-4]와 같이 나타낼 수 있으며, 논리값 0에 대한 잡음여유 NM_L 과 논리값 1에 대한 잡음여유 NM_H 를 식 (4.2)와 같이 정의할 수 있다. 인버터의 논리 동작이 정상적으로 수행되기 위해서는 잡음여유가 0보다 커야 하며, 잡음여유가 클수록 전압 변동에 대한 영향을 적게 받아 회로가 안정적으로 동작할 수 있다.

$$NM_L = V_{IL} - V_{OL} \quad (4.2a)$$

$$NM_H = V_{OH} - V_{IH} \quad (4.2b)$$

식 (4.2)로부터 V_{OL} 이 0V에 가까울수록 논리값 0에 대한 잡음여유가 커지고, V_{OH} 가 전원전압 V_{DD} 에 가까울수록 논리값 1에 대한 잡음여유가 커짐을 알 수 있다. 또한 V_{IL} 과 V_{IH} 가 논리 스윙 범위의 중앙에 가까울수록 잡음여유가 커짐을 알 수 있다.



[그림 4-4] 인버터의 잡음여유

4.1.3 MOS 인버터의 스위칭 특성

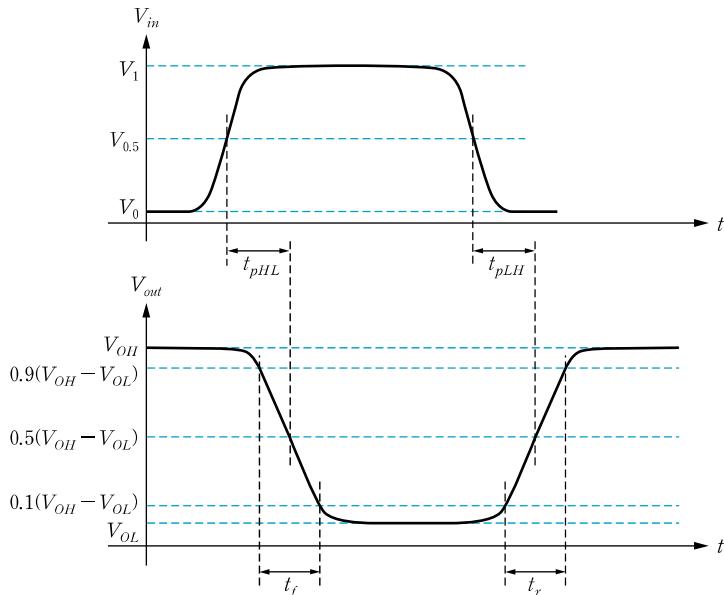
4.1.2절에서 설명한 DC 전달 특성은 시간에 대한 고려 없이 입력전압과 출력전압의 관계를 나타낸다. 회로의 특성을 나타내는 또 다른 관점은 시간에 따른 신호의 변화를 고찰하는 것이며, 이를 스위칭 특성이라고 한다. 일반적으로 논리 게이트의 스위칭 특성은 입력신호의 변화에 대해 회로가 얼마나 빨리 반응하는지를 나타내며, 디지털 회로의 동작 속도를 결정하는 요소이다. 스위칭 특성은 부하 커패시턴스가 충전 또는 방전되는 데 소요되는 시간에 의해 결정된다. 이 절에서 정의되는 스위칭 특성 파라미터는 일반적으로 논리 게이트와 디지털 회로의 스위칭 특성을 나타내는 데 사용된다.

MOS 인버터의 스위칭 특성 파라미터들은 [그림 4-5]와 같으며, 다음과 같이 정의된다.

- 하강시간(t_f) : 출력전압이 스윙 범위의 90%에서 10%까지 하강하는 데 소요되는 시간
- 상승시간(t_r) : 출력전압이 스윙 범위의 10%에서 90%까지 상승하는 데 소요되는 시간
- 전달지연시간(t_p) : 입력신호가 정상상태의 50%에 도달한 시점부터 출력신호가 50%에 도달하기까지 소요되는 시간

전달지연시간에서 입력과 출력신호의 50%를 기준으로 삼은 이유는 인버터(또는 논리 게이트)의 스위칭 문턱전압이 출력전압 스윙 범위의 중앙에 위치한다는 가정에 의한 것이다. 전달지연은 다음과 같이 2개의 파라미터로 구분되며, 하강 전달지연시간과 상승 전달지연 시간 중 큰 값 또는 평균값을 인버터의 전달지연시간으로 사용한다. 하강시간과 하강 전달지연시간은 구동소자의 특성과 출력단 부하 커패시턴스의 영향을 받으며, 상승시간과 상승 전달지연시간은 부하소자의 특성과 출력단 부하 커패시턴스의 영향을 받는다.

- 하강 전달지연시간(t_{pHL}) : 출력이 논리값 1에서 논리값 0으로 하강하는 경우의 전달 지연시간
- 상승 전달지연시간(t_{pLH}) : 출력이 논리값 0에서 논리값 1로 상승하는 경우의 전달 지연시간



[그림 4-5] 인버터의 스위칭 특성 파라미터

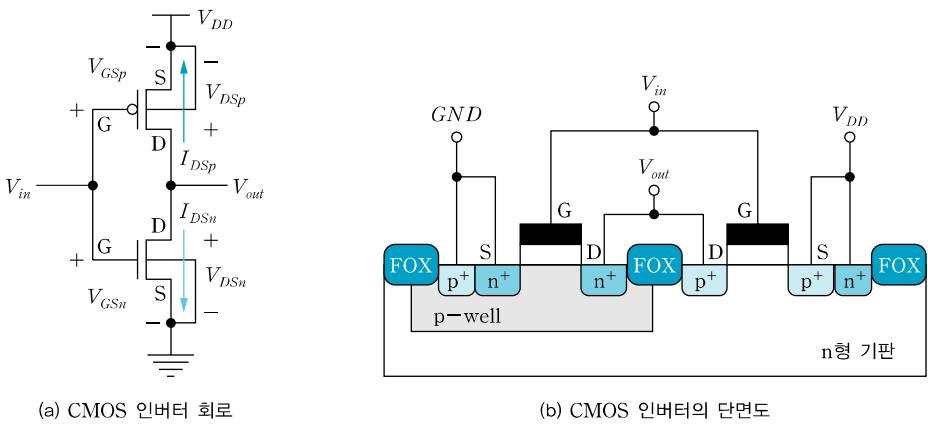
핵심포인트 MOS 인버터의 특성 파라미터

- DC 전달 특성은 입력전압의 변화에 따른 출력전압의 변화를 나타내며, $V_{OH} = V_{DD}$ 이고 $V_{OL} = 0V$ 인 경우에 논리 스윙과 잡음여유가 최대가 된다.
- 스위칭 특성은 입력신호의 변화에 대한 회로의 반응속도를 나타내며, 부하 커패시턴스의 총 전/방전에 소요되는 시간에 의해 결정된다.
- 하강시간은 하강 전달지연시간에, 상승시간은 상승 전달지연시간에 영향을 미친다.

4.2 CMOS 인버터

이 절에서는 CMOS 디지털 회로를 구성하는 가장 기본적인 논리 게이트인 CMOS 인버터의 구조와 동작 원리, DC 특성과 스위칭 특성, 전력소모 특성 등을 이해하고, 회로 설계에서 고려해야 하는 요소들을 알아본다.

CMOS 인버터는 [그림 4-6(a)]와 같이 구성되며, 증가형 pMOS가 부하소자로 사용되고, 증가형 nMOS가 구동소자로 사용된다. pMOS의 소오스는 전원 V_{DD} 에 연결되고, nMOS의 소오스는 접지에 연결되며, 출력은 부하소자와 구동소자의 드레인 접점에서 얻어진다. pMOS의 기판은 V_{DD} 에 연결되고, nMOS의 기판은 접지에 연결되어야 인버터 회로가 올바로 동작할 수 있다. [그림 4-6(b)]는 p-well CMOS 공정으로 제작된 CMOS 인버터의 단면도이다. pMOS는 n형 기판에 만들어지며, nMOS는 p-well 안에 만들어진다. n형 기판은 n^+ 확산영역을 통해 V_{DD} 로 연결되는데, 이를 기판 컨택 substrate contact이라고 한다. p-well은 p^+ 확산영역을 통해 접지로 연결되며, 이를 웰 컨택 well contact이라고 한다. 기판 컨택에 의해 n형 기판과 pMOS 소오스/드레인의 pn 접합에 역방향 바이어스가 인가되고, 웰 컨택에 의해 p-well과 nMOS 소오스/드레인의 pn 접합에 역방향 바이어스가 인가되어 pMOS와 nMOS가 올바로 동작할 수 있게 된다.



[그림 4-6] CMOS 인버터 회로와 단면도

CMOS 인버터의 동작을 개략적으로 살펴보면 다음과 같다. 입력 V_{in} 이 논리값 0(0V)인 경우에 pMOS는 도통되고 nMOS는 차단상태가 되어, 출력전압은 $V_{out} = V_{DD}$ 가 된다. 논리값 1의 출력전압은 $V_{OH} = V_{DD}$ 가 되며, 부하소자가 도통되어 출력에서 논리값 1이 얻어지므로 부하소자인 pMOS를 풀업 pull-up 소자라고 한다. 한편, 입력 V_{in} 이 논리값 1(V_{DD})인 경우에, pMOS는 차단상태가 되고 nMOS는 도통되어, 출력전압은 $V_{out} = 0V$ 가 된다. 논리값 0의 출력전압은 $V_{OL} = 0V$ 가 되며, 구동소자가 도통되어 출력에 논리값 0이 얻어지므로 구동소자인 nMOS를 풀다운 pull-down 소자라고 한다.

4.2.1 CMOS 인버터의 DC 특성

CMOS 인버터의 DC 전달 특성은 pMOS와 nMOS의 전압-전류 특성으로부터 얻을 수 있다. CMOS 인버터를 구성하는 pMOS와 nMOS의 전압-전류 특성 곡선은 [그림 4-7]과 같다. 이때 pMOS와 nMOS의 전류와 전압의 극성이 반대임에 유의한다. [그림 4-6(a)]의 회로에서 식 (4.3)~식 (4.6)의 관계를 얻을 수 있다. 인버터의 출력전압 V_{out} 는 nMOS의 드레인-소오스 전압 V_{DSn} 이며, 입력전압 V_{in} 은 nMOS의 게이트-소오스 전압 V_{GSn} 이다. pMOS의 드레인-소오스 전압에 V_{DD} 를 더한 것이 인버터의 출력전압이며, pMOS의 게이트-소오스 전압 V_{GSP} 는 입력전압 V_{in} 에서 V_{DD} 를 뺀 것이다. 또한 pMOS와 nMOS의 전류 방향은 서로 반대이지만, 캐리어 형태가 반대(정공과 전자)이므로 전류는 V_{DD} 에서 접지로 흐른다.

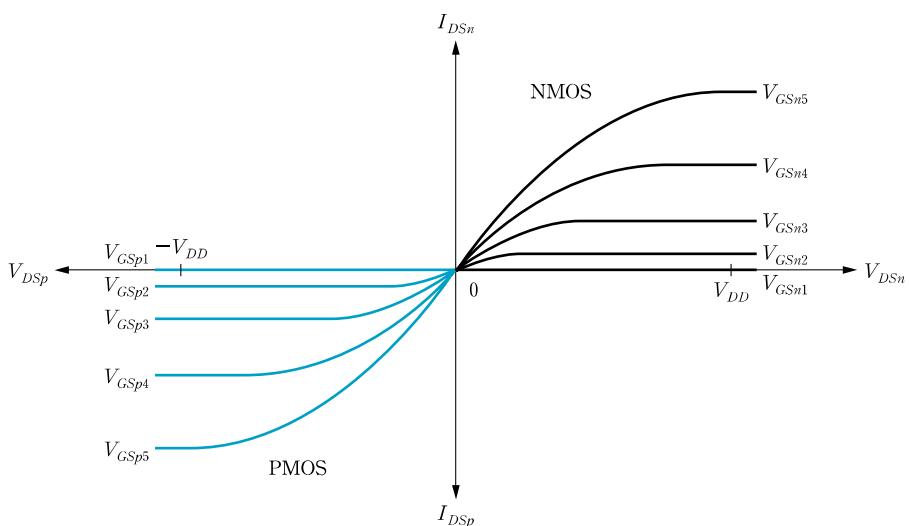
$$V_{out} = V_{DSn} = V_{DSp} + V_{DD} \quad (4.3)$$

$$V_{in} = V_{GSn} \quad (4.4)$$

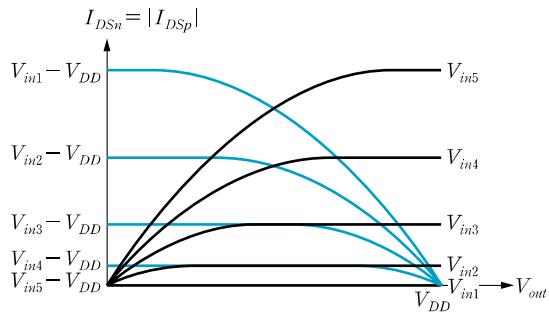
$$V_{GSp} = V_{in} - V_{DD} \quad (4.5)$$

$$I_{DSn} = -I_{DSp} \quad (4.6)$$

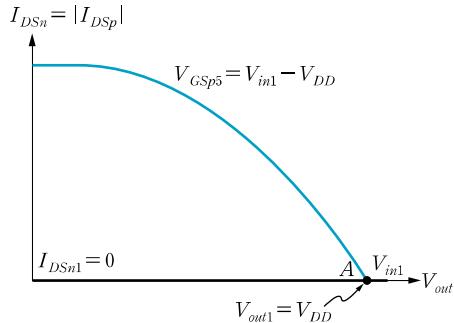
CMOS 인버터의 DC 전달 특성을 얻기 위해, pMOS와 nMOS의 전압-전류 특성 곡선을 중첩하여 나타내면 [그림 4-8(a)]와 같다. 식 (4.3)~식 (4.6)의 관계를 이용하여 pMOS와 nMOS의 전압-전류 특성 곡선을 인버터의 입력전압 V_{in} 과 출력전압 V_{out} 로 변환하여 반영하였다.



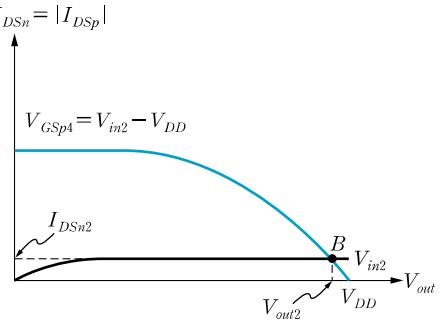
[그림 4-7] pMOS와 nMOS의 전압-전류 특성 곡선



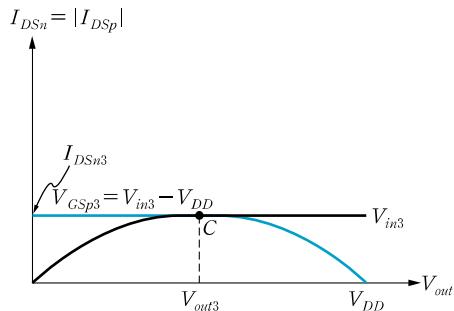
(a) 특성 곡선의 중첩



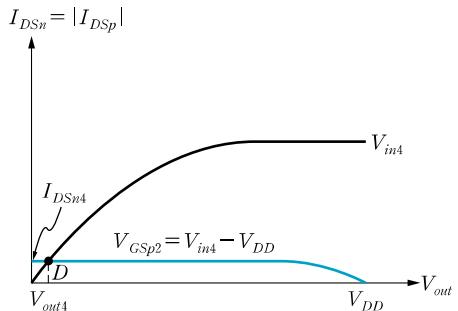
(b) $V_{in1} = 0$ V 또는 $V_{in1} < V_{Tn}$ 인 경우



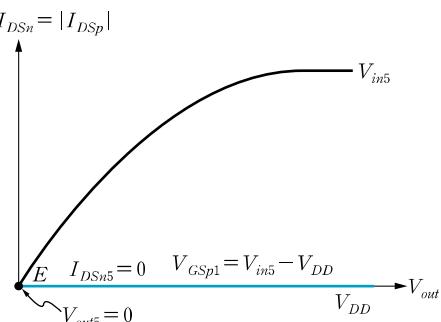
(c) $V_{Tn} < V_{in2} < \frac{1}{2} V_{DD}$ 인 경우



(d) $V_{in3} \approx \frac{1}{2} V_{DD}$ 인 경우



(e) $V_{in4} < V_{DD} + V_{Tp}$ 인 경우



(f) $V_{in5} = V_{DD}$ 또는 $V_{in5} > V_{DD} + V_{Tp}$ 인 경우

[그림 4-8] 입력전압 V_{in} 에 따른 CMOS 인버터의 동작

[그림 4-8(a)]로부터, 입력전압 V_{in} 을 0V에서부터 V_{DD} 까지 변화시키면서 그에 따른 출력전압 V_{out} 의 변화를 관찰하면, CMOS 인버터의 DC 전달 특성 곡선을 얻을 수 있다. [그림 4-8(b)] ~ [그림 4-8(f)]는 5가지 입력전압에 대해 nMOS와 pMOS의 동작모드, 전류, 출력전압을 보이고 있으며, 이를 정리하면 [표 4-1]과 같다. 각 동작영역에서 입력전압과 출력전압의 관계는 다음과 같다.

- $V_{in1} = 0V$ 또는 $V_{in1} < V_{Tn}$ 인 경우(A점) : pMOS는 선형모드이고, nMOS는 차단모드이므로, 출력전압은 $V_{out} = V_{DD}$ 가 된다. 따라서 $V_{OH} = V_{DD}$ 이다.
- $V_{Tn} < V_{in2} < \frac{1}{2}V_{DD}$ 인 경우(B점) : pMOS는 선형모드이고, nMOS는 포화모드로 동작하며, 출력전압은 $\frac{1}{2}V_{DD} < V_{out} < V_{DD}$ 가 된다.
- $V_{in3} \simeq \frac{1}{2}V_{DD}$ 인 경우(C점) : pMOS와 nMOS가 모두 포화모드로 동작하며, 출력전압은 $V_{out} \simeq \frac{1}{2}V_{DD}$ 가 된다.
- $V_{in4} < V_{DD} + V_{Tp}$ 인 경우(D점) : pMOS는 0포화모드이고, nMOS는 선형모드로 동작하며, 출력전압은 $V_{out} < \frac{1}{2}V_{DD}$ 가 된다.
- $V_{in5} = V_{DD}$ 또는 $V_{in5} > V_{DD} + V_{Tp}$ 인 경우(E점) : pMOS는 차단모드이고, nMOS는 선형모드에서 동작하므로, 출력전압은 $V_{out} = 0V$ 이 된다. 따라서 $V_{OL} = 0V$ 이다.

[표 4-1] 입력전압에 따른 CMOS 인버터의 동작 특성

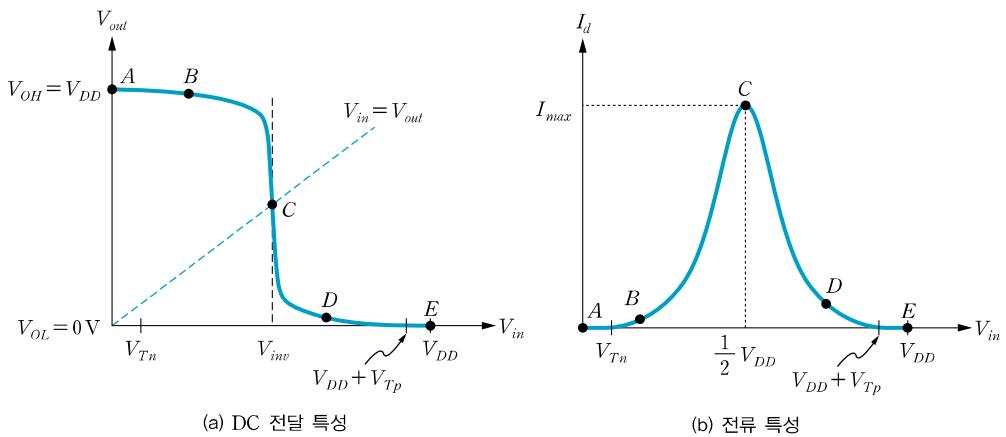
구분	A점	B점	C점	D점	E점
[그림 4-8]	(b)	(c)	(d)	(e)	(f)
입력전압	$V_{in1} = 0$	$V_{Tn} < V_{in2} < \frac{1}{2}V_{DD}$	$V_{in3} \simeq \frac{1}{2}V_{DD}$	$V_{in4} < V_{DD} + V_{Tp}$	$V_{in5} = V_{DD}$
nMOS	차단	포화	포화	선형	선형
pMOS	선형	선형	포화	포화	차단
출력전압	V_{DD}	$\frac{1}{2}V_{DD} < V_{out} < V_{DD}$	$\simeq \frac{1}{2}V_{DD}$	$V_{out} < \frac{1}{2}V_{DD}$	0
전류	0	$I_d > 0$	$\simeq I_{max}$	$I_d > 0$	0

[그림 4-8(b)] ~ [그림 4-8(f)]로부터 CMOS 인버터의 DC 전달 특성 곡선을 그리면 [그림 4-9(a)]와 같다. 이때 논리값 1의 출력전압은 $V_{OH} = V_{DD}$ 이고, 논리값 0의 출력전압은 $V_{OL} = 0V$ 이다. CMOS 인버터의 출력전압은 0V에서 전원전압 V_{DD} 까지 스윙하므로, DC 특성은 트랜지스터의 크기와 무관하다. 이와 같은 회로를 무비울 논리회로

ratioless logic라고 한다. 참고로, 4.3절에서 설명되는 nMOS 인버터와 pseudo nMOS 인버터는 V_{OL} 이 부하소자와 구동소자의 임피던스 비^{ratio}에 영향을 받는 비율 논리회로 ratioed logic이다. CMOS 인버터의 무비율 특성은 회로 설계를 간편하게 만드는 장점을 갖는다.

[그림 4-8(b)] ~ [그림 4-8(f)]로부터, CMOS 인버터의 입력전압에 따른 전류 특성은 [그림 4-9(b)]와 같다. A점과 E점에서는 각각 nMOS와 pMOS가 차단상태이므로 인버터에 흐르는 전류는 이상적으로 0이며, 매우 작은 누설전류만 흐른다. B점, C점, D점에서는 nMOS와 pMOS가 모두 도통상태에 있으므로 인버터에는 전류가 흐르며, nMOS와 pMOS가 모두 포화모드인 C점에서 가장 큰 전류가 흐른다.

[그림 4-9(b)]에서 보는 바와 같이, CMOS 인버터는 입력이 0(논리값 0) 또는 V_{DD} (논리값 1)를 유지하는 동안에는 정적 static 전류가 0이다(누설에 의한 매우 작은 전류만 흐름). 논리값 1 → 논리값 0, 또는 논리값 0 → 논리값 1의 스위칭 과정이 동안([그림 4-9]에서 B점, C점, D점)에만 전류가 흐르므로, DC 전력소모는 이상적으로 0이다. 따라서 CMOS 인버터는 전력소모가 작다는 장점을 갖는다. 참고로, 4.3절에서 설명되는 nMOS와 pseudo nMOS 인버터는 입력이 논리값 1을 유지하는 동안에 DC 전력소모가 지속적으로 일어나는 단점이 있다.



[그림 4-9] CMOS 인버터의 DC 전달 특성과 전류 특성

[그림 4-9(a)]의 입출력 전달 특성에서 기울기가 1인 직선과 VTC 곡선이 만나는 점의 입력전압을 인버터의 스위칭 문턱전압 switching threshold voltage V_{inv} 로 정의한다. 스위칭 문턱전압은 인버터의 출력이 논리값 0에서 논리값 1로, 또는 그 반대로 스위칭되는 임계 입력전압을 의미한다. C점에서의 스위칭 문턱전압 V_{inv} 는 식 (4.7)과 같이 표현되며, nMOS와 pMOS의 β_n 과 β_p 는 각각 식 (4.8), 식 (4.9)과 같이 정의된다. 식 (4.8)과 식

(4.9)에서 k_n 과 k_p 는 각각 nMOS와 pMOS의 공정이득^{process gain} 파라미터를 나타낸다.

$$V_{inv} = \frac{V_{DD} + V_{Tp} + V_{Tn} \sqrt{\beta_n/\beta_p}}{1 + \sqrt{\beta_n/\beta_p}} \quad (4.7)$$

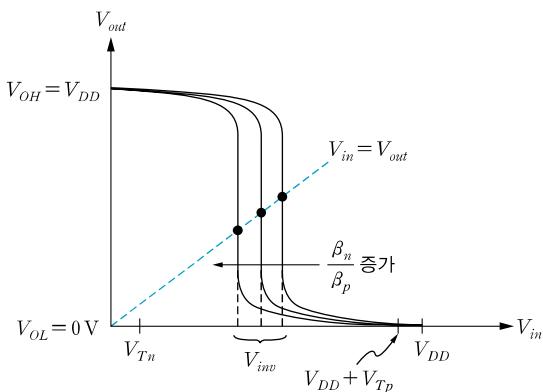
$$\beta_n \equiv \frac{\mu_n \epsilon_0 \epsilon_{ox}}{t_{ox}} \left(\frac{W_n}{L_n} \right) = k_n \left(\frac{W_n}{L_n} \right) \quad (4.8)$$

$$\beta_p \equiv \frac{\mu_p \epsilon_0 \epsilon_{ox}}{t_{ox}} \left(\frac{W_p}{L_p} \right) = k_p \left(\frac{W_p}{L_p} \right) \quad (4.9)$$

식 (4.7) ~ 식 (4.9)로부터, CMOS 인버터의 스위칭 문턱전압은 nMOS와 pMOS의 β -비에 의해 결정됨을 알 수 있다. CMOS 인버터의 잡음여유를 최대로 만들고, VTC 곡선이 대칭성을 갖도록 하기 위해서는 $V_{inv} = \frac{1}{2} V_{DD}$ 가 되도록 설계해야 한다. pMOS와 nMOS의 문턱전압이 $V_{Tn} = |V_{Tp}|$ 라고 가정하면, 식 (4.7)로부터 $\beta_n = \beta_p$ 가 되어야 하며, 채널길이가 같다면($L_n = L_p$) 식 (4.10)을 만족하도록 설계해야 한다. 예를 들어, 전자의 이동도가 정공의 이동도보다 3배 크다면($\mu_n = 3\mu_p$), $W_p = 3W_n$ 으로 설계해야 한다.

$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p} \quad (4.10)$$

CMOS 인버터의 β -비(β_n/β_p)에 따른 VTC 곡선의 변화는 [그림 4-10]과 같다. β_n/β_p 가 증가할수록 VTC 곡선이 왼쪽으로 이동하면서, 스위칭 문턱전압이 감소함을 알 수 있다. 일반적으로 CMOS 인버터의 스위칭 문턱전압은 β -비의 작은 변화에 그리 민감하지 않으므로 $W_p/W_n \approx 2 \sim 3$ 으로 설계하며, 면적을 줄이기 위해 최소 크기의 $W_p = W_n$ 로 설계하기도 한다.



[그림 4-10] β -비에 따른 CMOS 인버터의 VTC 곡선 변화

CMOS 인버터의 스위칭 문턱전압을 $V_{inv} = 1.3\text{V}$ 로 만들기 위한 pMOS와 nMOS의 채널폭비(W_p / W_n)를 구하라. pMOS와 nMOS의 채널길이는 같고($L_n = L_p$), 전자와 정공의 이동도는 각각 $\mu_n = 150\text{cm}^2/\text{V}\cdot\text{s}$, $\mu_p = 60\text{cm}^2/\text{V}\cdot\text{s}$ 이다. 전원전압은 $V_{DD} = 2.5\text{V}$ 이고, pMOS와 nMOS의 문턱전압은 각각 $V_{Th} = 0.3\text{V}$, $V_{Tp} = -0.4\text{V}$ 이다.

풀이

주어진 값들을 식 (4.7)에 대입하면 다음과 같다.

$$V_{inv} = \frac{V_{DD} + V_{Tp} + V_{Th} \sqrt{\beta_n / \beta_p}}{1 + \sqrt{\beta_n / \beta_p}} = \frac{2.5 - 0.4 + 0.3 \sqrt{\beta_n / \beta_p}}{1 + \sqrt{\beta_n / \beta_p}} = 1.3 \quad (1)$$

식 (1)을 정리하면 $\sqrt{\beta_n / \beta_p} = 0.8$ 이 되며, 식 (4.8)과 식 (4.9)를 적용하여 채널폭의 비 W_p / W_n 을 구하면 다음과 같다.

$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p} \times \frac{1}{(0.8)^2} = \frac{2.5}{0.64} = 3.9$$

핵심포인트 CMOS 인버터의 DC 특성

- $V_{OH} = V_{DD}$, $V_{OL} = 0$ 인 무비율 논리이므로, 트랜지스터 크기와 무관한 DC 특성을 가져 설계가 용이하고 잡음여유가 크다.
 - 출력이 논리값 0 또는 1을 유지하는 정상상태에는 이상적으로 전류가 0이므로, DC 전력소모가 작아 저전력에 적합하다.
- CMOS 인버터의 β_n / β_p 가 증가할수록 VTC 곡선이 왼쪽으로 이동하여 스위칭 문턱전압이 감소한다.
 - 전자와 정공의 이동도를 고려하여 $W_p / W_n \approx 2 \sim 3$ 으로 설계하며, 면적을 줄이기 위해 최소 크기의 $W_p = W_n$ 로 설계하기도 한다.

4.2.2 CMOS 인버터의 스위칭 특성

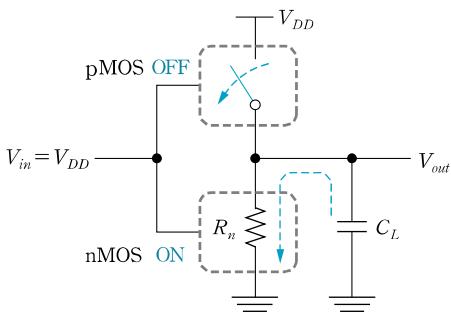
논리 게이트의 스위칭 특성은 입력신호의 변화에 대해 회로가 얼마나 빨리 반응하는가를 나타내며, 부하 커패시턴스의 충전 또는 방전에 소요되는 시간으로 회로의 동작속도를 결정하는 요소이다. 이 절에서는 CMOS 인버터의 하강시간, 상승시간, 전달지연시간 등 의 스위칭 특성을 설명한다. CMOS 인버터의 스위칭 특성을 확장하여 CMOS 논리 게이

트나 임의의 CMOS 논리회로에도 유사하게 적용할 수 있다.

■ 하강시간

인버터의 하강시간은 논리값 1이 입력되는 경우에 발생한다. 논리값 1이 입력되면, [그림 4-11]과 같이 nMOS는 도통상태가 되어 등가저항 R_n 으로 모델링되고, pMOS는 차단상태가 된다. 하강시간은 부하 커패시턴스 C_L 에 충전된 전하가 도통된 nMOS를 통해 접지로 방전되는 데 소요되는 시간을 나타낸다. 계단^{step} 입력을 가정하면, CMOS 인버터의 하강시간은 근사적으로 식 (4.11)과 같이 모델링된다. β_n 은 식 (4.8)로 정의되며, m 은 전원전압 V_{DD} 와 nMOS의 문턱전압에 따라 결정되는 상수값이다. $V_{DD} = 3 \sim 5$ V와 $V_{Th} = 0.5 \sim 1.0$ V에 대해 $m = 3 \sim 4$ 범위의 값을 갖는다.

$$t_f \simeq \frac{m C_L}{\beta_n V_{DD}} = \frac{m C_L}{k_n V_{DD}} \left(\frac{L_n}{W_n} \right) \quad (4.11)$$



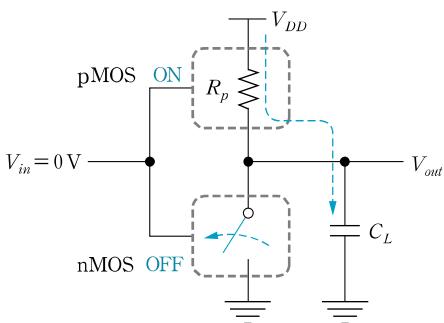
[그림 4-11] CMOS 인버터 하강시간 등가모델($V_{in} = V_{DD}$ 인 경우)

식 (4.11)로부터 nMOS의 β_n , 전원전압 V_{DD} , 그리고 출력노드의 용량성 부하 C_L 등이 CMOS 인버터의 하강시간에 영향을 미침을 알 수 있다. 인버터의 하강시간을 줄이기 위해서는 부하 커패시턴스 C_L 을 최소화해야 하며, nMOS의 채널폭을 크게 하거나 채널길이를 작게 해야 한다. 전원전압 V_{DD} 가 클수록 하강시간은 짧아지지만, 전원전압은 시스템에서 결정되는 요소이고, 회로의 전력소모를 증가시키는 요인으로 바람직한 방법이 아니다. 일반적으로 회로 설계자는 nMOS의 채널폭(W_n)을 조정하여 하강시간을 조정한다.

■ 상승시간

인버터의 상승시간은 논리값 0이 입력되는 경우에 발생한다. 논리값 0이 입력되면, [그림 4-12]와 같이 pMOS는 도통상태가 되어 등가저항 R_p 로 모델링되고, nMOS는 차단상태가 된다. 상승시간은 도통된 pMOS를 통해 부하 커패시턴스 C_L 을 충전하는 데 소요되는 시간을 나타낸다. 계단 입력을 가정하면, CMOS 인버터의 상승시간은 근사적으로 식 (4.12)와 같이 모델링된다. β_p 는 식 (4.9)로 정의되며, m 은 전원전압 V_{DD} 와 pMOS의 문턱전압에 따라 결정되는 상수값이다.

$$t_r \simeq \frac{m C_L}{\beta_p V_{DD}} = \frac{m C_L}{k_p V_{DD}} \left(\frac{L_p}{W_p} \right) \quad (4.12)$$



[그림 4-12] CMOS 인버터 상승시간 등가모델($V_{in} = 0V$ 인 경우)

식 (4.12)로부터 pMOS의 β_p , 전원전압 V_{DD} , 그리고 출력단에 존재하는 용량성 부하 C_L 등이 CMOS 인버터의 상승시간에 영향을 미침을 알 수 있다. 따라서 인버터의 상승 시간을 줄이기 위해서는 부하 커패시턴스 C_L 을 최소화해야 하며, pMOS의 채널폭을 크게 하거나 채널길이를 작게 해야 한다. 전원전압 V_{DD} 가 클수록 상승시간이 짧아지지만, 전원전압은 시스템에서 결정되는 요소이고, 회로의 전력소모를 증가시키므로 바람직한 방법이 아니다. 일반적으로 회로 설계자는 pMOS의 채널폭(W_p)을 조정하여 상승시간을 조정한다.

상승시간과 하강시간 중 하나는 매우 크고 다른 하나는 매우 작아서 인버터 출력의 스위칭 특성이 비대칭이면, 둘 중 큰 값에 의해 회로의 동작속도가 느려진다. 따라서 상승시간과 하강시간이 같으면서도 최소가 되도록 설계하는 것이 회로의 동작속도를 최적화할 수 있는 방법이다. CMOS 인버터의 상승시간과 하강시간이 같아지도록 만들기 위해서는 식 (4.11)의 하강시간과 식 (4.12)의 상승시간이 같아지도록 설계해야 한다. 즉, 식

(4.13)의 관계가 성립한다.

$$\frac{m C_L}{k_n V_{DD}} \left(\frac{L_n}{W_n} \right) = \frac{m C_L}{k_p V_{DD}} \left(\frac{L_p}{W_p} \right) \quad (4.13)$$

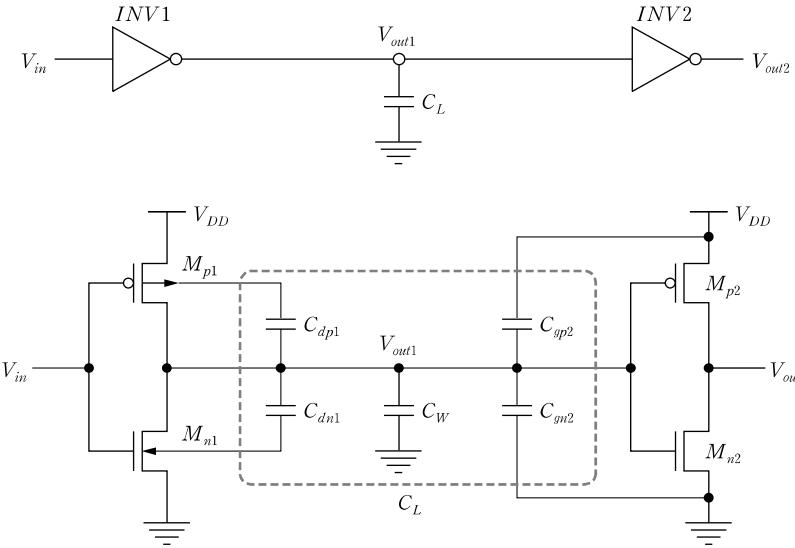
일반적으로 nMOS와 pMOS의 채널길이를 같게 만들므로($L_p = L_n$), 식 (4.13)을 간략화하면 식 (4.14)의 관계가 얻어진다. 이때 전자와 정공의 이동도 차이를 고려하여 nMOS와 pMOS의 채널폭을 결정하면, 상승시간과 하강시간이 같아지도록 설계할 수 있다. 통상적으로 전자의 이동도가 정공의 이동도보다 2.5~3배 정도 크므로, 이를 반영하여 pMOS의 채널폭 W_p 를 nMOS의 채널폭 W_n 보다 약 2.5~3배 정도 크게 설계하면 된다.

$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p} \quad (4.14)$$

식 (4.11)과 식 (4.12)로부터 CMOS 인버터의 고속 동작을 위한 방법을 찾을 수 있다. 첫째, pMOS와 nMOS의 채널폭을 크게 만들면 속도를 빠르게 할 수 있다. 그러나 채널폭이 커지면 트랜지스터의 게이트 커패시턴스와 소오스/드레인 접합 커패시턴스도 함께 증가하므로, 시뮬레이션을 통해 적절한 값을 선택해야 한다. MOSFET의 커패시턴스 성분에 대해서는 3.4절을 참조한다. 둘째, 전원전압 V_{DD} 를 크게 하면 동작속도를 빠르게 할 수 있다. 그러나 전원전압은 시스템이나 공정에서 결정되는 요소이고, 또한 전력소모에 영향을 미치므로(4.2.3절), 동작속도 개선을 위해 전원전압을 크게 하는 것은 바람직하지 않다. 셋째, 인버터의 고속 동작을 위해서는 출력단에 존재하는 부하 커패시턴스 C_L 을 최소화해야 하는데, 이는 전력소모에도 영향을 미치므로 설계자가 이를 주의 깊게 고려해야 한다.

[그림 4-13]과 같이 두 개의 인버터가 직렬로 연결된 경우에, 부하 커패시턴스 C_L 은 크게 세 가지 성분으로 구성된다. C_{dn1} , C_{dp1} 은 각각 nMOS와 pMOS의 드레인-기판 사이의 접합 커패시턴스로, 인버터 자체의 출력 커패시턴스를 나타낸다. 이를 자기부하(self-loading)라고 한다. C_{gn2} , C_{gp2} 는 각각 다음 단 인버터의 nMOS와 pMOS의 게이트 커패시턴스이다. C_W 는 두 인버터 사이를 연결하는 배선의 커패시턴스이다. 따라서 첫 번째 인버터의 부하 커패시턴스 C_L 은 식 (4.15)와 같이 주어지며, 인버터의 고속 동작을 위해서는 이들 커패시턴스 성분들이 최소화되도록 설계해야 한다.

$$C_L = (C_{dn1} + C_{dp1}) + C_w + (C_{gn2} + C_{gp2}) \quad (4.15)$$



[그림 4-13] 부하 커패시턴스 C_L 의 성분

예제 4-2

CMOS 인버터의 상승시간과 하강시간이 $t_r = t_f \simeq 0.15\text{ ns}$ 가 되도록 트랜지스터의 채널폭 W_n 과 W_p 를 구하라. 부하 커패시턴스는 $C_L = 50\text{ fF}$ 이고, nMOS와 pMOS의 공정이득 파라미터는 각각 $k_n = 100\text{ }\mu\text{A/V}^2$, $k_p = 40\text{ }\mu\text{A/V}^2$ 이다. 채널길이는 $L_n = L_p = 0.4\text{ }\mu\text{m}$ 이고, 전원전압은 $V_{DD} = 3.3\text{ V}$, $m = 3$ 이다.

풀이

주어진 파라미터 값들을 식 (4.11)에 대입하면

$$t_f \simeq \frac{m C_L}{\beta_n V_{DD}} = \frac{m C_L}{k_n V_{DD}} \left(\frac{L_n}{W_n} \right) = \frac{3 \times 50 \times 10^{-15}}{100 \times 10^{-6} \times 3.3} \left(\frac{0.4 \times 10^{-6}}{W_n} \right) \simeq 0.15 \times 10^{-9}$$

이므로, nMOS의 채널폭 W_n 은 $W_n \approx 1.2\text{ }\mu\text{m}$ 이 된다. $k_n = 100\text{ }\mu\text{A/V}^2$, $k_p = 40\text{ }\mu\text{A/V}^2$ 로부터 전자와 정공의 이동도 비는 다음과 같다.

$$\frac{k_n}{k_p} = \frac{\mu_n}{\mu_p} = \frac{100}{40} = 2.5$$

따라서 식 (4.14)로부터 pMOS의 채널폭 W_p 은 다음과 같이 계산된다.

$$W_p = \frac{\mu_n}{\mu_p} \times W_n = 2.5 \times 1.2 = 3.0\text{ }\mu\text{m}$$

■ 전달지연

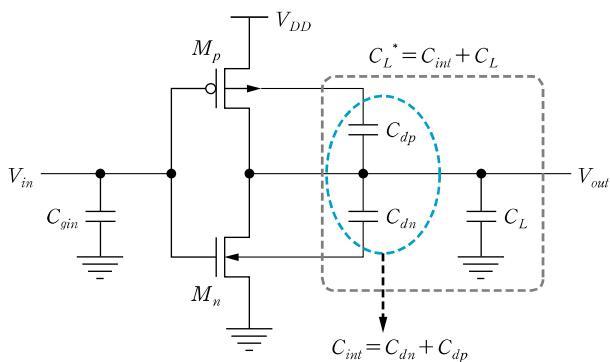
전달지연시간은 입력신호가 정상상태의 50%에 도달한 시점부터 출력신호가 50%에 도달하기까지 소요되는 시간으로 정의되며, 출력이 논리값 1에서 논리값 0으로 하강하는 경우의 하강 전달지연시간(t_{pHL})과, 출력이 논리값 0에서 논리값 1로 상승하는 경우의 상승 전달지연시간(t_{pLH})으로 구분된다.

[그림 4-14]와 같이 출력단에 $C_L^* = C_{int} + C_L$ 의 커패시턴스가 존재하는 경우를 생각해보자. $C_{int} = C_{dn} + C_{dp}$ 는 nMOS와 pMOS의 드레인 접합 커패시턴스의 합으로, 인버터의 고유출력 커패시턴스 intrinsic output capacitance를 나타내며, 자기부하 self-loading라고도 한다. C_L 은 인버터가 구동하는 외부의 부하 커패시턴스로, 배선에 의한 커패시턴스와 인버터가 구동하는 다음 단 회로의 입력 커패시턴스의 합을 나타낸다.

인버터 입력의 상승/하강시간이 매우 작아서 전달지연시간에 미치는 영향을 무시(이상적인 계단 입력을 가정)하면, 인버터의 출력이 50%에 도달하기까지 소요되는 전달지연시간 t_{pd} 는 $V(t_{pd}) = 0.5 V_o = V_o e^{-t_{pd}/RC_L^*}$ 으로부터 $t_{pd} = \ln(2)RC_L^* = 0.69RC_L^*$ 이 된다. 하강 전달지연시간(t_{pHL})은 도통된 nMOS의 등가저항 R_n 의 영향을 받고, 상승 전달지연시간은 도통된 pMOS의 등가저항 R_p 의 영향을 받으므로, 하강과 상승 전달지연시간은 각각 식 (4.16a)와 식 (4.16b)로 표현된다.

$$t_{pHL} \simeq 0.69 R_n C_L^* \quad (4.16a)$$

$$t_{pLH} \simeq 0.69 R_p C_L^* \quad (4.16b)$$



[그림 4-14] CMOS 인버터의 입력 및 부하 커패시턴스 성분

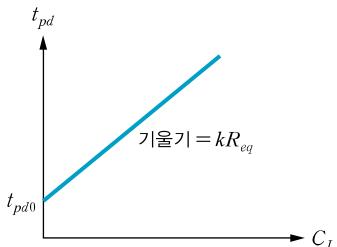
도통된 nMOS와 pMOS의 등가저항 R_n 과 R_p 는 각각 β_n 과 β_p 에 반비례 관계를 가지므로, 채널폭과 캐리어 이동도에 대해서도 반비례 관계를 갖는다. nMOS의 채널폭을 크게 만들면 도통된 nMOS의 등가저항 R_n 이 작아져 하강 전달지연시간이 작아지며, pMOS의 채널폭을 크게 만들면 도통된 pMOS의 등가저항 R_p 가 작아져 상승 전달지연시간이 작아진다. nMOS와 pMOS의 크기를 같게 만들면 ($L_n = L_p$, $W_n = W_p$), 캐리어의 이동도 차이에 의해 상승 전달지연시간이 하강 전달지연시간보다 커지게 된다($t_{pLH} > t_{pHL}$).

한편, CMOS 인버터의 전달지연시간 t_{pd} 는 상승 전달지연시간과 하강 전달지연시간의 평균값으로, 식 (4.17)과 같이 정의할 수 있다.

$$t_{pd} \equiv \frac{t_{pHL} + t_{pLH}}{2} \simeq 0.345 (R_n + R_p) C_L^* \quad (4.17)$$

상승 전달지연시간과 하강 전달지연시간이 같아지도록 $\beta_n = \beta_p$ 로 설계하면 $R_{eq} \equiv R_n = R_p$ 가 되므로, CMOS 인버터의 전달지연시간은 식 (4.18)과 같으며, $k \simeq 0.69$ 이고 $t_{pd0} \equiv kR_{eq}C_{int}$ 이다. 이때 $t_{pd0} = kR_{eq}C_{int}$ 는 부하 커패시턴스에 무관한 인버터 자체의 고유지연 intrinsic delay을 나타낸다. 식 (4.18)의 CMOS 인버터 전달지연시간을 부하 커패시턴스 C_L 에 대한 그래프로 나타내면 [그림 4-15]와 같다.

$$t_{pd} = kR_{eq}C_L^* = kR_{eq}(C_{int} + C_L) = t_{pd0} \left(1 + \frac{C_L}{C_{int}}\right) \quad (4.18)$$



[그림 4-15] 부하 커패시턴스 C_L 에 대한 CMOS 인버터의 전달지연시간

인버터를 구성하는 트랜지스터의 채널폭(전류 구동 능력)이 전달지연에 미치는 영향을 알아보자. 채널폭이 최소 크기인 인버터의 트랜지스터 등가저항과 고유출력 커패시턴스를 각각 R_{ref} 와 C_{ref} 라고 하면, 채널폭이 S 배인 트랜지스터의 등가저항은 $R_{eq} = R_{ref}/S$ 로 감소하고, 고유출력 커패시턴스는 $C_{int} = SC_{ref}$ 로 증가한다. R_{ref} 와 C_{ref} 를 이용하여 식 (4.18)을 다음과 같이 다시 표현할 수 있다.

$$t_{pd} = k \left(\frac{R_{ref}}{S} \right) (SC_{ref}) \left(1 + \frac{C_L}{SC_{ref}} \right) = t_{pd0} \left(1 + \frac{C_L}{SC_{ref}} \right) \quad (4.19)$$

식 (4.19)에서 $t_{pd0} \equiv kR_{eq}C_{int} = kR_{ref}C_{ref}$ 는 부하 커패시턴스 C_L 과 인버터를 구성하는 트랜지스터의 크기에 무관한 고유지연을 나타내며, 제조공정과 레이아웃에 의해 결정된다. 식 (4.19)에서 스케일 인수 S 를 크게 만들수록 전달지연시간을 줄일 수 있으나, 인버터의 입력 게이트 커패시턴스 C_{gin} 도 함께 증가하므로, 일정 크기 이상에서는 전달지연이 거의 감소하지 않는다.

인버터의 유효 팬-아웃^{effective fan-out}을 $f \equiv C_L / C_{gin}$ 으로 정의하면, 식 (4.18)은 식 (4.20)과 같이 표현된다. 이때 $\eta \equiv C_{int} / C_{gin}$ 는 제조공정에 따라 고정된 값을 갖는다.

$$t_{pd} = t_{pd0} \left(1 + \frac{f}{\eta} \right) \quad (4.20)$$

유효 팬-아웃 f 는 인버터의 전류 구동 능력을 고려한 상대적인 부하 커패시턴스 크기를 나타내며, 인버터의 전달지연시간은 유효 팬-아웃 f 에 비례한다. 다른 조건들이 동일한 상태에서 트랜지스터의 채널폭과 게이트 커패시턴스 C_{gin} 은 비례하므로, 트랜지스터의 채널폭이 클수록 유효 팬-아웃 f 가 감소하여 인버터의 전달지연시간이 작아진다.

핵심포인트 CMOS 인버터의 스위칭 특성

- 상승(하강)시간은 pMOSFET(nMOSFET)의 채널폭, 정공(전자)의 이동도, 전원전압에 반비례하며, 부하 커패시턴스에 비례한다.
 - $t_f = t_r$ 이 되기 위해서는 전자와 정공의 이동도 차이를 고려하여 pMOS와 nMOS의 채널폭을 결정한다.
- CMOS 인버터의 고속 동작을 위한 방법
 - 트랜지스터의 채널폭이 클수록 동작속도가 빠르나, 채널폭이 커지면 게이트 및 소오스/드레인 접합 커패시턴스도 함께 증가한다.
 - 전원전압 V_{DD} 가 클수록 동작속도가 빠르나, 전원전압은 시스템이나 공정에서 결정되는 요소이고 또한 전력소모에 영향을 미치는 요인이다.
 - 부하 커패시턴스 C_L 이 작을수록 동작속도가 빠른다.
- 전달지연시간은 인버터 자체의 고유지연시간과 유효 팬-아웃 $f \equiv C_L / C_{gin}$ 에 비례하는 지연 시간의 합으로 주어진다.
 - 트랜지스터의 채널폭이 클수록 유효 팬-아웃 f 가 감소하여 인버터의 전달지연시간이 작아진다.

4.2.3 CMOS 인버터의 전력소모 특성

디지털 회로의 전력소모는 회로의 스위칭과 무관하게 일어나는 정적 static 전력소모와, 회로의 스위칭 과정에서 소비되는 동적 dynamic 전력소모로 구분된다. 정상상태의 CMOS 인버터는 pMOS와 nMOS 중 하나는 차단상태에 있으므로, 전원에서 접지로 도전경로가 형성되지 않아 정적 전력소모는 이상적으로 0이다. 그러나 실제 회로에서는 MOS 트랜지스터의 누설전류와 문턱전압이하 누설전류 등에 의한 정적 전력소모가 유발되며, 그 값은 동적 전력소모에 비해 상대적으로 작은 양이다. CMOS 회로의 전력소모는 대부분 스위칭 동작에서 유발된다. 동적 전력소모는 소자의 스위칭 과정에서 발생되는 스위칭 전력소모 성분과, 전원-접지 사이의 과도 단락전류에 의한 전력 소비 성분으로 구성된다. 스위칭 전력소모는 용량성 부하 C_L 을 논리 스윙 V_{DD} 만큼 충전/방전시키는 과정에서 소비되는 에너지의 한 주기(T_p) 평균값이며, 식 (4.21)과 같이 모델링된다.

$$P_d = \frac{1}{T_p} \left[\int_0^{T_p/2} (V_{out} \times i_n(t)) dt + \int_{T_p/2}^{T_p} ((V_{DD} - V_{out}) \times i_p(t)) dt \right] \quad (4.21)$$

$$= \alpha C_L f_p V_{DD}^2$$

스위칭 전력소모는 용량성 부하 C_L , 동작 주파수 f_p , 그리고 전원전압의 제곱에 비례한다. 식 (4.21)에서 α 는 스위칭 활동인자 switching activity factor로, 입력신호의 한 주기(또는 클록신호의 한 주기) 동안에 출력이 논리값 0에서 논리값 1로 천이되는 확률을 나타낸다. 의사천이 spurious transition¹를 무시하는 경우, CMOS 인버터에서 입력신호 한 주기 동안 한번의 출력 천이가 일어나므로 $\alpha = 1$ 이다. 회로의 구조와 형태에 따라 α 는 $0 < \alpha \leq 1$ 범위의 값을 가지며, 회로의 의사천이에 의한 스위칭도 α 에 반영된다. 회로의 동작속도가 수백 MHz 이상으로 빨라짐에 따라 스위칭 전력소모가 큰 비중을 차지한다.

과도 단락전류에 의한 전력소모는 인버터의 출력이 논리값 0에서 논리값 1로, 또는 그 반대로 천이하는 과정에서 pMOS와 nMOS가 동시에 도통되는 기간에 흐르는 전류에 의한 전력소모이며, 식 (4.22)와 같이 모델링된다.

$$P_{SC} = V_{DD} I_{mean} \simeq \frac{\beta_n}{12} (V_{DD} - 2V_{Tn})^3 \times \frac{t_{rf}}{T_p} \quad (4.22)$$

식 (4.22)에서 상승시간과 하강시간이 같다고($t_r = t_f = t_{rf}$) 가정하였으며, 인버터의 상승, 하강시간을 짧게 할수록 과도 단락전류에 의한 전력소모가 작아짐을 알 수 있다.

¹ 의사천이란 회로의 논리값이 결정되는 과정에서 불필요하게 발생되는 스위칭 동작을 말하며, 신호전달경로의 지연 차이에 의해 발생하여 회로의 동적 전력소모를 증가시키는 요인이 된다.

식 (4.21)과 식 (4.22)로부터 CMOS 인버터의 스위칭 전력소모를 줄이기 위한 방안을 찾을 수 있다. 스위칭 전력소모는 전원전압의 제곱에 비례하므로, 전원전압이 동적 전력소모에 가장 큰 영향을 미치는 요소이다. 예를 들어 전원전압을 1/2로 감소시키면, 전력소모를 75% 감소시킬 수 있다. 4.2.2절의 스위칭 특성에서 설명한 바와 같이, 전원전압이 작을수록 회로의 지연이 증가하여 동작속도가 느려지므로, 전력소모와 스위칭 속도 사이에는 교환조건(rate-off)이 존재한다. 회로의 동작 주파수를 낮추면 전력소모를 줄일 수 있으나, 이는 회로의 성능을 저하시키므로 쉽게 적용할 수 있는 방법은 아니다. 또한 부하 커패시턴스의 최소화와 불필요한 스위칭의 제거 등을 통해서도 전력소모를 줄일 수 있다.

핵심포인트 CMOS 인버터의 전력소모 특성

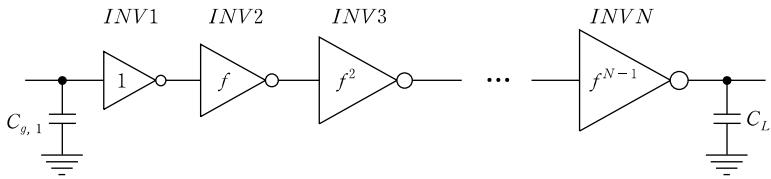
- CMOS 인버터의 정적 전력소모를 줄이기 위해서는 누설전류 및 문턱전압이하 누설전류 등을 최소화한다.
- CMOS 인버터의 스위칭 전력소모를 줄이기 위한 방안
 - 전원전압으로 낮추면 전력소모를 크게 줄일 수 있으나, 전원전압이 작을수록 회로의 동작속도가 느려지므로 전력소모와 스위칭 속도 사이에 교환조건이 존재한다.
 - 동작 주파수를 낮추면 전력소모를 줄일 수 있으나, 회로의 성능이 저하된다.
 - 부하 커패시턴스와 불필요한 의사전이를 최소화한다.
 - 상승시간과 하강시간을 크게 만들어 과도 단락전류에 의한 전력소모를 줄인다.

4.2.4 다단 CMOS 인버터 버퍼

4.2.2절에서 설명했듯이 CMOS 인버터의 전달지연은 부하 커패시턴스와 선형적인 관계를 보이는데, 이는 일반 논리 게이트에도 동일하게 적용된다. 예를 들어, 칩 내부의 플립플롭 또는 래치에 공급되는 클록신호는 매우 큰 커패시턴스를 가지며, 칩 내부의 신호가 외부로 전달되는 경우에도 패키지와 인쇄회로기판(PCB)에 의한 큰 커패시턴스를 갖는다. BGA 패키지의 오프-칩(off-chip) 커패시턴스는 $1.0 \sim 1.5 \text{ pF}$ 정도이고 QFP 패키지는 $2.0 \sim 2.5 \text{ pF}$ 정도이며, PCB에 의한 영향을 포함하면 수십 ~ 수백 pF 의 커패시턴스를 갖는다. 부하 커패시턴스가 크면, 게이트의 전달지연시간이 커져서 회로의 동작속도가 느려지므로, 전류 구동 능력이 큰 버퍼(buffer) 회로를 사용하여 지연시간을 줄인다.

디지털 버퍼 회로는 [그림 4-16]과 같이 인버터의 다단(multi-stage) 연결로 구성된다. 특히 버퍼의 입력과 출력이 동일한 논리값을 가져야 하는 경우에는 짹수단의 인버터로 구성된다. 디지털 버퍼 회로는 큰 부하 커패시턴스 C_L 을 빠르게 구동할 수 있도록 큰 전류 구

동 능력을 가지며, 이를 위해 큰 채널폭을 갖는 트랜지스터로 만들어진다. 버퍼의 전력소모와 지연시간을 최소화하기 위해서는 [그림 4-16]과 같이 각 단의 인버터가 동일한 유효 팬-아웃 f 를 갖도록 크기를 점진적으로 증가시켜 설계해야 한다. 이를 위해서는 전체 지연을 최소로 만드는 최적의 유효 팬-아웃 f 를 결정해야 하는데, 이때 f 를 버퍼의 스테이지 비 stage ratio라고도 한다. 또한 주어진 부하 커패시턴스 C_L 을 구동하기 위한 최적의 인버터 단 수 N 을 결정해야 한다. N 이 필요 이상으로 크면, 다단 인버터에 의한 지연 시간(버퍼 자체의 지연시간)이 증가하여 버퍼를 사용하는 이점이 상쇄되어 버릴 것이다.



[그림 4-16] 다단 인버터 버퍼

4.2.2절에서 설명한 인버터의 전달지연 수식을 적용하면, N 단의 인버터로 구성되는 버퍼의 전달지연시간은 식 (4.23)과 같이 표현되며, $C_{g,N+1} = C_L$ 이고 $\eta = C_{int}/C_{g,j}$ 이다.

$$t_{pd} = t_{pd0} \sum_{j=1}^N \left(1 + \frac{C_{g,j+1}}{\eta C_{g,j}} \right) \quad (4.23)$$

부하 커패시턴스 C_L 과 첫 번째 인버터의 게이트 커패시턴스 $C_{g,1}$ 의 비를 F 로 정의하면, F 와 유효 팬-아웃 f 사이에는 다음의 관계가 성립한다.

$$F \equiv \frac{C_L}{C_{g,1}} = \prod_{j=1}^N \left(\frac{C_{g,j+1}}{C_{g,j}} \right) = \prod_{j=1}^N f = f^N \quad (4.24)$$

식 (4.24)로부터 각 인버터의 유효 팬-아웃 f 는 다음과 같이 표현된다.

$$f = \sqrt[N]{F} = \sqrt[N]{\frac{C_L}{C_{g,1}}} \quad (4.25)$$

각 인버터가 동일한 유효 팬-아웃 $f = C_{g,j+1}/C_{g,j}$ 를 가지므로, 인버터들의 전달지연시간도 동일한 값을 갖는다. 따라서 버퍼를 구성하는 다단 인버터의 총 전달지연시간은 식 (4.26)과 같이 다시 쓸 수 있다.

$$t_{pd} = N t_{pd0} \left(1 + \frac{\sqrt[N]{F}}{\eta} \right) = N t_{pd0} \left(1 + \frac{f}{\eta} \right) \quad (4.26)$$

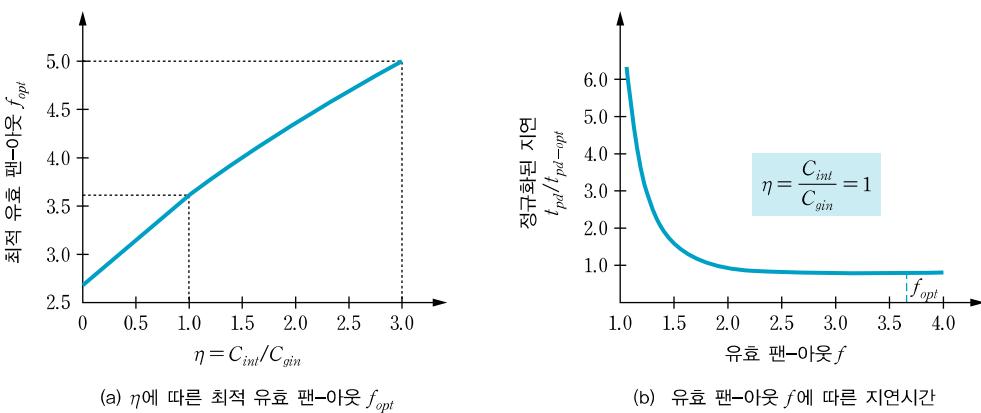
부하 커패시턴스 C_L 이 주어졌을 때, 버퍼의 지연시간을 포함한 총 전달지연시간 t_{pd} 를 최소로 만들기 위해서는 최적의 N 과 유효 팬-아웃 f 를 구해야 한다. 식 (4.26)에서 볼 수 있듯이 N 을 너무 크게 결정하면 인버터들의 고유지연시간이 지배적인 영향을 미치게 되고, 그 반대의 경우에는 유효 팬-아웃이 지배적인 영향을 미쳐 버퍼의 구동력이 떨어지게 된다. 버퍼가 구동해야 할 부하 커패시턴스 C_L 과 버퍼의 입력 커패시턴스 $C_{g,1}$ 이 주어진 상태에서 지연시간을 최소화할 수 있는 최적의 유효 팬-아웃 f_{opt} 는 다음과 같다.

$$f_{opt} = e^{(1 + \eta/f_{opt})} \quad (4.27)$$

$\eta = 0$ 으로 가정(인버터의 고유출력 커패시턴스 C_{int} 를 무시)하면, 전달지연시간을 최소로 만드는 최적의 유효 팬-아웃은 $f_{opt} = e \approx 2.72$ 이 된다. f_{opt} 는 반도체 제조공정에 따라 달라지며, $\eta = C_{int}/C_{gin}$ 가 클수록 f_{opt} 가 커진다. $\eta = 1$ 의 경우에 $f_{opt} \approx 3.6$ 이고, $\eta = 3$ 의 경우는 $f_{opt} \approx 5.0$ 이다. 식 (4.25)의 양변에 자연로그를 취하면 $N = \ln(F)/\ln(f)$ 가 되며, $\eta = 0$ 인 경우의 $f_{opt} = e$ 를 대입하면, 버퍼를 구성하는 최적의 인버터 단수 N 은 다음과 같다.

$$N = \ln(F) = \ln(C_L/C_{g,1}) \quad (4.28)$$

식 (4.27)로부터 $\eta = C_{int}/C_{gin}$ 에 따른 최적 유효 팬-아웃 f_{opt} 를 그래프로 나타내면 [그림 4-17(a)]와 같으며, η 가 증가함에 따라 f_{opt} 값이 증가함을 볼 수 있다. $\eta = 1$ 인 경우에 유효 팬-아웃 f 에 따른 정규화된 지연시간은 [그림 4-17(b)]와 같으며, t_{pd-opt} 는 최적 유효 팬-아웃 f_{opt} 일 때의 전달지연시간을 나타낸다. 그림에서 볼 수 있듯이 $f > f_{opt}$ 의 경우에 지연시간의 증가는 매우 작으나, $f < f_{opt}$ 이면 지연시간이 크게 증가한다. 통상적으로 설계의 편의를 위해 유효 팬-아웃을 $f = 4$ 로 선택한다. 이 경우의 지연은 최적 유효 팬-아웃의 경우에 비해 수 % 증가하는 정도로, 그 차이는 무시할 수 있다.



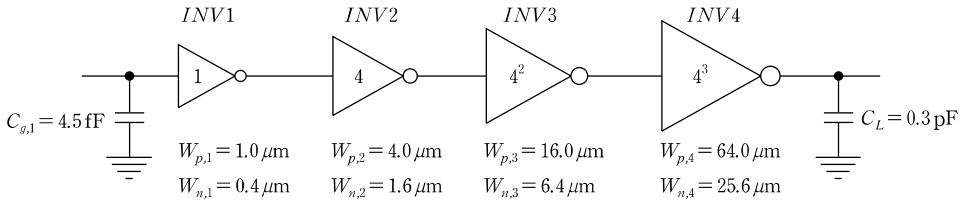
[그림 4-17] η 와 f 에 따른 다단 CMOS 인버터 버퍼의 특성

예제 4-3

부하 커패시턴스 $C_L = 0.3 \text{ pF}$ 을 최소의 지연으로 구동하기 위한 버퍼 회로를 설계하라. 단, 버퍼의 첫 번째 인버터는 게이트 커패시턴스가 $C_{g,1} = 4.5 \text{ fF}$ 이고, pMOS와 nMOS의 채널폭은 각각 $W_{p,1} = 1.0 \mu\text{m}$, $W_{n,1} = 0.4 \mu\text{m}$ 이다. $\eta = C_{int}/C_{gin} = 2$ 로 가정한다.

풀이

식 (4.28)로부터 $N = \ln(C_L/C_{g,1}) = \ln(300/4.5) = 4.2$ 이므로, [그림 4-18]과 같이 4단 인버터로 구성한다. 식 (4.27)으로부터 $\eta = 2$ 에 대한 최적의 유효 팬-아웃을 구하면 $f_{opt} \approx 4.35$ 이므로 $f = 4$ 로 결정한다. 따라서 각 인버터의 채널폭은 [그림 4-18]과 같다.



[그림 4-18] [예제 4-3]의 버퍼 회로 설계 결과

핵심포인트 다단 CMOS 인버터 버퍼

- 큰 부하 커패시턴스를 빠르게 구동하기 위해 다단 인버터로 구성되는 버퍼 회로가 사용된다.
- 지연시간을 최소화할 수 있는 최적의 유효 팬-아웃은 $f_{opt} = e \approx 2.72$ 이다.
(인버터의 고유 출력 커패시턴스 C_{int} 를 무시하는 경우)
 - 버퍼를 구성하는 최적의 인버터 수는 $N = \ln(C_L/C_{g,1})$ 이다.

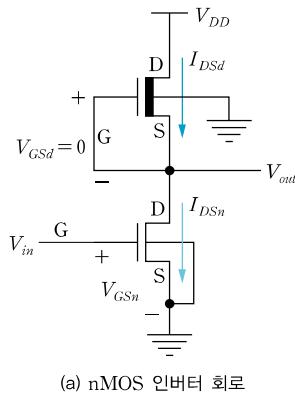
4.3 nMOS 및 pseudo nMOS 인버터

이 절에서는 nMOS 인버터와 pseudo nMOS 인버터의 특성을 설명한다. 이러한 회로들은 4.2절에서 설명한 CMOS 인버터에 비해 여러 가지 단점을 가지므로 많이 사용되지 않는다. 이 절을 통해서 nMOS 및 pseudo nMOS 인버터에 대해 CMOS 인버터가 우수함을 잘 이해하기 바란다.

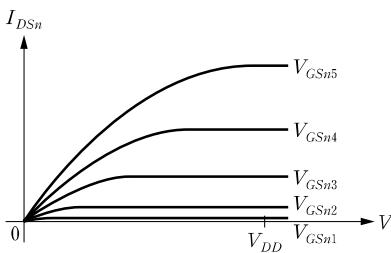
4.3.1 nMOS 인버터

nMOS 인버터 회로는 [그림 4-19(a)]와 같이 공핍형 nMOS가 부하소자로 사용되고, 증

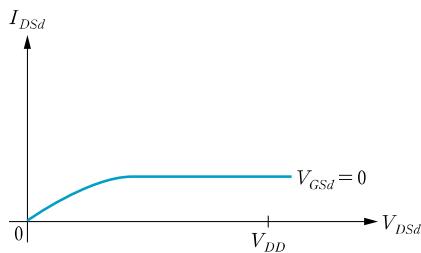
가형 nMOS가 구동소자로 사용된다. 부하소자인 공핍형 nMOS는 게이트가 소오스로 연결되어 $V_{GSd} = 0\text{ V}$ 이며, 항상 도통상태를 유지한다. 입력은 구동소자의 게이트로 인가되며, 출력은 구동소자의 드레인과 부하소자의 소오스 접점에서 얻어진다. 구동소자인 증가형 nMOS의 전압-전류 특성은 [그림 4-19(b)]와 같다. 게이트-소오스 전압 V_{GSn} 이 인버터의 입력전압이며, 입력전압 V_{in} 이 증가할수록 구동소자의 전류가 증가한다.



(a) nMOS 인버터 회로



(b) 구동소자의 전압-전류 특성



(c) 부하소자의 전압-전류 특성

[그림 4-19] nMOS 인버터 및 구동소자와 부하소자의 전압-전류 특성

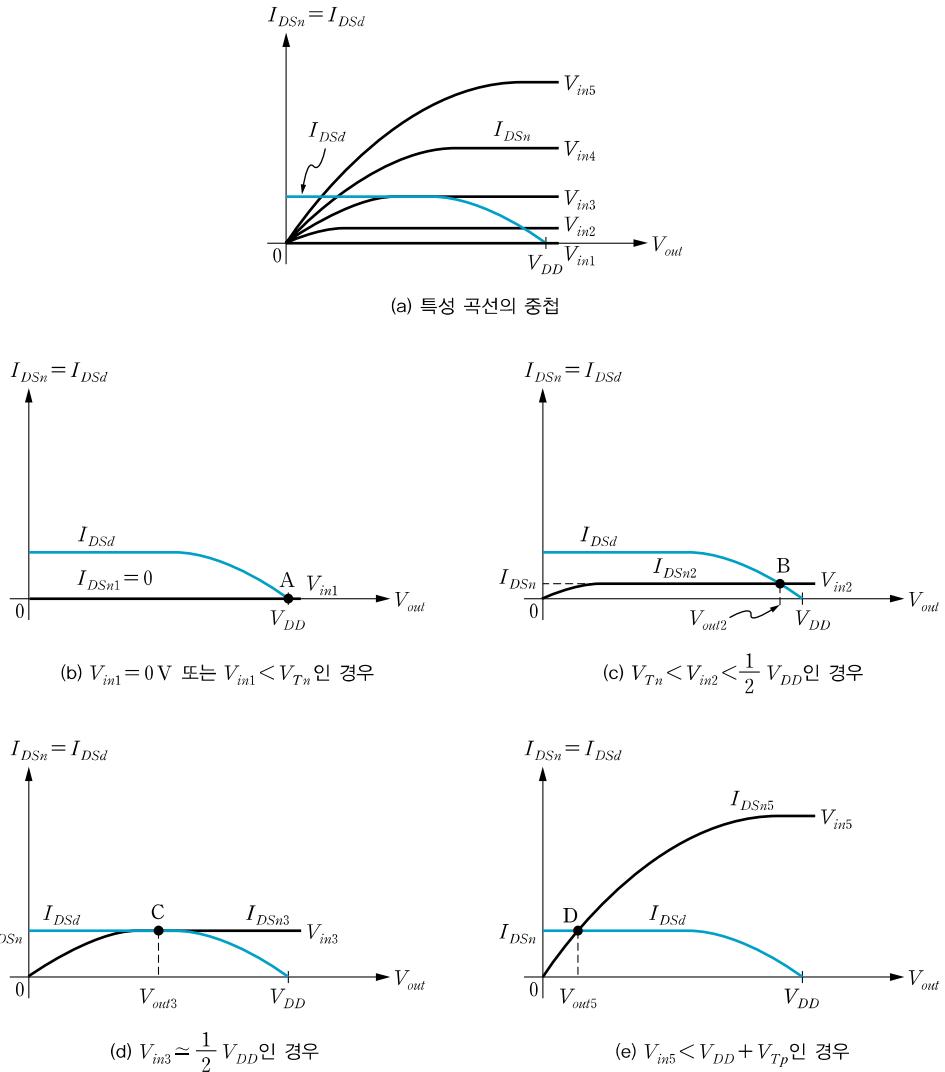
구동소자의 드레인-소오스 전압은 인버터의 출력 V_{out} 이다. 공핍형 nMOS는 채널이 미리 만들어져 있는 상태로 제조되므로, 게이트-소오스 전압이 $V_{GSd} = 0\text{ V}$ 일 때 가장 큰 전류가 흐른다. 공핍형 nMOS의 전압-전류 특성은 [그림 4-19(c)]와 같다.

nMOS 인버터의 DC 전달 특성은 구동소자와 부하소자의 전압-전류 특성으로부터 얻어진다. [그림 4-19(a)]의 회로에서 식 (4.29)와 식 (4.30)의 관계를 얻을 수 있다. 인버터의 입력전압은 구동소자의 게이트-소오스 전압 V_{GSn} 이다. 출력전압은 구동소자의 드레인-소오스 전압 V_{DSn} 으로, 전원전압 V_{DD} 에서 부하소자의 드레인-소오스 전압 V_{DSd} 을 뺀 값이다. 구동소자와 부하소자가 모두 nMOS이므로 전류의 방향이 동일하다.

$$V_{in} = V_{GSn} \quad (4.29)$$

$$V_{out} = V_{DSn} = V_{DD} - V_{DSd} \quad (4.30)$$

nMOS 인버터의 DC 전달 특성을 유도하기 위해, 구동소자와 부하소자의 전압-전류 특성곡선을 중첩하여 나타내면 [그림 4-20(a)]와 같다. 식 (4.29)와 식 (4.30)의 관계를 이용하여 구동소자와 부하소자의 전압-전류 특성 곡선을 인버터의 입력전압 V_{in} 과 출력전압 V_{out} 으로 변환하여 반영하였다.



[그림 4-20] 입력전압 V_{in} 에 따른 nMOS 인버터의 동작

[그림 4-20(a)]로부터 입력전압 V_{in} 을 0V에서부터 V_{DD} 까지 변화시키면서 출력전압 V_{out} 의 변화를 관찰하면, nMOS 인버터의 DC 전달 특성 곡선을 얻을 수 있다. [그림 4-20(b)] ~ [그림 4-20(e)]는 4가지 입력전압에 대해 구동소자와 부하소자의 동작모드, 전류, 출력전압을 보인 것이며, 이를 정리하면 [표 4-2]와 같다. 각 동작영역의 입력전압

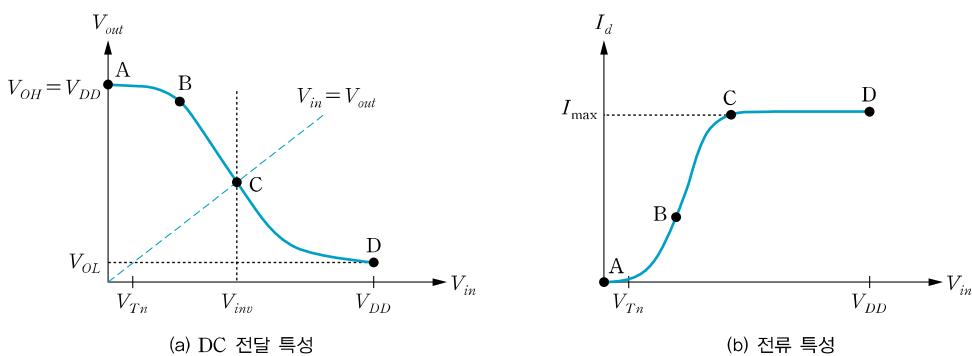
과 출력전압의 관계는 다음과 같다.

- $V_{in1} = 0V$ 또는 $V_{in1} < V_{Tn}$ 인 경우(A점) : 구동소자는 차단모드이고, 부하소자는 선형모드이므로, 출력전압은 $V_{out} = V_{DD}$ 가 된다. 따라서 $V_{OH} = V_{DD}$ 이다.
- $V_{Tn} < V_{in2} < \frac{1}{2}V_{DD}$ 인 경우(B점) : 구동소자는 포화모드이고, 부하소자는 선형모드로 동작하며, 출력전압은 $V_{out} < V_{DD}$ 가 된다.
- $V_{in3} \simeq \frac{1}{2}V_{DD}$ 인 경우(C점) : 구동소자와 부하소자가 모두 포화모드로 동작하며, 출력전압은 $V_{out} \simeq \frac{1}{2}V_{DD}$ 가 된다.
- $V_{in5} = V_{DD}$ 인 경우(D점) : 구동소자는 선형모드이고, 부하소자는 포화모드로 동작하며, 출력전압은 $0 < V_{out} < \frac{1}{2}V_{DD}$ 의 값을 갖는다. 따라서 $V_{OL} > 0$ 이다.

[표 4-2] 입력전압에 따른 nMOS 인버터의 동작 특성

구분	A점	B점	C점	D점
[그림 4-20]	(b)	(c)	(d)	(e)
입력전압	$V_{in1} = 0$	$V_{Tn} < V_{in2} < \frac{1}{2}V_{DD}$	$V_{in3} \simeq \frac{1}{2}V_{DD}$	$V_{in5} = V_{DD}$
구동소자	차단	포화	포화	선형
부하소자	선형	선형	포화	포화
출력전압	V_{DD}	$V_{out} < V_{DD}$	$\simeq \frac{1}{2}V_{DD}$	$0 < V_{out} < \frac{1}{2}V_{DD}$
전류	0	$I_d > 0$	$\simeq I_{max}$	$\simeq I_{max}$

[그림 4-20(b)] ~ [그림 4-20(e)]로부터 nMOS 인버터의 DC 전달 특성 곡선은 [그림 4-21(a)] 와 같다. 논리값 1의 출력전압은 $V_{OH} = V_{DD}$ 이며, 논리값 0의 출력전압은 $V_{OL} > 0V$ 이다. nMOS 인버터의 $V_{OL} > 0V$ 인 점이 4.2절에서 설명한 CMOS 인버터와 다른 점이다.

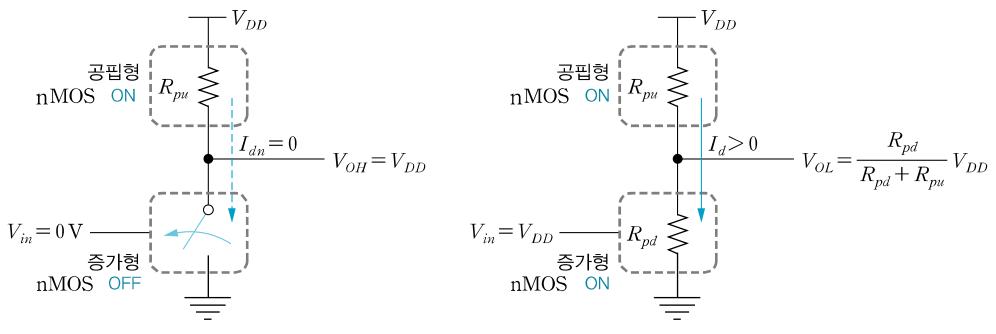


[그림 4-21] nMOS 인버터의 DC 전달 특성과 전류 특성

[그림 4-20(b)] ~ [그림 4-20(e)]로부터, nMOS 인버터의 입력전압에 따른 전류 특성은 [그림 4-21(b)]와 같다. A점에서는 구동소자가 차단상태이므로, 인버터에 흐르는 전류는 이상적으로 0이며 누설전류만 흐른다. B점, C점, D점에서는 구동소자와 부하소자가 모두 도통상태에 있으므로, 인버터에 전류가 흐른다. [그림 4-21(b)]에서 보는 바와 같이 $V_{in} = V_{DD}$ (논리값 1)를 유지하는 동안에는 정적 전류가 지속적으로 흐르므로, 정적 전력소모가 커서 저전력 회로에 적합하지 않다. 참고로, 4.2절의 CMOS 인버터는 입력이 논리값 1 또는 논리값 0을 유지하고 있는 동안에는 정적 전력소모가 이상적으로 0이다.

nMOS 인버터의 등가회로를 이용하여 DC 특성과 설계 시 고려할 사항들을 알아보자. [그림 4-22(a)]는 논리값 0이 입력되는 경우($V_{in} < V_{Tn}$)의 등가회로이다. 구동소자는 차단모드이므로 열린 스위치로 동작한다. 부하소자는 선형모드에서 동작하므로, 등가저항 R_{pu} 로 나타낼 수 있다. 논리값 1이 출력되며, 출력전압은 $V_{out} = V_{DD}$ 이고, 전원에서 접지로 흐르는 전류는 0이다. [그림 4-22(b)]는 논리값 1이 입력되는 경우($V_{in} = V_{DD}$)의 등가회로이다. 구동소자는 선형모드의 도통상태이므로 등가저항 R_{pd} 로 나타내며, 부하소자는 포화모드의 도통상태이므로 등가저항 R_{pu} 로 나타낸다. 부하소자와 구동소자가 모두 도통상태이므로, 전원에서 접지로 전류가 흐른다. 논리값 0에 대한 출력전압 V_{OL} 은 식 (4.31)과 같이 구동소자와 부하소자의 등가저항 비에 의해 결정되며, 0보다 큰 값을 갖는다. 이와 같이 구동소자와 부하소자의 등가저항 비가 DC 특성에 영향을 미치는 회로를 비율 논리회로 ratioed logic라고 한다. 참고로, 4.2절에서 설명한 CMOS 인버터는 DC 특성이 부하소자와 구동소자의 특성에 무관한 무비율 논리회로 ratioless logic 특성을 갖는다.

$$V_{OL} = \frac{R_{pd}}{R_{pd} + R_{pu}} V_{DD} = \frac{V_{DD}}{1 + (R_{pu}/R_{pd})} \quad (4.31)$$



[그림 4-22] nMOS 인버터의 등가회로

4.1절에서 설명했듯이, 인버터의 잡음여유를 최대로 하기 위해서는 $V_{OH} = V_{DD}$ 와 $V_{OL} = 0$ V가 되어야 한다. nMOS 인버터는 $V_{OH} = V_{DD}$ 이지만, $V_{OL} > 0$ 이므로 논리값 0에 대한 잡음여유가 작다. 식 (4.31)에 의하면, V_{OL} 은 부하소자와 구동소자의 등가저항비(R_{pu}/R_{pd})의 영향을 받으므로 논리값 0 출력에 대한 잡음여유도 등가저항 비에 영향을 받는다. R_{pu}/R_{pd} 를 크게 할수록 V_{OL} 이 작아지며, 논리값 0에 대한 잡음여유가 커진다.

nMOS 인버터의 설계 시에 고려할 사항을 알아보기 위해 [그림 4-23]과 같이 두 개의 nMOS 인버터가 직렬로 연결된 경우를 생각해보자. 인버터 INV1의 논리값 0 출력 V_{OL} 이 다음 단 인버터 INV2에서 논리값 0으로 인식되기 위해서는 $V_{OL} < V_{Tn}$ 이 되도록 설계해야 한다. INV1에 논리값 1($V_{in} = V_{DD}$)이 인가된 경우, 부하소자는 포화모드로 동작하고, 구동소자는 선형모드로 동작한다. 이때 두 트랜지스터에 흐르는 전류는 같으므로, 식 (4.32)와 같이 표현할 수 있다. 식 (4.32)에서 V_{OL} 은 INV1의 논리값 0 출력을 나타낸다.

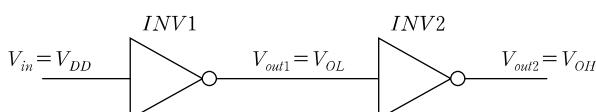
$$\frac{W_{pd}}{L_{pd}} \left((V_{DD} - V_{Tn}) V_{OL} - \frac{V_{OL}^2}{2} \right) = \frac{W_{pu}}{L_{pu}} \frac{|V_{Tn,dep}|^2}{2} \quad (4.32)$$

일반적으로 nMOS 인버터의 V_{OL} 에 대해 $V_{DD} - V_{Tn} \gg \frac{1}{2} V_{OL}$ 를 만족하므로, $L_{pu} = L_{pd}$ 로 가정하면 식 (4.32)는 식 (4.33)과 같이 근사화될 수 있으며, θ 는 식 (4.34)와 같이 정의된다.

$$V_{OL} \approx \frac{1}{2\theta} \frac{|V_{Tn,dep}|^2}{V_{DD} - V_{Tn}} \quad (4.33)$$

$$\theta \equiv \frac{W_{pd}}{W_{pu}} = \frac{\beta_{pd}}{\beta_{pu}} = \frac{R_{pu}}{R_{pd}} \quad (4.34)$$

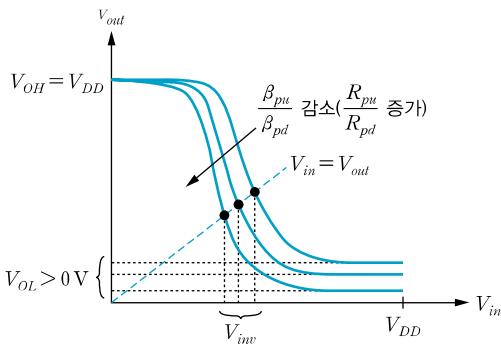
식 (4.33)과 식 (4.34)에 따르면, nMOS 인버터의 V_{OL} 은 부하소자와 구동소자의 등가저항비 θ 에 영향을 받으며, θ 가 클수록 V_{OL} 이 0에 가까워진다. 따라서 nMOS 인버터 설계에서 주어진 V_{OL} 전압 조건이 만족되도록 부하소자와 구동소자의 β -비(트랜지스터의 채널폭 비)를 결정한다.



[그림 4-23] nMOS 인버터의 직렬연결

식 (4.33)으로부터, nMOS 인버터의 β -비에 따른 VTC 곡선의 변화는 [그림 4-24]와

같다. 부하소자와 구동소자의 β_{pu}/β_{pd} 가 작을수록(즉 R_{pu}/R_{pd} 가 클수록) 논리값 0 출력 전압 V_{OL} 이 커진다.



[그림 4-24] β -비에 따른 nMOS 인버터의 VTC 곡선의 변화

지금까지 설명된 nMOS 인버터의 특성을 요약하면 다음과 같다. 논리값 1 출력전압은 $V_{OH} = V_{DD}$ 이고, 논리값 0 출력전압은 $V_{OL} > 0$ 이 되어 논리값 0에 대한 잡음여유가 작다. 이 인버터는 V_{OL} 값이 부하소자와 구동소자의 등가저항 비의 영향을 받는 비율 논리회로이며, 회로 설계 시에는 부하소자와 구동소자의 채널폭을 조정하여 설계한다. nMOS 인버터는 무비율 논리회로인 CMOS 인버터에 비해 설계가 다소 복잡하다는 단점을 갖는다. 또한 nMOS 인버터는 입력이 논리값 1을 유지하는 동안에 전류가 계속 흐르므로, 정적 전력소모가 커서 저전력 회로에는 적합하지 않다.

예제 4-4

[그림 4-25]는 nMOS 인버터의 VTC 곡선이다. 논리값 0과 논리값 1에 대한 잡음여유 NM_L 과 NM_H 값을 구하라.

풀이

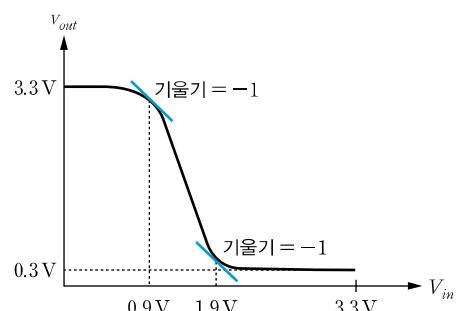
주어진 VTC 곡선으로부터 알아낼 수 있는 DC 특성 파라미터 값은 다음과 같다.

$$V_{OH} = 3.3 \text{ V}, \quad V_{OL} = 0.3 \text{ V}, \\ V_{IL} = 0.9 \text{ V}, \quad V_{IH} = 1.9 \text{ V}$$

식 (4.2)에 DC 파라미터 값을 대입하면, 잡음여유는 다음과 같다.

$$NM_L = V_{IL} - V_{OL} = 0.9 - 0.3 = 0.6 \text{ V}$$

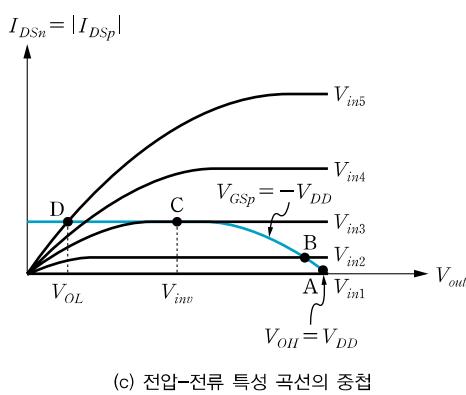
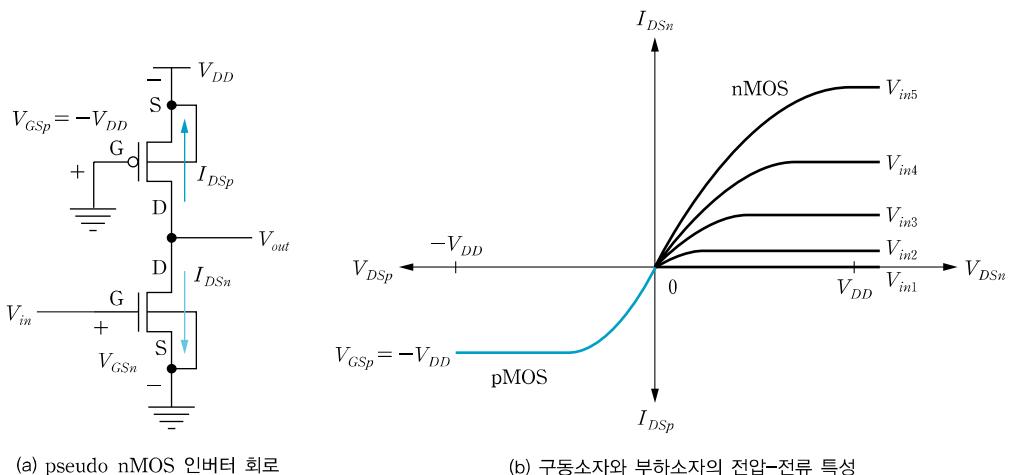
$$NM_H = V_{OH} - V_{IH} = 3.3 - 1.9 = 1.4 \text{ V}$$



[그림 4-25] [예제 4-4]의 nMOS 인버터의 VTC 곡선

4.3.2 pseudo nMOS 인버터

pseudo nMOS 인버터 회로는 [그림 4-26(a)]와 같이 증가형 pMOS가 부하소자로 사용되고, 증가형 nMOS가 구동소자로 사용된다. [그림 4-6(a)]의 CMOS 인버터와 다른 점은 부하소자인 증가형 pMOS의 게이트가 접지로 연결되어 $V_{GSp} = -V_{DD}$ 이며, 항상 도통상태를 유지한다는 것이다. 입력은 구동소자의 게이트로 인가되며, 출력은 구동소자와 부하소자의 드레인 접점에서 얻어진다. 부하소자와 구동소자의 전압-전류 특성은 [그림 4-26(b)]와 같다. 구동소자의 게이트-소오스 전압 V_{GSn} 이 인버터의 입력전압이며, 입력전압 V_{in} 이 증가할수록 구동소자의 전류가 증가한다. 구동소자의 드레인-소오스 전압은 인버터의 출력전압 V_{out} 이다. 부하소자인 증가형 pMOS에는 게이트가 접지되어 있으므로, $V_{GSp} = -V_{DD}$ 인 전압-전류 특성 곡선을 갖는다.



[그림 4-26] pseudo nMOS 인버터 및 구동소자와 부하소자의 전압-전류 특성

[그림 4-26(a)]의 회로에서 식 (4.35) ~ 식 (4.37)의 관계를 얻을 수 있다. 입력전압 V_{in} 은 nMOS의 게이트-소오스 전압 V_{GSn} 이다. 출력전압 V_{out} 는 nMOS의 드레인-소오스 전압 V_{DSn} 으로, pMOS의 드레인-소오스 전압 V_{DSP} 에 V_{DD} 를 더한 값이다. pMOS와 nMOS의 전류 방향은 서로 반대이지만, 캐리어 형태가 반대이므로 전류는 V_{DD} 에서 접지로 흐른다.

$$V_{out} = V_{DSn} = V_{DSP} + V_{DD} \quad (4.35)$$

$$V_{in} = V_{GSn} \quad (4.36)$$

$$I_{DSn} = -I_{DSP} \quad (4.37)$$

pseudo nMOS 인버터의 DC 전달 특성을 얻기 위해, pMOS와 nMOS의 전압-전류 특성 곡선을 중첩하여 나타내면 [그림 4-26(c)]와 같다. 식 (4.35) ~ 식 (4.37)의 관계를 이용하여 pMOS와 nMOS의 전압-전류 특성 곡선을 인버터의 입력전압 V_{in} 과 출력전압 V_{out} 로 변환하여 반영하였다.

pseudo nMOS 인버터는 4.3.1절에서 설명한 nMOS 인버터와 매우 유사한 DC 특성을 가지며, 동일한 방법으로 해석할 수 있다. [그림 4-26(c)]와 같이 입력전압 V_{in} 을 0 V에서부터 V_{DD} 까지 변화시키면서 출력전압 V_{out} 의 변화를 관찰하면, pseudo nMOS 인버터의 DC 전달 특성 곡선이 얻어진다. [그림 4-26(c)]에 표시된 4가지 입력전압에 대한 동작은 [표 4-3]과 같다. 각 동작영역의 입력전압과 출력전압의 관계는 다음과 같다.

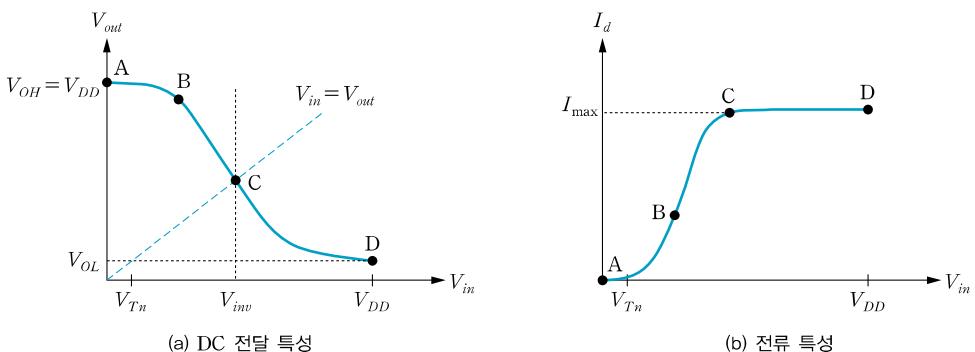
- $V_{in1} = 0 \text{ V}$ 또는 $V_{in1} < V_{Th}$ 인 경우(A점) : 구동소자는 차단모드이고, 부하소자는 선형모드이므로, 출력전압은 $V_{out} = V_{DD}$ 가 된다. 따라서 $V_{OH} = V_{DD}$ 이다.
- $V_{Th} < V_{in2} < \frac{1}{2}V_{DD}$ 인 경우(B점) : 구동소자는 포화모드이고, 부하소자는 선형모드로 동작하며, 출력전압은 $V_{out} < V_{DD}$ 가 된다.
- $V_{in3} \simeq \frac{1}{2}V_{DD}$ 인 경우(C점) : 구동소자와 부하소자가 모두 포화모드로 동작하며, 출력전압은 $V_{out} \simeq \frac{1}{2}V_{DD}$ 가 된다.
- $V_{in5} = V_{DD}$ 인 경우(D점) : 구동소자는 선형모드이고, 부하소자는 포화모드로 동작하며, 출력전압은 $0 < V_{out} < \frac{1}{2}V_{DD}$ 의 값을 갖는다. 따라서 $V_{OL} > 0$ 이다.

[표 4-3] 입력전압에 따른 pseudo nMOS 인버터의 동작 특성

구분	A점	B점	C점	D점
입력전압	$V_{in1} = 0$	$V_{Tn} < V_{in2} < \frac{1}{2}V_{DD}$	$V_{in3} \simeq \frac{1}{2}V_{DD}$	$V_{in5} = V_{DD}$
구동소자	차단	포화	포화	선형
부하소자	선형	선형	포화	포화
출력전압	V_{DD}	$V_{out} < V_{DD}$	$\simeq \frac{1}{2}V_{DD}$	$0 < V_{out} < \frac{1}{2}V_{DD}$
전류	0	$I_d > 0$	$\simeq I_{max}$	$\simeq I_{max}$

[그림 4-26(c)]로부터 pseudo nMOS 인버터의 DC 전달 특성 곡선은 [그림 4-27(a)]와 같다. 논리값 1의 출력전압은 $V_{OH} = V_{DD}$ 이고 논리값 0의 출력전압은 $V_{OL} > 0V$ 이다. pseudo nMOS 인버터의 입력전압에 따른 전류 특성은 [그림 4-27(b)]와 같다. A점에서는 구동소자가 차단상태이므로 인버터에 흐르는 전류는 이상적으로 0이며, 누설전류만 흐른다. B점, C점, D점에서는 구동소자와 부하소자가 모두 도통상태에 있으므로, 인버터에 전류가 흐른다.

[그림 4-27(b)]에서 보는 바와 같이 입력이 V_{DD} (논리값 1)를 유지하는 동안에는 정적 전류가 지속적으로 흐르므로, 정적 전력소모가 커서 저전력 회로에 적합하지 않다. 참고로, 4.2절에서 설명한 CMOS 인버터는 입력이 논리값 1 또는 논리값 0을 유지하고 있는 동안에는 정적 전력소모가 이상적으로 0이다.



[그림 4-27] pseudo nMOS 인버터의 DC 전달 특성과 전류 특성

pseudo nMOS 인버터는 4.3.1절에서 설명한 nMOS 인버터와 유사한 특성을 가지며, 구동소자와 부하소자의 등가저항 비가 DC 특성에 영향을 미치는 비율 논리회로이다. 논리값 0이 입력되는 경우($V_{in} < V_{Tn}$)와 논리값 1이 입력되는 경우($V_{in} \simeq V_{DD}$)의 등가회로는 [그림 4-22]와 동일하다. 논리값 0에 대한 출력전압 V_{OL} 은 식 (4.31)과 동일하게 표현된다.

인버터의 잡음여유를 최대로 하기 위해서는 $V_{OH} = V_{DD}$ 와 $V_{OL} = 0\text{V}$ 가 되어야 한다. pseudo nMOS 인버터는 $V_{OH} = V_{DD}$ 이지만, $V_{OL} > 0$ 이므로 논리값 0에 대한 잡음여유가 작다. 식 (4.31)에 의하면, V_{OL} 은 부하소자와 구동소자의 등가저항 비(R_{pu}/R_{pd})에 영향을 받으므로, 논리값 0 출력에 대한 잡음여유도 등가저항 비에 영향을 받는다. 따라서 R_{pu}/R_{pd} 를 크게 할수록 V_{OL} 이 작아지며, 논리값 0에 대한 잡음여유가 커진다.

pseudo nMOS 인버터 설계 시 고려할 사항을 알아보기 위해 [그림 4-23]과 같이 두 개의 인버터가 직렬로 연결된 경우를 생각해보자. 인버터 INV1의 논리값 0 출력 V_{OL} 이 다음 단 인버터 INV2에서 논리값 0으로 인식되기 위해서는 $V_{OL} < V_{Th}$ 을 만족하도록 설계해야 한다. INV1에 논리값 1($V_{in} = V_{DD}$)이 인가된 경우, 부하소자는 포화모드로 동작하고, 구동소자는 선형모드로 동작한다. 이때 두 트랜지스터에 흐르는 전류는 같으므로, 식 (4.38)과 같이 표현할 수 있다. 식 (4.38)에서 V_{OL} 은 INV1의 논리값 0 출력을 나타낸다.

$$\beta_n \left((V_{DD} - V_{Th}) V_{OL} - \frac{V_{OL}^2}{2} \right) = \frac{\beta_p}{2} (V_{DD} - |V_{Tp}|)^2 \quad (4.38)$$

$V_{TH} \equiv V_{Th} = |V_{Tp}|$ 로 가정하여 V_{OL} 을 구하면, 식 (4.39)와 같다.

$$V_{OL} = (V_{DD} - V_{TH}) \left(1 - \sqrt{1 - \frac{\beta_p}{\beta_n}} \right) \quad (4.39)$$

식 (4.39)에서 pseudo nMOS 인버터의 V_{OL} 은 부하소자와 구동소자의 β -비에 영향을 받으며, β_p/β_n 가 작을수록 V_{OL} 이 0에 가까워진다. 원하는 V_{OL} 의 조건이 만족되도록 부하소자와 구동소자의 β -비(트랜지스터의 채널폭 비)를 결정한다. 식 (4.39)로부터 구한 pseudo nMOS 인버터의 β -비에 따른 VTC 곡선의 변화는 nMOS 인버터의 [그림 4-24]와 유사하다. β_p/β_n 가 작을수록(즉 부하소자와 구동소자의 등가저항 비가 클수록) 논리값 0 출력전압 V_{OL} 이 작아진다. pseudo nMOS 인버터의 스위칭 문턱전압 V_{inv} 는 식 (4.40)과 같이 표현되며, 부하소자와 구동소자의 β -비의 영향을 받는다.

$$V_{inv} = V_{TH} + (V_{DD} - V_{TH}) \sqrt{\frac{\beta_p/\beta_n}{1 + \beta_p/\beta_n}} \quad (4.40)$$

Pseudo nMOS 인버터의 특성을 요약하면 다음과 같다. 논리값 1 출력전압은 $V_{OH} = V_{DD}$ 이고, 논리값 0 출력전압은 $V_{OL} > 0$ 이 되어 논리값 0에 대한 잡음여유가 작다. V_{OL} 값이 부하소자와 구동소자의 등가저항 비에 영향 받는 비율 논리회로이며, 회로 설

계 시에는 부하소자와 구동소자의 채널폭을 조정하여 설계한다. 따라서 pseudo nMOS 인버터가 무비율 논리회로인 CMOS 인버터에 비해 설계가 다소 복잡하다는 단점을 갖는다. 또한 pseudo nMOS 인버터는 입력이 논리값 1을 유지하는 동안에 전류가 계속 흐르므로, 정적 전력소모가 커서 저전력 회로에는 적합하지 않다.

예제 4-5

[그림 4-26(a)]의 pseudo nMOS 인버터가 $V_{inv} = 1.2\text{ V}$ 의 스위칭 문턱전압을 가지려면 pMOS와 nMOS의 채널폭 비(W_p / W_n)를 얼마로 설계해야 하는지 구하라. $L_n = L_p$ 이고 산화막 두께는 동일하며, 전자와 정공의 이동도는 각각 $\mu_n = 150\text{ cm}^2/\text{V} \cdot \text{s}$, $\mu_p = 60\text{ cm}^2/\text{V} \cdot \text{s}$ 이다. 전원전압은 $V_{DD} = 2.5\text{ V}$ 이고, pMOS와 nMOS의 문턱전압은 $V_{Th} = |V_{Tp}| = 0.4\text{ V}$ 이다.

풀이

주어진 값을 식 (4.40)에 대입하면 다음과 같다.

$$V_{inv} = V_{Th} + (V_{DD} - V_{Th}) \sqrt{\frac{\beta_p / \beta_n}{1 + \beta_p / \beta_n}} = 0.4 + (2.5 - 0.4) \sqrt{\frac{\beta_p / \beta_n}{1 + \beta_p / \beta_n}} = 1.2 \quad (1)$$

$L_n = L_p$ 이고 산화막 두께는 동일하며 $\mu_n = 2.5\mu_p$ 이므로, 식 (1)을 정리하면 다음과 같다.

$$\sqrt{\frac{\beta_p / \beta_n}{1 + \beta_p / \beta_n}} = \sqrt{\frac{1}{1 + 2.5(W_n / W_p)}} = 0.38$$

따라서 nMOS와 pMOS의 채널폭 비(W_n / W_p)는 다음과 같으며, nMOS의 채널폭을 pMOS에 비해 약 2.4배 크게 설계해야 한다.

$$\frac{W_n}{W_p} = 2.37, \quad W_n \approx 2.4 W_p$$

핵심포인트 nMOS 및 pseudo nMOS 인버터

- 논리값 1의 출력전압은 $V_{OH} = V_{DD}$ 이고, 논리값 0의 출력전압은 $V_{OL} > 0$ 이므로 논리값 0에 대한 잡음여유가 작다.
- 부하소자와 구동소자의 β_{pu} / β_{pd} 가 작을수록(R_{pu} / R_{pd} 가 클수록) 논리값 0의 출력전압 V_{OL} 이 작아지는 비율 논리회로이다.
 - 부하소자와 구동소자의 채널폭을 조정하여 설계하며, 무비율 논리회로인 CMOS 인버터에 비해 설계가 다소 복잡하다는 단점을 갖는다.
- 입력이 논리값 1을 유지하는 동안에 전류가 계속 흐르므로, 정적 전력소모가 커서 저전력 회로에 적합하지 않다.

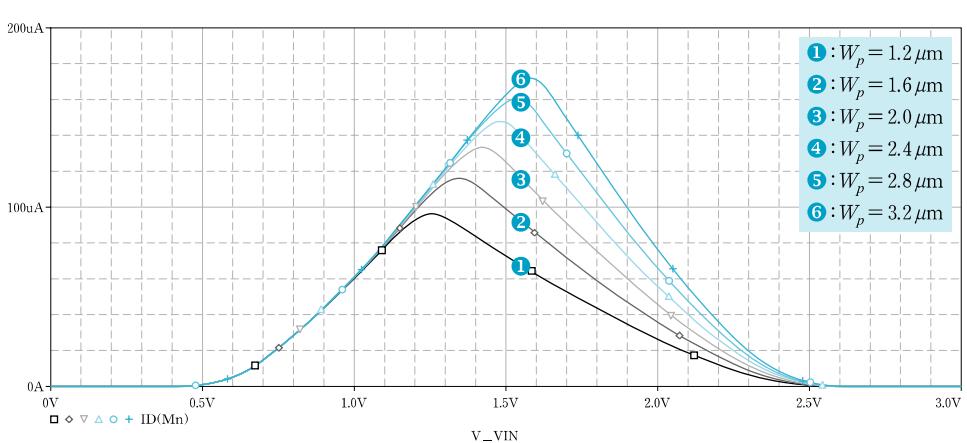
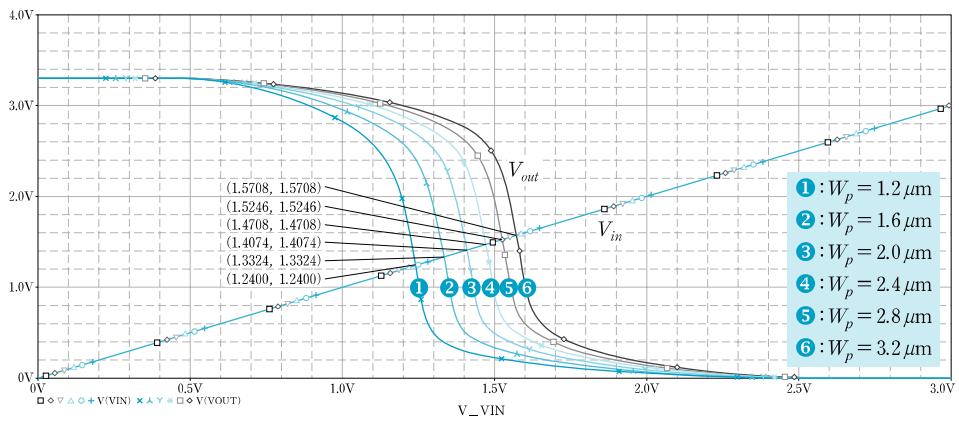
4.4 시뮬레이션 및 레이아웃 설계 실습

실습 4-1 CMOS 인버터의 DC 전달 특성 시뮬레이션

CMOS 인버터의 β_p/β_n 에 따른 DC 전달 특성을 시뮬레이션으로 분석하라.

■ 시뮬레이션 결과

[그림 4-28(a)]는 β_p/β_n 변화에 따른 CMOS 인버터의 DC 전달 특성의 시뮬레이션 결과이다. nMOSFET의 채널폭을 $W_n = 1.2 \mu\text{m}$ 로 고정한 상태에서 pMOSFET의 채널폭을



(b) 전류 특성

■ 시뮬레이션 조건 : $L_n = L_p = 0.35 \mu\text{m}$, $W_n = 1.2 \mu\text{m}$, $W_p = 1.2 \sim 3.2 \mu\text{m}$

[그림 4-28] CMOS 인버터의 DC 전달 특성 및 전류 특성 시뮬레이션 결과

$W_p = 1.2 \sim 3.2 \mu\text{m}$ 범위에서 $0.4 \mu\text{m}$ 씩 증가시키면서 DC 해석을 하였다. [그림 4-28(a)]에서 보는 바와 같이, pMOSFET의 채널폭이 증가할수록 (β_p/β_n 가 증가할수록) VTC 곡선은 오른쪽으로 이동한다. DC 전달 특성으로부터 측정된 CMOS 인버터의 스위칭 문턱전압 V_{inv} 값은 [표 4-4]와 같다. β_p/β_n 가 증가할수록 V_{inv} 가 증가하며, $W_p/W_n = 2.8/1.2$ 인 경우에 $V_{inv} = 1.52\text{V}$ 가 된다. [그림 4-28(b)]는 CMOS 인버터의 전류 특성에 대한 시뮬레이션 결과이다. 이 결과를 살펴보면, pMOSFET와 nMOSFET가 모두 포화모드로 동작하는 $V_{in} \simeq 1.5\text{V}$ 근처에서 최대의 전류가 흐르며, 입력이 논리값 0 또는 논리값 1인 경우에는 전류가 흐르지 않는 것을 확인할 수 있다.

[표 4-4] β -비에 따른 CMOS 인버터의 스위칭 문턱전압

($L_n = L_p = 0.35 \mu\text{m}$, $W_n = 1.2 \mu\text{m}$)

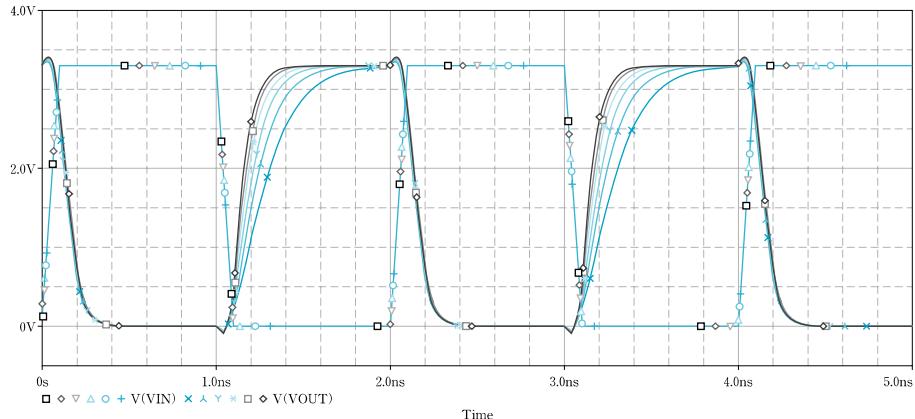
$W_p [\mu\text{m}]$	$V_{inv} [\text{V}]$	파형 번호
1.2	1.24	①
1.6	1.33	②
2.0	1.41	③
2.4	1.47	④
2.8	1.52	⑤
3.2	1.57	⑥

실습 4-2 CMOS 인버터의 상승시간 특성 시뮬레이션

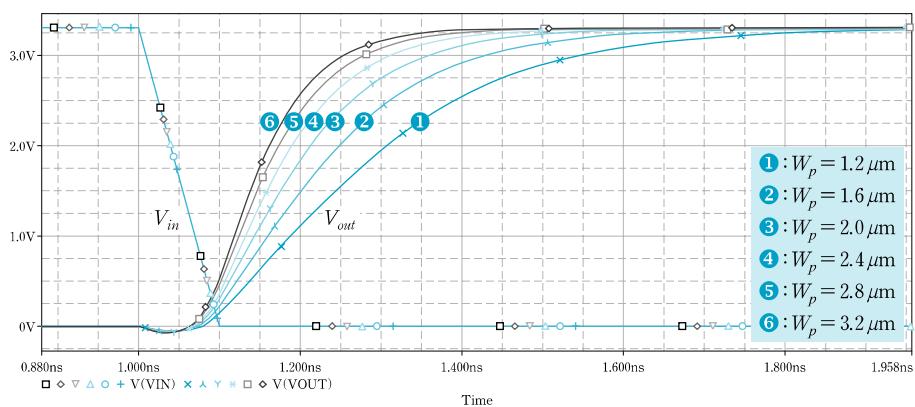
pMOSFET의 채널폭 W_p 가 CMOS 인버터의 상승시간 t_r 과 상승 전달지연시간 t_{PLH} 에 미치는 영향을 시뮬레이션으로 분석하라. 단, 부하 커패시턴스는 $C_L = 20\text{fF}$ 으로 한다.

■ 시뮬레이션 결과

채널길이를 $L_n = L_p = 0.35 \mu\text{m}$, nMOSFET의 채널폭을 $W_n = 1.2 \mu\text{m}$ 로 고정한 상태에서 pMOSFET의 채널폭을 $W_p = 1.2 \sim 3.2 \mu\text{m}$ 범위에서 $0.4 \mu\text{m}$ 씩 증가시키면서 CMOS 인버터의 상승시간의 변화를 관찰한 시뮬레이션 결과는 [그림 4-29]와 같다. 상승시간과 하강시간이 각각 0.1ns 인 구형 필스를 인가하여 Transient 해석을 하였다. [그림 4-29(a)]에 의하면, pMOSFET의 채널폭 W_p 는 상승시간에 영향을 미치지만, 하강시간에는 영향을 미치지 않음을 알 수 있다. [그림 4-29(b)]는 출력전압이 상승하는 부분을 확대한 것이며, 상승시간과 상승 전달지연시간의 측정값은 [표 4-5]와 같다. [그림 4-29]와 [표 4-5]에서 볼 수 있듯이, pMOSFET의 채널폭이 증가할수록 인버터의 상승 시간 및 상승 전달지연시간이 감소함을 알 수 있다.



(a) Transient 해석 결과



(b) W_p 에 따른 상승시간 변화(단, 부하 커패시턴스 $C_L = 20 \text{ fF}$)

■ 시뮬레이션 조건 : $L_n = L_p = 0.35 \mu\text{m}$, $W_n = 1.2 \mu\text{m}$, $W_p = 1.2 \sim 3.2 \mu\text{m}$

[그림 4-29] W_p 의 변화에 따른 CMOS 인버터의 상승시간 시뮬레이션 결과

[표 4-5] W_p 에 따른 CMOS 인버터의 상승시간 변화

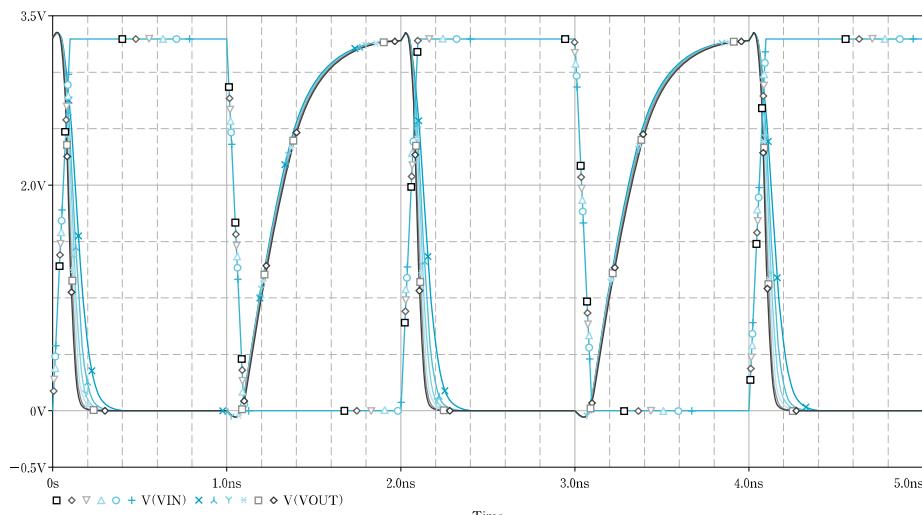
($L_n = L_p = 0.35 \mu\text{m}$, $W_n = 1.2 \mu\text{m}$, $C_L = 20 \text{ fF}$)

$W_p [\mu\text{m}]$	$t_r [\text{ps}]$	$t_{pLH} [\text{ps}]$	파형 번호
1.2	407.4	211.0	①
1.6	308.9	163.6	②
2.0	247.8	135.4	③
2.4	207.7	116.9	④
2.8	179.9	103.8	⑤
3.2	159.4	94.0	⑥

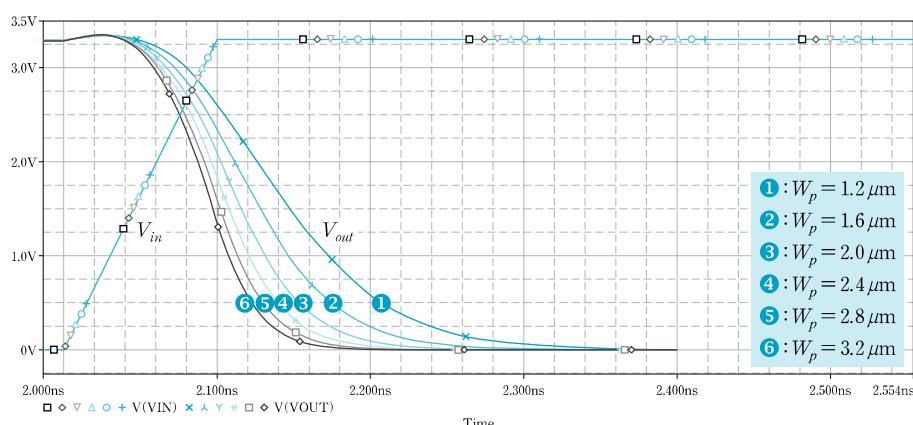
실습 4-3 CMOS 인버터의 하강시간 특성 시뮬레이션

nMOSFET의 채널폭 W_n 이 CMOS 인버터의 하강시간 t_f 와 하강 전달지연시간 t_{pHL} 에 미치는 영향을 시뮬레이션으로 분석하라. 단, 부하 커패시턴스는 $C_L = 20 \text{ fF}$ 으로 한다.

■ 시뮬레이션 결과



(a) Transient 해석 결과



Measurement Results						
Evaluate	Measurement	1	2	3	4	5
<input checked="" type="checkbox"/> Faltime_StepResponse_XRange(V(v...)	145.09422p	114.27995p	96.12904p	84.22357p	75.85132p	70.03356p

(b) W_n 에 따른 하강시간 변화(부하 커패시턴스 $C_L = 20 \text{ fF}$)

■ 시뮬레이션 조건 : $L_n = L_p = 0.35 \mu\text{m}$, $W_p = 1.2 \mu\text{m}$, $W_n = 1.2 \sim 3.2 \mu\text{m}$

[그림 4-30] W_n 의 변화에 따른 CMOS 인버터의 하강시간 시뮬레이션 결과

채널길이를 $L_n = L_p = 0.35\mu\text{m}$, pMOSFET의 채널폭을 $W_p = 1.2\mu\text{m}$ 로 고정한 상태에서 nMOSFET의 채널폭을 $W_n = 1.2 \sim 3.2\mu\text{m}$ 범위에서 $0.4\mu\text{m}$ 씩 증가시키면서 CMOS 인버터의 하강시간의 변화를 관찰한 시뮬레이션 결과는 [그림 4-30]과 같다. 상승시간과 하강시간이 각각 0.1 ns 인 구형 펄스를 인가하여 Transient 해석을 하였다. [그림 4-30(a)]에 의하면, nMOSFET의 채널폭 W_n 이 하강시간에 영향을 미치지만, 상승시간에는 영향을 미치지 않음을 알 수 있다. [그림 4-30(b)]는 출력전압이 하강하는 부분을 확대한 것이며, 하강시간과 하강 전달지연시간의 측정값은 [표 4-6]과 같다. [그림 4-30]과 [표 4-6]에서 볼 수 있듯이, nMOSFET의 채널폭이 증가할수록 인버터의 하강 시간 및 하강 전달지연시간이 감소함을 알 수 있다.

[표 4-6] W_n 에 따른 CMOS 인버터의 하강시간 변화

$$(L_n = L_p = 0.35\mu\text{m}, W_p = 1.2\mu\text{m}, C_L = 20\text{ fF})$$

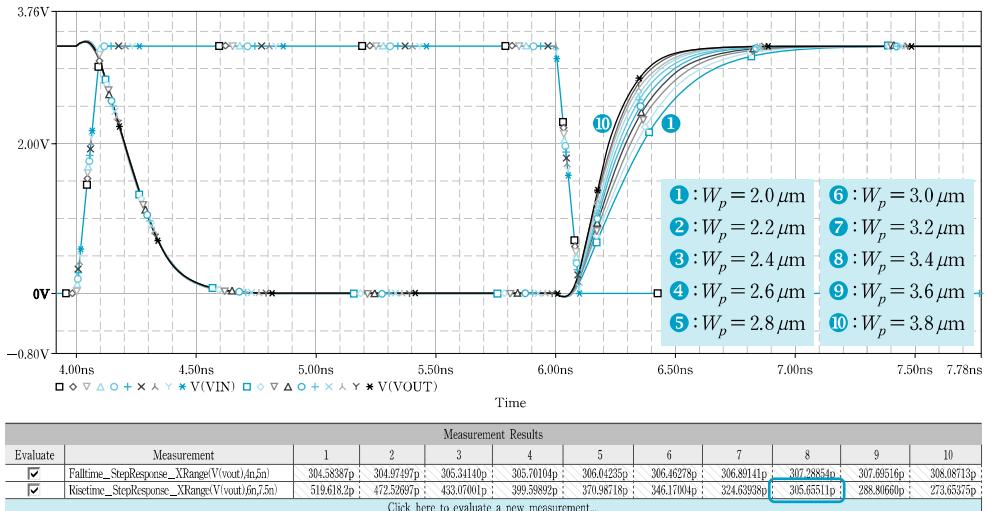
$W_n [\mu\text{m}]$	$t_f [\text{ps}]$	$t_{pHL} [\text{ps}]$	파형 번호
1.2	145.1	91.3	①
1.6	114.3	73.1	②
2.0	96.1	62.1	③
2.4	84.2	54.6	④
2.8	75.9	49.2	⑤
3.2	70.0	44.9	⑥

실습 4-4 스위칭 특성을 고려한 CMOS 인버터 설계

nMOSFET의 채널폭을 $W_n = 1.2\mu\text{m}$ 로 고정시킨 상태에서 $t_f = t_r$ 이 되도록 pMOSFET의 채널폭 W_p 값을 시뮬레이션을 통해 구하라. 단, 채널길이는 $L_n = L_p = 0.35\mu\text{m}$ 이고, 부하 커패시턴스는 $C_L = 50\text{ fF}$ 으로 한다.

■ 시뮬레이션 결과

pMOSFET의 채널폭을 $W_p = 2.0 \sim 3.8\mu\text{m}$ 범위에서 $0.2\mu\text{m}$ 씩 증가시키면서 시뮬레이션한 결과는 [그림 4-31]과 같으며, 하강시간과 상승시간의 측정값은 [표 4-7]과 같다. pMOSFET의 채널폭이 $W_p = 3.4\mu\text{m}$ 인 경우(파형 ⑧)에 CMOS 인버터의 하강시간과 상승시간이 각각 $t_f = 307.3\text{ ps}$ 와 $t_r = 305.7\text{ ps}$ 로 근사적으로 같아짐을 알 수 있다. 따라서 $t_f \approx t_r$ 로 만들기 위해서는 $W_n = 1.2\mu\text{m}$, $W_p = 3.4\mu\text{m}$ 로 설계해야 한다.



■ 시뮬레이션 조건 : $L_n = L_p = 0.35 \mu\text{m}$, $W_n = 1.2 \mu\text{m}$, $W_p = 2.0 \sim 3.8 \mu\text{m}$

■ 부하 커패시턴스 : $C_L = 50 \text{ fF}$

[그림 4-31] W_p 의 변화에 따른 CMOS 인버터의 하강 및 상승시간 시뮬레이션 결과

[표 4-7] W_p 에 따른 CMOS 인버터의 하강 및 상승시간 변화

($L_n = L_p = 0.35 \mu\text{m}$, $W_n = 1.2 \mu\text{m}$, $C_L = 50 \text{ fF}$)

$W_p [\mu\text{m}]$	$t_f [\text{ps}]$	$t_r [\text{ps}]$	파형 번호
2.0	304.6	519.6	①
2.2	305.0	472.5	②
2.4	305.3	433.1	③
2.6	305.7	399.6	④
2.8	306.0	371.0	⑤
3.0	306.5	346.2	⑥
3.2	306.9	324.6	⑦
3.4	307.3	305.7	⑧
3.6	307.7	288.8	⑨
3.8	308.1	273.7	⑩

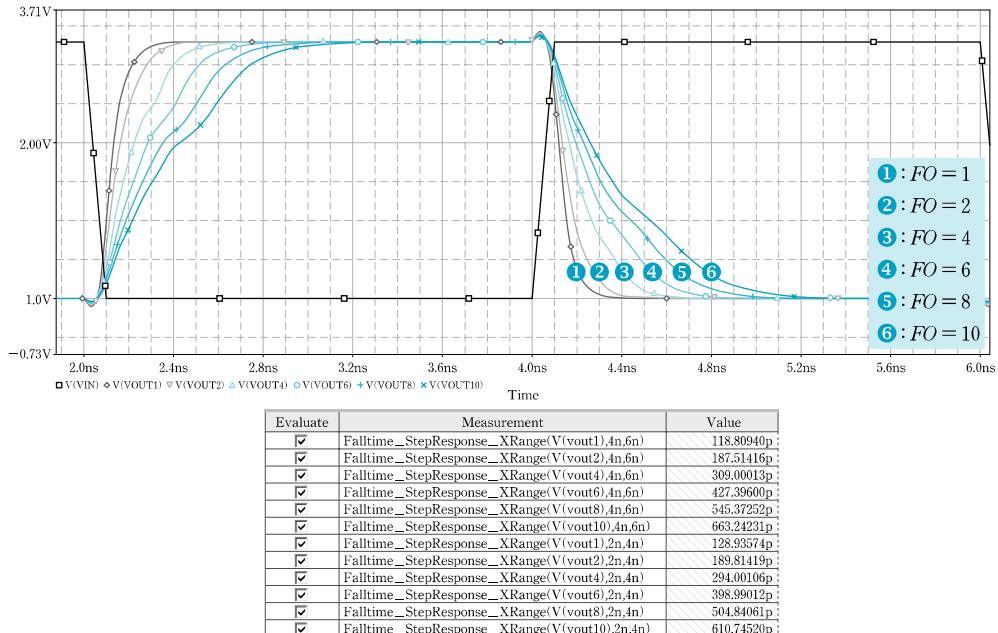
실습 4-5 팬-아웃에 따른 CMOS 인버터의 스위칭 특성 시뮬레이션

팬-아웃에 따른 CMOS 인버터의 스위칭 특성을 시뮬레이션으로 분석하라.

■ 시뮬레이션 결과

[실습 4-4]에서 얻어진 결과를 적용하여 인버터의 $t_f \approx t_r$ 되도록 $W_p = 3.4 \mu\text{m}$,

$W_n = 1.2\mu m$ 로 설정하고 상승시간과 하강시간이 각각 0.1 ns인 구형 펄스를 인가하여 Transient 해석을 하였다. 팬-아웃 $FO = 1, 2, 4, 6, 8, 10$ 에 따른 스위칭 특성 시뮬레이션 결과는 [그림 4-32]와 같으며, 시뮬레이션 결과로부터 지연시간을 측정한 결과는 [표 4-8], [그림 4-33]과 같다. [표 4-8]과 [그림 4-33]에서 볼 수 있듯이, 팬-아웃이 증가함에 따라 인버터의 상승시간, 하강시간, 전달지연시간이 선형적으로 증가한다. 이는 팬-아웃이 증가함에 따라 인버터의 부하 커패시턴스가 선형적으로 증가함에 기인한다.



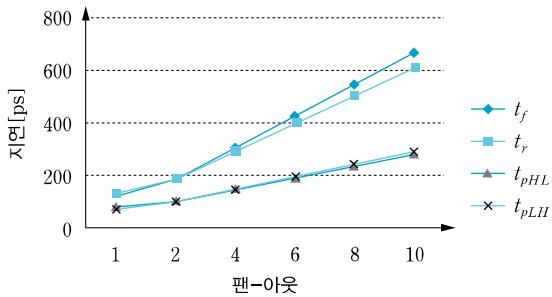
■ 시뮬레이션 조건 : $L_n = L_p = 0.35\mu m$, $W_p = 3.4\mu m$, $W_n = 1.2\mu m$

[그림 4-32] 팬-아웃에 따른 CMOS 인버터의 스위칭 특성 시뮬레이션 결과

[표 4-8] 팬-아웃에 따른 CMOS 인버터의 스위칭 특성 시뮬레이션 결과

($L_n = L_p = 0.35\mu m$, $W_p = 3.4\mu m$, $W_n = 1.2\mu m$)

팬-아웃	t_f [ps]	t_r [ps]	t_{pHL} [ps]	t_{pLH} [ps]	파형 번호
1	118.8	128.9	79.9	72.4	①
2	187.5	189.8	101.3	94.6	②
4	309.0	294.0	144.6	141.4	③
6	427.4	399.0	188.5	189.6	④
8	545.4	504.8	232.6	238.3	⑤
10	663.2	610.7	276.8	287.2	⑥



[그림 4-33] 팬-아웃에 따른 CMOS 인버터의 자연 특성

실습 4-6 pseudo nMOS 인버터의 DC 전달 특성 시뮬레이션

pseudo nMOS 인버터의 β -비에 따른 DC 전달 특성을 시뮬레이션으로 분석하고, V_{OL} 의 변화를 관찰하라.

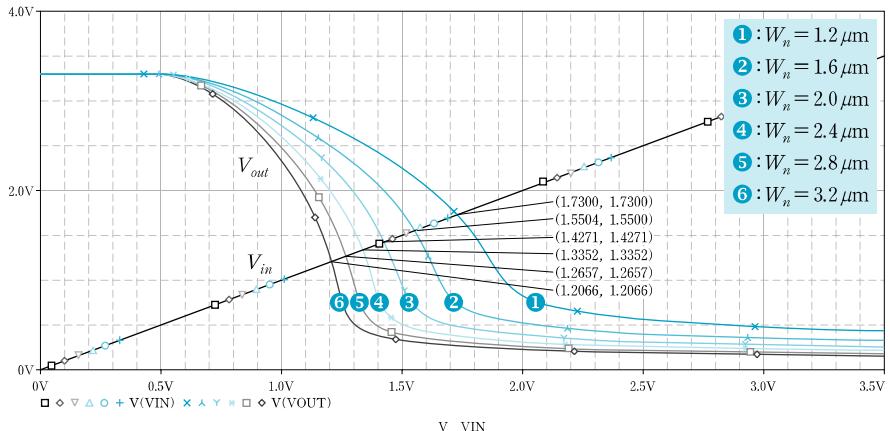
■ 시뮬레이션 결과

[그림 4-34(a)]는 pMOSFET의 채널폭을 $W_p = 1.2 \mu\text{m}$ 로 고정한 상태에서 nMOSFET의 채널폭을 $W_n = 1.2 \sim 3.2 \mu\text{m}$ 범위에서 $0.4 \mu\text{m}$ 씩 증가시키면서 DC 특성을 시뮬레이션 한 결과이다. nMOSFET의 채널폭이 증가할수록(β_p/β_n 가 감소할수록) VTC 곡선이 왼쪽 으로 이동하여 스위칭 문턱전압 V_{inv} 가 감소하며, V_{OL} 이 0V에 가까워진다. 시뮬레이션 결과로부터 스위칭 문턱전압 V_{inv} 와 V_{OL} 을 측정한 결과는 [표 4-9]와 같다. β_p/β_n 가 감소할수록 V_{inv} 와 V_{OL} 이 감소하며, $W_p/W_n = 1.2/2.4$ 일 때 $V_{inv} = 1.34 \text{ V}$, $V_{OL} = 0.212 \text{ V}$ 가 된다. [그림 4-34(b)]는 pseudo nMOS 인버터의 전류 특성에 대한 시뮬레이션 결과이며, 논리값 1이 입력되면, DC 전류가 흐르는 것을 확인할 수 있다. [그림 4-28(b)]의 CMOS 인버터의 전류 특성과 비교하여 차이점을 확인하기 바란다.

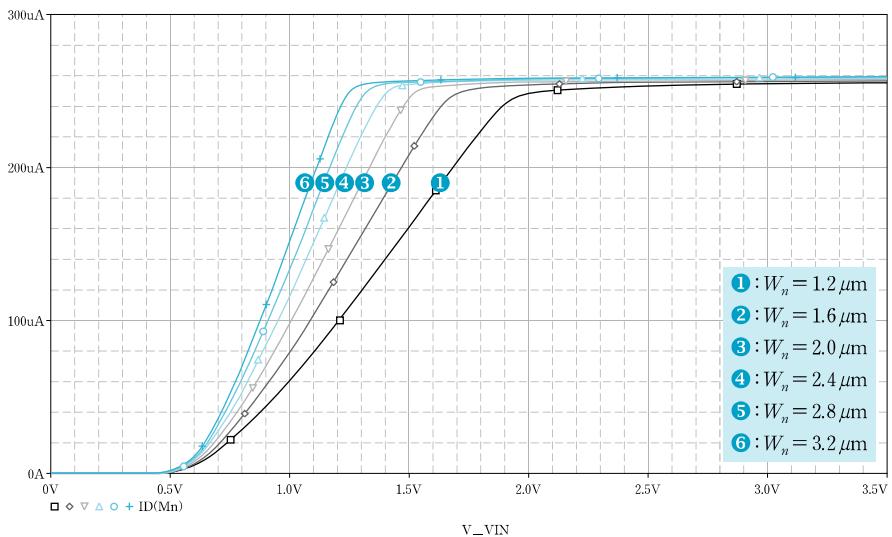
[표 4-9] W_n 에 따른 pseudo nMOS 인버터의 DC 특성 변화

($L_n = L_p = 0.35 \mu\text{m}$, $W_p = 1.2 \mu\text{m}$, $W_n = 1.2 \sim 3.2 \mu\text{m}$)

$W_n [\mu\text{m}]$	$V_{inv} [\text{V}]$	$V_{OL} [\text{mV}]$	파형 번호
1.2	1.73	430.4	①
1.6	1.55	321.0	②
2.0	1.43	255.5	③
2.4	1.34	212.0	④
2.8	1.27	181.1	⑤
3.2	1.21	158.1	⑥



(a) DC 전달 특성

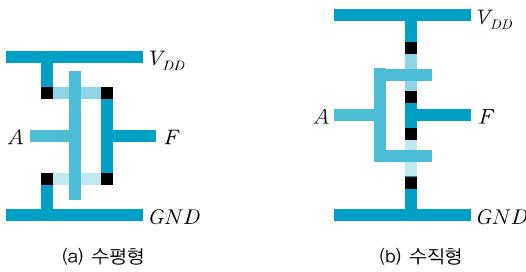


(b) 전류 특성

■ 시뮬레이션 조건 : $L_n = L_p = 0.35 \mu\text{m}$, $W_p = 1.2 \mu\text{m}$, $W_n = 1.2 \sim 3.2 \mu\text{m}$

[그림 4-34] pseudo nMOS 인버터의 DC 전달 특성 및 전류 특성 시뮬레이션 결과

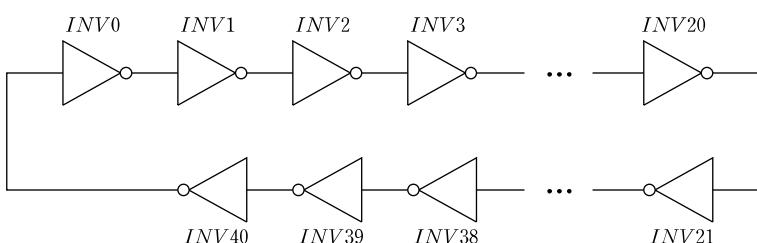
실습과제 4-1 CMOS 인버터의 레이아웃은 nMOS와 pMOS의 배치 형태에 따라 [그림 4-35]의 스틱 다이어그램^{stick diagram}과 같은 두 가지 형태를 갖는다. [그림 4-35]의 스틱 다이어그램 형태로 레이아웃을 설계하고, 각각의 면적을 비교하라.



[그림 4-35] CMOS 인버터의 레이아웃 스틱 다이어그램

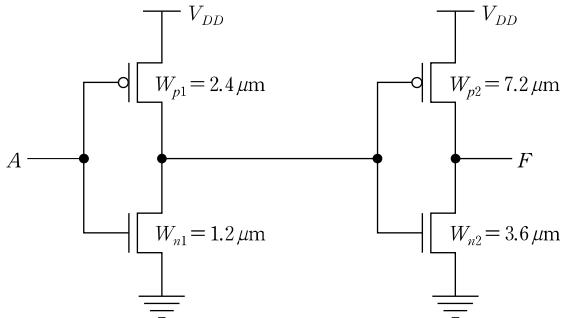
실습과제 4-2 [그림 4-36]은 $s = 41$ 단의 CMOS 인버터로 구성되는 링 오실레이터^{ring oscillator} 회로이다. 시뮬레이션을 통해 발진 주파수와 인버터의 지연시간을 구하라. 발진 주파수(f_{osc}), 인버터의 단 수(s), 그리고 인버터의 지연시간(τ_d) 사이에는 식 (4.41)의 관계가 성립한다. 모든 인버터는 동일한 크기를 가지며, $W_n = 1.2 \mu\text{m}$, $W_p = 2.4 \mu\text{m}$ 이고, $L_p = L_n = 0.35 \mu\text{m}$ 이다.

$$f_{osc} = \frac{1}{2s\tau_d} \quad (4.41)$$



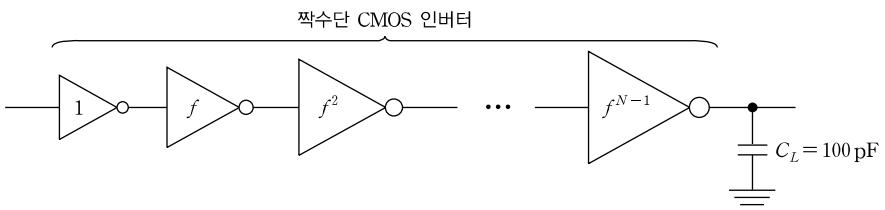
[그림 4-36] 링 오실레이터 회로

실습과제 4-3 [그림 4-37]의 2단 CMOS 인버터의 레이아웃을 설계하고, DRC^{design rule check}와 LVS^{layout versus schematic} 검증을 하라. 단, 트랜지스터의 채널길이는 모두 동일하게 $L_p = L_n = 0.35 \mu\text{m}$ 이다.



[그림 4-37] 2단 CMOS 인버터 회로

실습과제 4-4 [그림 4-38]과 같이 $C_L = 100 \text{ pF}$ 의 부하 커패시턴스를 최소의 지연시간으로 구동하도록 짹수단의 CMOS 인버터로 구성되는 버퍼회로를 설계하고, 레이아웃 설계와 DRC와 LVS 검증을 하라. 트랜지스터의 채널길이는 모두 동일하게 $L_p = L_n = 0.35 \mu\text{m}$ 이다.



[그림 4-38] 짹수단의 CMOS 인버터로 구성되는 버퍼회로

CMOS 인버터

- $V_{OH} = V_{DD}$, $V_{OL} = 0$ 인 무비율 논리회로이므로, 트랜지스터 크기에 무관한 DC 특성을 가져 설계가 용이하고 잡음여유가 크다.
- 입력이 논리값 0 또는 논리값 1을 유지하는 동안에는 이상적으로 전류가 0이므로, DC 전력소모가 작아 저전력에 적합하다.
- 상승시간은 정공의 이동도, pMOS의 채널폭, 부하용량, 전원전압 등의 영향을 받으며, 근사적으로 다음과 같이 모델링된다.

$$t_r \simeq \frac{m C_L}{\beta_p V_{DD}} = \frac{m C_L}{k_p V_{DD}} \left(\frac{L_p}{W_p} \right)$$

- 하강시간은 전자의 이동도, nMOS의 채널폭, 부하용량, 전원전압 등의 영향을 받으며, 근사적으로 다음과 같이 모델링된다.

$$t_f \simeq \frac{m C_L}{\beta_n V_{DD}} = \frac{m C_L}{k_n V_{DD}} \left(\frac{L_n}{W_n} \right)$$

- 상승시간과 하강시간을 같아도록 하려면, 전자와 정공의 이동도 차이를 고려하여 pMOS와 nMOS의 채널폭을 결정해야 한다.
- 전달지연시간은 인버터의 고유지연시간과 유효 팬-아웃 $f \equiv C_L / C_{gin}$ 에 비례하는 지연시간의 합으로 주어진다. 다른 조건들이 동일한 상태에서 인버터를 구성하는 트랜지스터의 채널폭이 클수록 유효 팬-아웃 f 가 감소하여 인버터의 전달지연시간이 작아진다.
- 정적 전력소모는 이상적으로 0이지만, 실제 회로에서는 누설전류 및 문턱전압이하 누설전류 등에 의해 전력소모가 유발되나, 동적 전력소모에 비해서는 상대적으로 그 양이 적다.
- 동적 전력소모는 소자의 스위칭 과정에서 발생되는 스위칭 전력소모와 과도 단락전류에 의한 전력 소비 성분으로 구성된다. 스위칭 전력소모는 전원전압의 제곱에 비례하며, 부하용량, 동작 주파수에 비례한다.
- 큰 부하 커패시턴스 C_L 을 빠르게 구동하기 위해 다단 인버터로 구성되는 버퍼회로가 사용된다.

- 지연시간을 최소화할 수 있는 최적의 유효 팬-아웃 : $f_{opt} = e^{(1 + \gamma/f_{opt})}$
- 버퍼를 구성하는 최적의 인버터 수 : $N = \ln(F) = \ln(C_L/C_{g,1})$ ($\gamma = 0$ 인 경우)

nMOS 인버터

- 게이트가 소오스로 연결된 공핍형 nMOS가 부하소자로 사용되고, 증가형 nMOS가 구동소자로 사용된다.
- 논리값 1의 출력전압은 $V_{OH} = V_{DD}$ 이고, 논리값 0의 출력전압은 $V_{OL} > 0$ 이므로 논리값 0에 대한 잡음여유가 작다. 정적 전력소모가 크다.
- 논리값 0의 출력전압 V_{OL} 이 부하소자와 구동소자의 등가저항 비에 영향을 받는 비율 논리회로이다.
- 부하소자와 구동소자의 β_{pu}/β_{pd} 가 작을수록(R_{pu}/R_{pd} 가 클수록) 논리값 0의 출력전압 V_{OL} 이 작아진다.

pseudo nMOS 인버터

- 게이트가 접지로 연결된 증가형 pMOS가 부하소자로 사용되고, 증가형 nMOS가 구동소자로 사용된다.
- nMOS 인버터와 유사한 특성을 가져 $V_{OH} = V_{DD}$, $V_{OL} > 0$ 인 비율 논리회로이며, 정적 전력소모가 크다.
- 부하소자와 구동소자의 β_{pu}/β_{pd} 가 작을수록(R_{pu}/R_{pd} 가 클수록) 논리값 0의 출력전압 V_{OL} 이 작아진다.

→ Chapter 04 연습문제

4.1 MOS 인버터의 논리값 0 출력전압은 회로의 구성과 종류에 무관하게 0 V이다.
(O, X)

4.2 pseudo nMOS 인버터는 정적 전력소모가 매우 크다. (O, X)

4.3 CMOS 인버터는 0 V ~ V_{DD} 범위의 출력전압을 갖는 무비율 논리회로이다. (O, X)

4.4 CMOS 인버터는 무비율 논리회로이므로, 트랜지스터의 크기와 무관하게 상승시간과 하강시간이 동일한 특성을 갖는다. (O, X)

4.5 게이트 커패시턴스 C_{gin} 과 부하 커패시턴스 C_L 을 갖는 CMOS 인버터의 전달지연 시간은 유효 팬-아웃 $f \equiv C_L / C_{gin}$ 에 비례한다. (O, X)

4.6 CMOS 인버터에서 pMOS가 ()영역, nMOS가 ()영역에서 동작할 때 가장 큰 전류가 흐른다.

4.7 MOS 인버터의 잡음여유에 대한 정의가 옳은 것은? 단, NM_L 은 논리값 0에 대한 잡음여유, NM_H 는 논리값 1에 대한 잡음여유, V_{OL} 은 논리값 0 출력전압, V_{OH} 는 논리값 1 출력전압을 나타낸다.

⑦ $NM_L = V_{IL} - V_{OL}$

⑧ $NM_L = V_{IL} - V_{OH}$

⑨ $NM_H = V_{OL} - V_{IH}$

⑩ $NM_H = V_{OH} - V_{IL}$

4.8 CMOS 인버터의 특성이 아닌 것은?

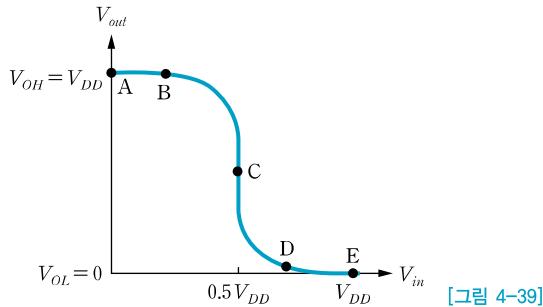
⑪ 이상적인 경우의 정적 전력소모는 0에 가깝다.

⑫ DC 특성은 pMOS와 nMOS의 채널폭에 영향을 받는다.

⑬ 스위칭 전력소모는 전원전압의 제곱에 비례한다.

⑭ pMOS의 채널폭이 클수록 상승시간이 짧아진다.

4.9 [그림 4-39]의 CMOS 인버터 VTC 곡선에서 전류가 가장 많이 흐르는 영역은 어디인가?



[그림 4-39]

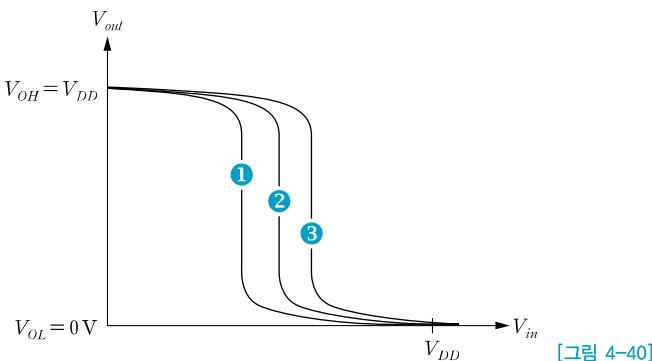
- A
- B
- C
- D
- E

4.10 [그림 4-39]의 CMOS 인버터 VTC 곡선에 대한 설명으로 맞는 것은?

- A점에서 nMOS는 차단모드이고, pMOS는 선형모드이다.
- C점에서 nMOS와 pMOS는 모두 선형모드이다.
- D점에서 nMOS는 포화모드이고, pMOS는 선형모드이다.
- E점에서 nMOS는 포화모드이고, pMOS는 차단모드이다.

4.11 [그림 4-40]은 CMOS 인버터의 VTC 곡선이다. 이에 대한 설명으로 맞는 것은?

단, 모든 트랜지스터의 채널길이는 같다.



[그림 4-40]

- ⑦ β_n / β_p 가 가장 큰 인버터의 VTC 곡선은 ③번이다.
- ⑧ 스위칭 문턱전압이 가장 작은 인버터의 VTC 곡선은 ③번이다.
- ⑨ W_p / W_n 가 가장 큰 인버터의 VTC 곡선은 ③번이다.
- ⑩ 논리값 1에 대한 잡음여유 NM_H 가 가장 큰 인버터의 VTC 곡선은 ③번이다.

4.12 CMOS 인버터의 하강시간에 영향을 미치는 주된 요인이 아닌 것은?

- Ⓐ 전원전압
- Ⓑ 출력노드의 용량성 부하
- Ⓒ 전자의 이동도
- Ⓓ pMOS의 채널폭

4.13 CMOS 인버터의 상승시간이 작아지도록 만들기 위한 방법으로 틀린 것은?

- Ⓐ pMOS의 채널폭을 크게 만든다.
- Ⓑ pMOS의 채널길이를 작게 만든다.
- Ⓒ 부하 커패시턴스를 작게 한다.
- Ⓓ 전원전압을 작게 한다.

4.14 CMOS 인버터의 하강시간이 작아지도록 만들기 위한 방법으로 틀린 것은?

- Ⓐ 전원전압을 크게 한다.
- Ⓑ 부하 커패시턴스를 작게 한다.
- Ⓒ nMOS의 채널길이를 크게 만든다.
- Ⓓ nMOS의 채널폭을 크게 만든다.

4.15 CMOS 인버터의 스위칭 전력소모를 줄이기 위한 방법이 아닌 것은?

- Ⓐ 부하 커패시턴스를 크게 한다.
- Ⓑ 전원전압을 작게 한다.
- Ⓒ 불필요한 스위칭을 감소시킨다.
- Ⓓ 동작 주파수를 작게 한다.

4.16 CMOS 인버터의 전달지연시간에 관한 설명으로 틀린 것은?

- Ⓐ 유효 팬-아웃이 클수록 전달지연시간이 커진다.
- Ⓑ 출력의 상승시간과 무관하다.
- Ⓒ 부하 커패시턴스에 비례한다.
- Ⓓ 인버터의 고유지연시간에 비례한다.

4.17 공핍형 nMOS를 부하로 갖는 nMOS 인버터의 특성으로 틀린 것은?

- Ⓐ $V_{OH} = V_{DD}$ 이다.
- Ⓑ $V_{OL} = 0$ 이다.
- Ⓒ 정적 전력소모가 크다
- Ⓓ 비율 논리회로이다.

4.18 nMOS 인버터의 논리값 0 출력전압 V_{OL} 에 대한 설명으로 맞는 것은?

- Ⓐ β_{pu} / β_{pd} 가 클수록 V_{OL} 이 작아진다.
- Ⓑ β_{pu} / β_{pd} 가 클수록 V_{OH} 가 커진다.
- Ⓒ Z_{pu} / Z_{pd} 가 클수록 V_{OL} 이 커진다.
- Ⓓ Z_{pu} / Z_{pd} 는 V_{OH} 와 무관하다.

4.19 pseudo nMOS 인버터의 부하에 대한 설명으로 맞는 것은?

- Ⓐ 게이트가 접지로 연결된 증가형 nMOS가 사용된다.
- Ⓑ 게이트가 전원 V_{DD} 로 연결된 증가형 nMOS가 사용된다.
- Ⓒ 게이트가 전원 V_{DD} 로 연결된 증가형 pMOS가 사용된다.
- Ⓓ 게이트가 접지로 연결된 증가형 pMOS가 사용된다.

4.20 pseudo nMOS 인버터의 특성으로 틀린 것은?

- Ⓐ $V_{OH} = V_{DD}$ 이다.
- Ⓑ $V_{OL} > 0$ 이다.
- Ⓒ 저전력 회로에 적합하다.
- Ⓓ 비율 논리회로이다.

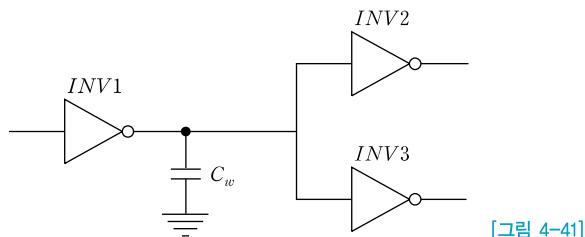
4.21 CMOS 인버터의 스위칭 문턱전압이 식 (4.7)로 표현됨을 보여라.

4.22 [그림 4-39]의 CMOS 인버터 VTC 곡선의 각 영역에서 nMOS와 pMOS의 동작 모드를 써라.

영역	nMOS	pMOS
A		
B		
C		
D		
E		

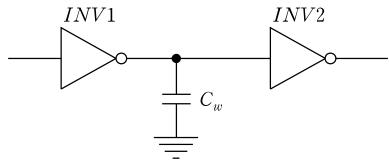
4.23 CMOS 인버터에서 $\beta_n = \beta_p$ 가 되도록 pMOS와 nMOS의 채널폭 비(W_p / W_n)를 구하라. 단, $\beta_n = 100 \frac{W_n}{L_n} \mu\text{A}/\text{V}^2$, 정공의 이동도는 $\mu_p = 200 \text{cm}^2/\text{V} \cdot \text{sec}$ 이며, 게이트 산화막의 두께는 $t_{ox} = 20 \text{nm}$ 이고, 채널길이는 $L_n = L_p = 1 \mu\text{m}$ 이다.

4.24 [그림 4-41]의 회로에서 세 개의 CMOS 인버터는 모두 동일한 크기를 갖는다. 인버터 INV1의 상승시간 t_r 과 하강시간 t_f 를 구하라. 단, 전원전압은 $V_{DD} = 3.3 \text{V}$, $m = 3$ 으로 가정한다. 배선의 커패시턴스는 $C_w = 0.8 \text{fF}$ 이고, 인버터를 구성하는 nMOS와 pMOS는 $\beta_n = \beta_p = 90 \mu\text{A}/\text{V}^2$ 이다. nMOS와 pMOS의 드레인-기판 접합 커패시턴스는 각각 $C_{dn} = 3.24 \text{fF}$, $C_{dp} = 4.84 \text{fF}$, 게이트 커패시턴스는 각각 $C_{gn} = 4.6 \text{fF}$, $C_{gp} = 9.2 \text{fF}$ 이다.



[그림 4-41]

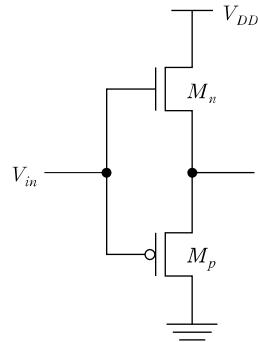
4.25 [그림 4-42]와 같이 CMOS 인버터 두 개가 직렬로 연결된 경우에 첫 번째 인버터 INV1의 전달지연시간을 최소로 만들기 위한 pMOS와 nMOS의 채널폭 비 ratio를 구하라. 단, 채널길이는 모두 동일하며, 두 인버터의 크기도 같다.



[그림 4-42]

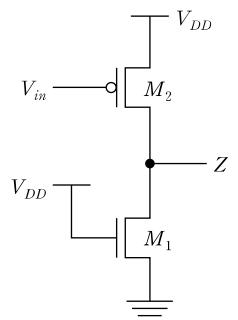
4.26 pseudo nMOS 인버터의 논리값 0에 대한 출력전압이 $V_{OL} = 0.1 V_{DD}$ 가 되도록 채널폭의 비 W_p / W_n 를 구하라. 단, $V_{Th} = |V_{Tp}| = 0.65 \text{ V}$ 이고, 전자와 정공의 이동도는 각각 $\mu_n = 150 \text{ cm}^2/\text{V} \cdot \text{sec}$, $\mu_p = 50 \text{ cm}^2/\text{V} \cdot \text{sec}$, 전원전압은 $V_{DD} = 3.3 \text{ V}$ 이다.

4.27 [그림 4-43]의 회로에 대해 DC 입출력 전달 특성 곡선을 그리고, 동작을 설명하라. CMOS 인버터 회로와 비교하여 어떤 차이가 있는지 설명하라.



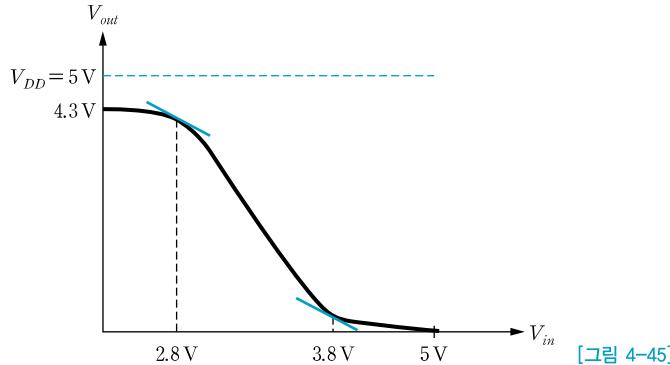
[그림 4-43]

4.28 [그림 4-44]는 pseudo pMOS 인버터 회로이다. VTC 곡선을 그려서 동작을 설명하라.

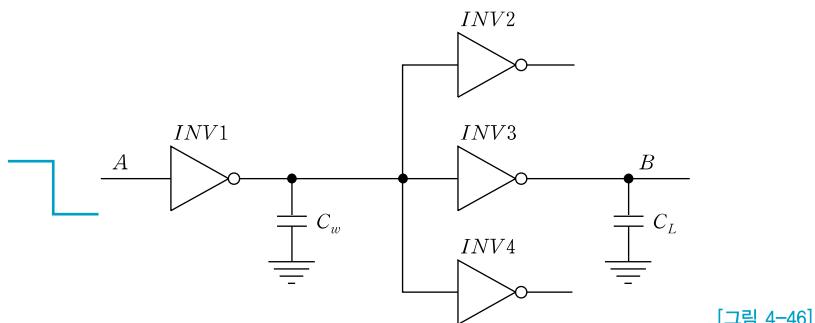


[그림 4-44]

4.29 [그림 4-45]의 VTC 곡선에 대해 V_{OH} , V_{OL} , V_{IH} , V_{IL} 전압을 구하라.



4.30 [그림 4-46]의 회로에서 $INV1$ 의 입력 A 에 하강 falling step 입력이 인가되는 경우에 노드 A 와 노드 B 사이의 전달지연시간의 근사값을 구하라. 단, $C_w = 20 \text{ fF}$, $C_L = 100 \text{ fF}$ 이고, nMOS와 pMOS의 공정이득 파라미터는 $k_n = (\epsilon_0 \epsilon_{ox} \mu_n) / t_{ox} = 70 \mu\text{A}/\text{V}^2$, $k_p = (\epsilon_0 \epsilon_{ox} \mu_p) / t_{ox} = 45 \mu\text{A}/\text{V}^2$ 이다. nMOS와 pMOS의 채널폭 $1\mu\text{m}$ 당 드레인과 게이트 커패시턴스는 $C_{dn} = 1.0 \text{ fF}$, $C_{gn} = 2.0 \text{ fF}$, $C_{dp} = 2.0 \text{ fF}$, $C_{gp} = 3.0 \text{ fF}$ 이다. 전원전압은 $V_{DD} = 5 \text{ V}$ 이고, nMOS와 pMOS의 문턱전압과 드레인-소오스 포화전압은 V_{DD} 보다 매우 작다고 가정한다.



4.31 N 단의 인버터로 구성되는 버퍼의 지연시간을 최소화할 수 있는 최적의 유효 팬-아웃 f_{opt} 이 식 (4.27)과 같이 주어짐을 보여라.