

이 책을 읽기 전에

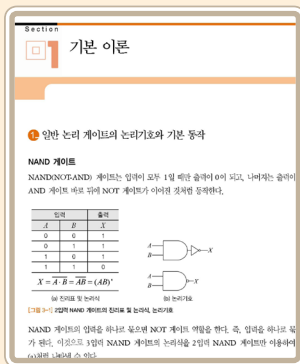
누구를 위한 책인가

쿡북 대표 베스트셀러인 『IT CookBook, 디지털 논리회로』의 이론을 직접 실험해 볼 수 있다. 또한 다양한 팀 프로젝트를 통해 자신만의 디지털 장난감을 만들어 볼 수도 있다. 모든 실험을 ‘기본 이론 + 실험’ 형태로 구성하여 이론부터 간단히 정리해 볼 수 있고, 각 실험은 회로도뿐만 아니라 실제 부품 배선도까지 하나하나 제시하여 막힘 없이 진행할 수 있다. 그리고 실험이 불가능한 환경에서도 시뮬레이션을 통해 동작 여부를 확인할 수 있다.

선수 연계 과목

컴퓨터 개론, 이산수학 등의 기본 지식이 있으면 좋고, 논리회로나 디지털공학 이론 등의 기본 내용을 알고 있으면 많은 도움이 된다. 그렇지만 실험을 순서대로 따라하면 기초 지식이 부족하더라도 책을 보는 데 큰 어려움은 없을 것이다.

이 책의 구성 요소



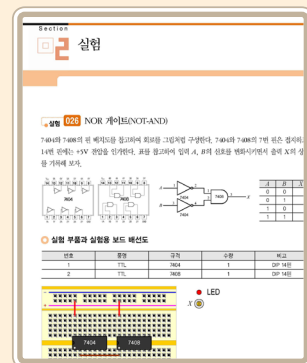
기본 이론

각 실험을 진행하기에 앞서 알고 있어야 할 이론적인 배경을 간단히 정리해 준다.

실험

실제로 실험을 진행하는 순서로 내용을 전개하는 기본 실험이다.

- 회로 설계 및 회로도 : 게이트를 기반으로 설계된 회로
- 실험 부품 : 실험에 사용할 부품
- 부품 배치도, 부품 배선도 : 브레드보드에서 실험할 실제 부품 배치와 배선도
- 시뮬레이션 : 실험에 제시한 내용을 시뮬레이션하는 회로와 결과
- 검토 : 실험에서 참고 넘어가야 할 추가 문제



이 책의 뼈대만 빨리 보기

크게 세 부분으로 구성되어 있다. 먼저 1장에서는 기본 논리실험장치와 소자를 소개하고, 2~17장에서는 기본 논리회로, 조합논리회로, 순서논리회로, 멀티바이트브레이터, DAC 및 ADC 등에 대한 기본 실험 120개를 소개한다. 그리고 마지막 18장에서는 12개의 다양한 팀 프로젝트를 소개한다.

1 들어가기(1장)

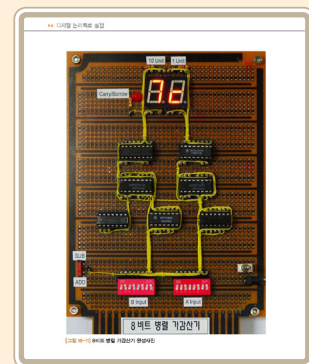
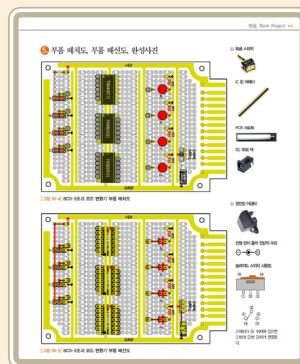
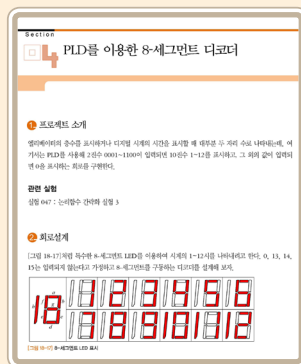
디지털 논리회로 실험에 필요한 각종 전자 소자의 기본적인 사항과 특징 및 주의 사항을 살펴본다. 그리고 논리실험장치의 사용 방법과 각 부분별 명칭과 용도를 알아본 후 팀 프로젝트에 사용할 각종 도구의 사용 방법과 납땜 방법을 알아본다.

2 기본 이론과 실험(2~17장)

총 120개의 기본 실험을 담고 있다. 2~7장에서 기본 논리회로, 8~11장에서 조합논리회로, 12~15장에서 순서논리회로, 16장에서 멀티바이트브레이터, 17장에서 DAC 및 ADC의 기본 실험을 다룬다. 모든 장이 '기본 이론+실험' 형태로 구성되어 있고, 각 실험은 '실험 소개 → 실험 부품과 배선도 → (시뮬레이션) → 검토' 순으로 전개한다.

3 팀 프로젝트(18장)

다양한 실제 응용 회로를 제작하여 볼 수 있는 12개 팀 프로젝트를 '프로젝트 소개 → 회로 설계 및 회로도 → 시뮬레이션 → 소요 부품 → 부품 배치도, 부품 배선도, 완성사진' 순으로 전개한다.



팀 프로젝트

기본 실험을 기초로 다양한 응용 회로를 제작해 볼 수 있는 실무형 프로젝트이다.

- 프로젝트 소개 : 간단한 프로젝트 내용 소개 및 관련 기본 실험 목록
- 회로 설계 및 회로도 : 프로젝트 회로 설계 과정과 완성된 회로도
- 시뮬레이션 : 설계된 회로가 정상적으로 동작하는지 검증하는 시뮬레이션
- 소요 부품 : 팀 프로젝트에 사용할 부품
- 부품 배치도, 부품 배선도, 완성사진 : 실물 제작을 위한 실제 기판의 배치도, 배선도 및 완성된 사진

가산기와 감산기

* 학습목표

- 가산기의 원리를 이해하고, 가산기 회로를 설계하여 동작 특성을 확인한다.
- 감산기의 원리를 이해하고, 감산기 회로를 설계하여 동작 특성을 확인한다.
 - 7483을 사용하여 4비트 2진 가산기의 동작 특성을 이해한다.
- 2의 보수를 이용한 4비트 2진 가감산기를 설계하고, 동작 특성을 확인한다.
 - BCD 가산기를 설계하고, 동작 특성을 확인한다.
- 시뮬레이션을 통해 가산기 및 감산기의 동작 특성을 확인한다.

실험 050. 반가산기

실험 051. 반감산기

실험 052. 전가산기

실험 053. 전감산기

실험 054. 4비트 2진 가산기(7483 사용)

실험 055. 2의 보수를 이용한 4비트 2진 가감산기

실험 056. BCD 가산기



기본 이론

1 반가산기

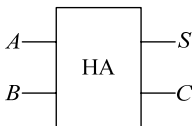
반가산기는 한 자리 2진수 2개를 입력하여 합(sum, S)과 캐리(carry, C : 자리올림)를 계산하는 덧셈회로이다. [그림 8-1]처럼 캐리 C 는 입력 A 와 B 가 모두 1일 때 1이 되고, 합 S 는 입력 A 와 B 둘 중 하나만 1일 때 1이 된다.

입력		출력	
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

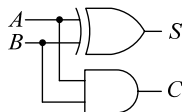
$$S = \bar{A}B + A\bar{B} = A \oplus B$$

$$C = AB$$

(a) 진리표 및 논리식



(b) 논리기호



(c) 논리회로

[그림 8-1] 반가산기 진리표 및 논리식, 논리기호, 논리회로

2 전가산기

전가산기는 2진수 입력 2개(A , B)와 아랫자리에서 올라온 캐리 C_{n-1} 을 포함하여 한 자리의 2진수 3개를 더하는 조합논리회로이다. [그림 8-2]의 (a) 전가산기 진리표를 이용하여 논리식을 정리하면 다음과 같다. $A_n \oplus B_n$ 를 공통으로 이용할 수 있게 S_n 및 C_n 의 논리식을 나타내 회로를 간단히 만들 수 있다.

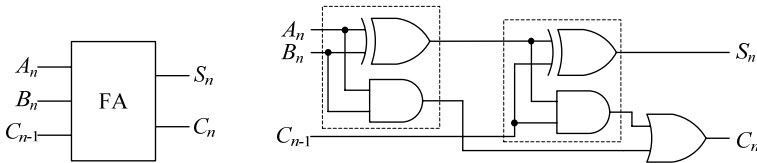
전가산기 회로를 반가산기 2개와 OR 게이트를 이용하여 [그림 8-2]의 (b)를 (c)처럼 나타낼 수 있다. (b)의 점선 부분이 반가산기이다.

입력			출력	
A_n	B_n	C_{n-1}	S_n	C_n
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

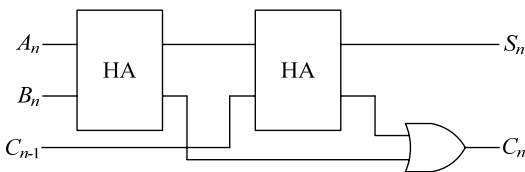
$$\begin{aligned}
 S_n &= \overline{A_n} \overline{B_n} C_{n-1} + \overline{A_n} B_n \overline{C_{n-1}} + A_n \overline{B_n} \overline{C_{n-1}} + A_n B_n C_{n-1} \\
 &= \overline{A_n} (\overline{B_n} C_{n-1} + B_n \overline{C_{n-1}}) + A_n (\overline{B_n} C_{n-1} + B_n C_{n-1}) \\
 &= \overline{A_n} (B_n \oplus C_{n-1}) + A_n (\overline{B_n} \oplus C_{n-1}) \\
 &= A_n \oplus (B_n \oplus C_{n-1}) = (A_n \oplus B_n) \oplus C_{n-1}
 \end{aligned}$$

$$\begin{aligned}
 C_n &= \overline{A_n} B_n C_{n-1} + A_n \overline{B_n} C_{n-1} + A_n B_n \overline{C_{n-1}} + A_n B_n C_{n-1} \\
 &= C_{n-1} (\overline{A_n} B_n + A_n \overline{B_n}) + A_n B_n (\overline{C_{n-1}} + C_{n-1}) \\
 &= C_{n-1} (A_n \oplus B_n) + A_n B_n
 \end{aligned}$$

(a) 진리표 및 논리식



(b) 논리기호 및 논리회로



(c) 반가산기를 이용한 전가산기 회로

[그림 8-2] 전가산기 진리표 및 논리식, 논리기호, 논리회로

3. 반감산기

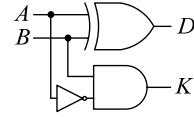
반감산기는 한 비트의 2진수 A 에서 B 를 빼는 것으로, 차(difference, D)와 빌림 수(borrow, K)를 계산하는 뺄셈회로이다. A 에서 B 를 뺄 수 없으면 윗자리에서 빌려와 빼야 하며, 이때 빌려오는 수는 윗자리에서 가져오므로 2가 된다. 따라서 뺄셈의 결과는 $2-1=1$ 이 되고, 값을 빌려왔으므로 빌림 수 K 는 1이다.

입력		출력		설명($D = A - B$)
A	B	D	K	뺄셈이 안 되면 위에서 빌려와서 계산한다.
0	0	0	0	$0 - 0 = 0$, 빌림 수 없음, $\therefore D = 0$
0	1	1	1	$0 - 1 = -1$, 빌림 수 2, $\therefore D = 2 - 1 = 1$
1	0	1	0	$1 - 0 = 1$, 빌림 수 없음, $\therefore D = 1$
1	1	0	0	$1 - 1 = 0$, 빌림 수 없음, $\therefore D = 0$

$$D = \bar{A}B + A\bar{B} = A \oplus B$$

$$K = \bar{A}B$$

(a) 진리표 및 논리식



(b) 논리회로

[그림 8-3] 반감산기 진리표 및 논리식, 논리회로

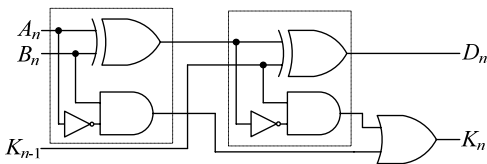
4. 전감산기

전감산기는 두 2진수 입력 A_n, B_n 과 아랫 단으로 빌려주는 빌림 수 K_{n-1} 을 포함하여 $A_n - B_n - K_{n-1}$ 을 계산하는 조합논리회로이다.

입력			출력		설명($D_n = A_n - B_n - K_{n-1}$)
A_n	B_n	K_{n-1}	D_n	K_n	뺄셈이 안 되면 위에서 빌려와서 계산한다.
0	0	0	0	0	$0 - 0 - 0 = 0$, 빌림 수 없음, $\therefore D = 0$
0	0	1	1	1	$0 - 1 - 0 = -1$, 빌림 수 2, $\therefore D = 2 - 1 = 1$
0	1	0	1	0	$1 - 0 - 0 = 1$, 빌림 수 없음, $\therefore D = 1$
0	1	1	0	0	$1 - 1 - 0 = 0$, 빌림 수 없음, $\therefore D = 0$
1	0	0	1	1	$0 - 0 - 1 = -1$, 빌림 수 2, $\therefore D = 2 - 1 = 1$
1	0	1	0	1	$0 - 1 - 1 = -2$, 빌림 수 2, $\therefore D = 2 - 2 = 0$
1	1	0	0	0	$1 - 0 - 1 = 0$, 빌림 수 없음, $\therefore D = 0$
1	1	1	1	1	$1 - 1 - 1 = -1$, 빌림 수 2, $\therefore D = 2 - 1 = 1$

$$D_n = (A_n \oplus B_n) \oplus K_{n-1}, \quad K_n = K_{n-1}(\overline{A_n \oplus B_n}) + \overline{A_n}B_n$$

(a) 진리표 및 논리식



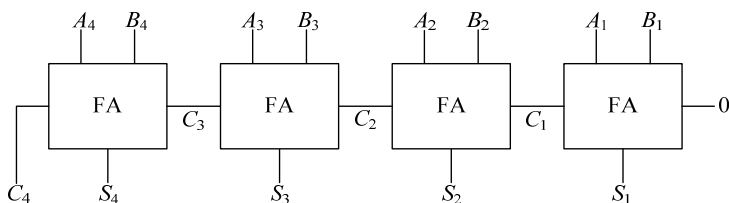
(b) 논리회로

[그림 8-4] 전감산기의 진리표 및 논리식, 논리회로

[그림 8-4]의 (b) 전감산기 논리회로의 점선 부분이 반감산기 회로이므로 반감산기 2개와 OR 게이트를 이용하여 나타낼 수도 있다.

5- 2진 병렬가산기

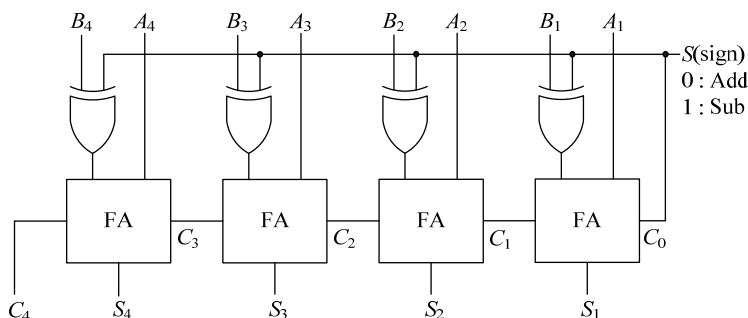
전가산기 여러 개를 병렬로 연결하여 2비트 이상인 가산기를 만들 수 있는데, 이를 병렬가산기(parallel-adder)라고 한다. [그림 8-5]는 4비트 2진 병렬가산기로, 입력 A , B 가 각각 4비트이며, 전가산기 최하위비트의 캐리는 0을 입력한다. 계산 결과 합은 $S_4S_3S_2S_1$ 이며, 마지막 캐리는 C_4 이다. 이 회로는 캐리를 LSB부터 하나씩 계산하여 MSB까지 전달하므로 리플캐리가산기(ripple carry adder)라고 한다.



[그림 8-5] 4비트 2진 병렬가산기 회로

6- 2진 병렬가감산기

[그림 8-5] 병렬가산기의 B 입력을 [그림 8-6]처럼 부호 $S(\text{sign})$ 와 XOR하여 전가산기의 입력으로 사용하면 덧셈과 뺄셈 모두 가능하다. 즉, 덧셈을 할 때는 S 에 0을 가하여 B 값이 그대로 전가산기 4개로 입력되고, 뺄셈을 할 때는 S 에 1을 가하여 B 값이 반전(1의 보수)되어 입력된다. 뺄셈은 맨 오른쪽(LSB) 전가산기의 캐리 입력이 1이 되어 결과적으로 B 의 1의 보수에 1이 더해져 B 의 2의 보수가 된다. 따라서 [그림 8-6]을 병렬가감산기(parallel-adder/subtractor) 회로라고 한다.



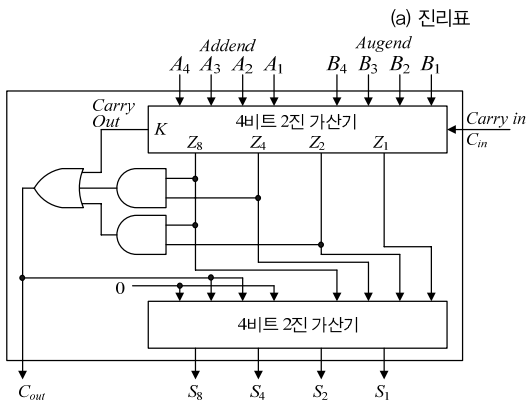
[그림 8-6] 4비트 2진 병렬가감산기 회로

7 BCD 가산기

BCD 코드는 2진수와 달리 표현 범위가 0에서 9까지다. 그러므로 BCD 계산을 하려면 결과를 보정해야 한다. [그림 8-7]은 2진수 덧셈과 BCD 덧셈의 진리표이다. BCD는 0~9(0000~1001)까지 결과만 나와야 하므로, 2진수 합의 결과가 01010₍₂₎~10011₍₂₎(10~19)의 범위일 때 6(0110)을 더하여 보정해야 한다. BCD 합에서 캐리가 발생하는 경우를 논리식으로 나타낸 [그림 8-7]에서 K 가 1일 때 항상 C_{out} 이 1이 되고, $X(Z_8, Z_4, Z_2, Z_1) = \sum m(10, 11, 12, 13, 14, 15) = Z_8 Z_4 + Z_8 Z_2$ 일 때 C_{out} 이 1이므로 캐리는 $C_{out} = K + Z_8 Z_4 + Z_8 Z_2$ 처럼 된다. 여기서 Z 는 [그림 8-7]처럼 순수한 2진수 합의 결과이다.

2진 합					BCD 합					10진 값
K	Z_8	Z_4	Z_2	Z_1	C_{out}	S_8	S_4	S_2	S_1	
0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	2
0	0	0	1	1	0	0	0	1	1	3
0	0	1	0	0	0	0	1	0	0	4
0	0	1	0	1	0	0	1	0	1	5
0	0	1	1	0	0	0	1	1	0	6
0	0	1	1	1	0	0	1	1	1	7
0	1	0	0	0	0	1	0	0	0	8
0	1	0	0	1	0	1	0	0	1	9
0	1	0	1	0	1	0	0	0	0	10
0	1	0	1	1	1	0	0	0	1	11
0	1	1	0	0	1	0	0	1	0	12
0	1	1	0	1	1	0	0	1	1	13
0	1	1	1	0	1	0	1	0	0	14
0	1	1	1	1	1	0	1	0	1	15
1	0	0	0	0	1	0	1	1	0	16
1	0	0	0	1	1	0	1	1	1	17
1	0	0	1	0	1	1	0	0	0	18
1	0	0	1	1	1	1	0	0	1	19

$Z_8 Z_4$	$Z_2 Z_1$	00	01	11	10
00	0	0	0	0	0
01	0	0	0	0	0
11	1	1	1	1	1
10	0	0	1	1	1



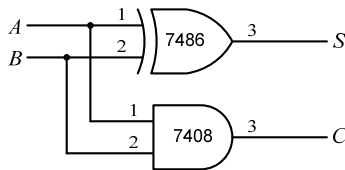
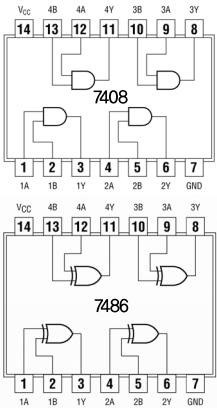
(b) 논리회로도

[그림 8-7] BCD 가산기의 진리표, 논리회로도



● 실험 050 반가산기

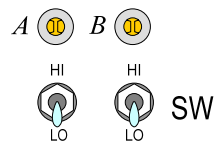
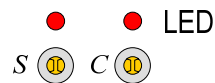
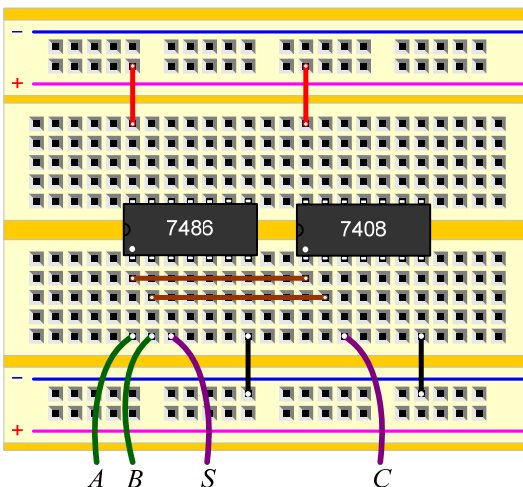
7408과 7486의 핀 배치도를 참고하여 반가산기 회로를 그림처럼 구성한다. 7408과 7486의 7번 핀은 접지하고, 14번 핀에는 +5V 전압을 인가한다. 표를 참고하여 입력 A , B 의 신호를 변화시키면서 출력 S , C 의 상태를 기록해 보자.



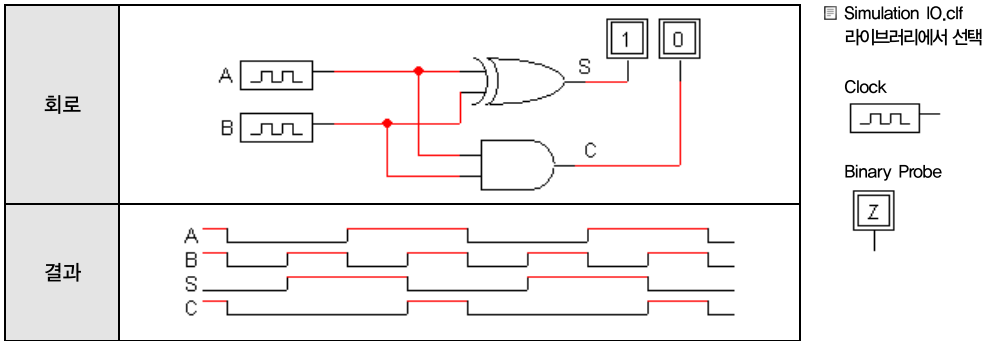
A	B	S	C
0	0		
0	1		
1	0		
1	1		

○ 실험 부품과 실험용 보드 배선도

번호	품명	규격	수량	비고
1	TTL	7408	1	DIP 14핀
2	TTL	7486	1	DIP 14핀



○ 시뮬레이션

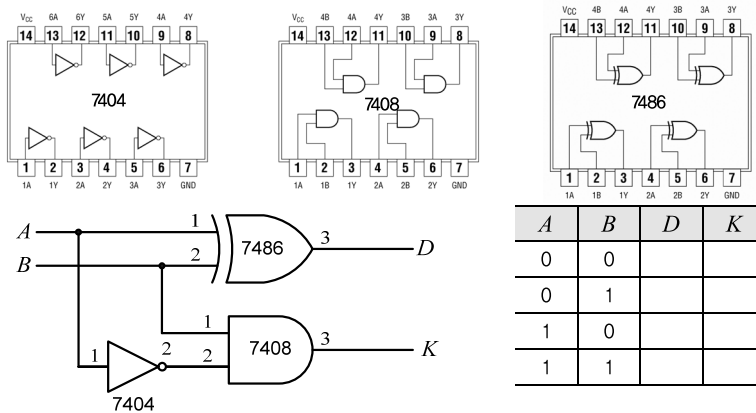


○ 검토

반가산기 회로를 XOR 게이트(7486)와 NAND 게이트(7400)만으로 구성하시오.

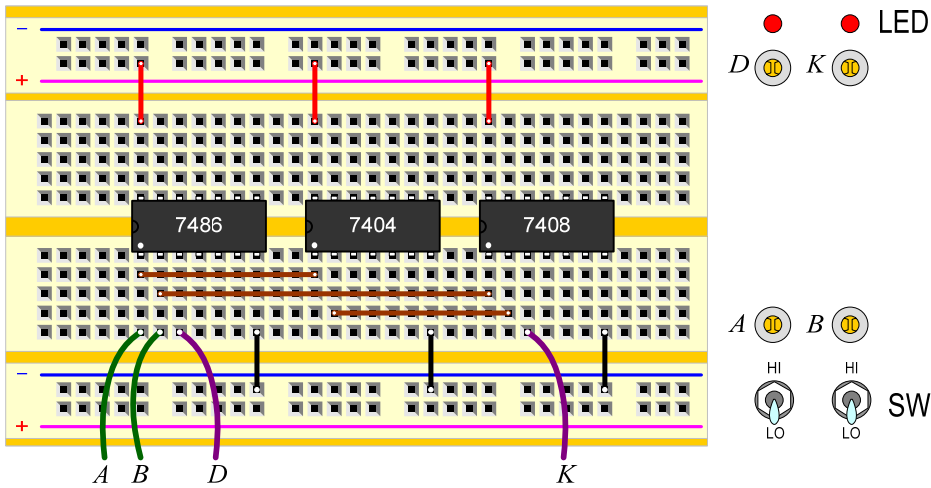
● 실험 051 반가산기

7404, 7408, 7486의 핀 배치도를 참고하여 반가산기 회로를 그림처럼 구성한다. 7404, 7408, 7486의 7번 핀은 접지하고, 14번 핀에는 +5V 전압을 인가한다. 표를 참고하여 입력 A, B 의 신호를 변화시키면서 출력 D, K 의 상태를 기록해 보자.

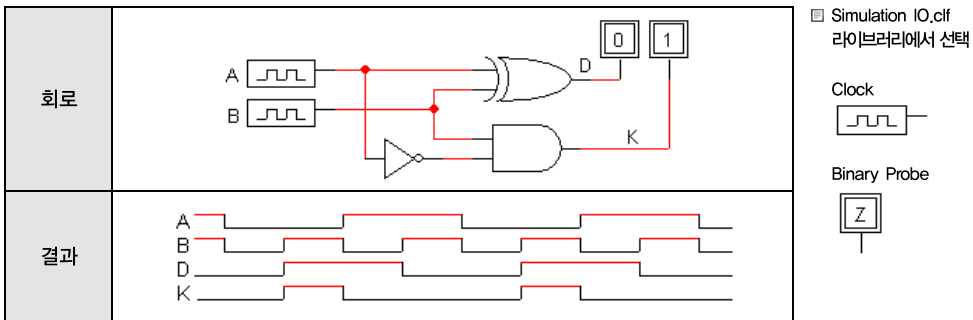


○ 실험 부품과 실험용 보드 배선도

번호	품명	규격	수량	비고
1	TTL	7404	1	DIP 14핀
2	TTL	7408	1	DIP 14핀
3	TTL	7486	1	DIP 14핀



○ 시뮬레이션

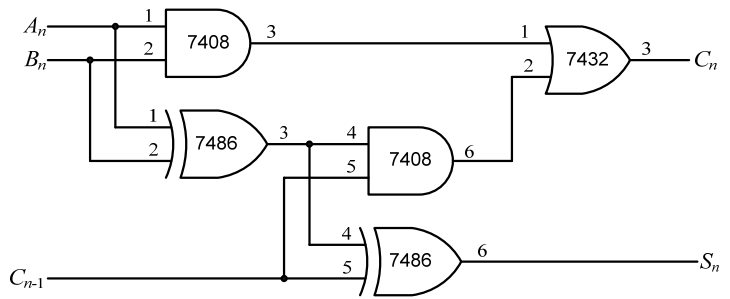
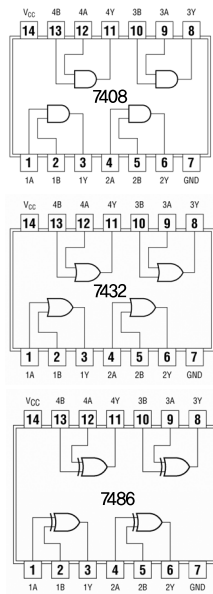


○ 검토

반감산기 회로를 XOR 게이트(7486)와 NAND 게이트(7400)만으로 구성하시오.

실험 052 전가산기

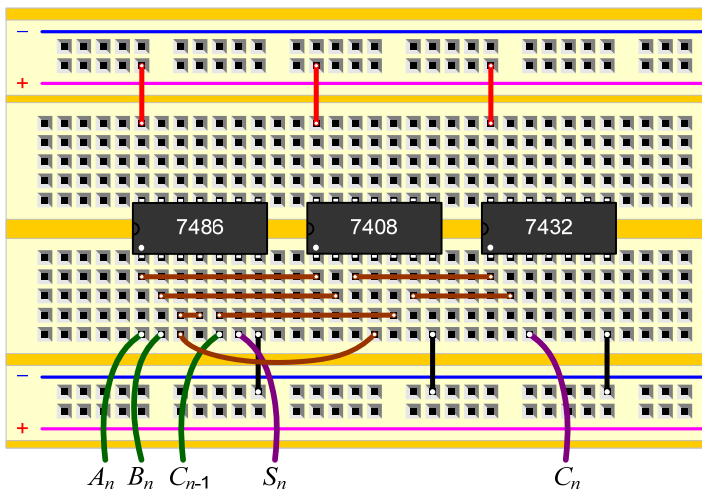
7408, 7432, 7486의 핀 배치도를 참고하여 전가산기 회로를 그림처럼 구성한다. 7408, 7432, 7486의 7번 핀은 접지하고, 14번 핀에는 +5V 전압을 인가한다. 표를 참고하여 입력 A_n , B_n , C_{n-1} 의 신호를 변화시키면서 출력 S_n , C_n 의 상태를 기록해 보자.



A_n	B_n	C_{n-1}	S_n	C_n
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

● 실험 부품과 실험용 보드 배선도

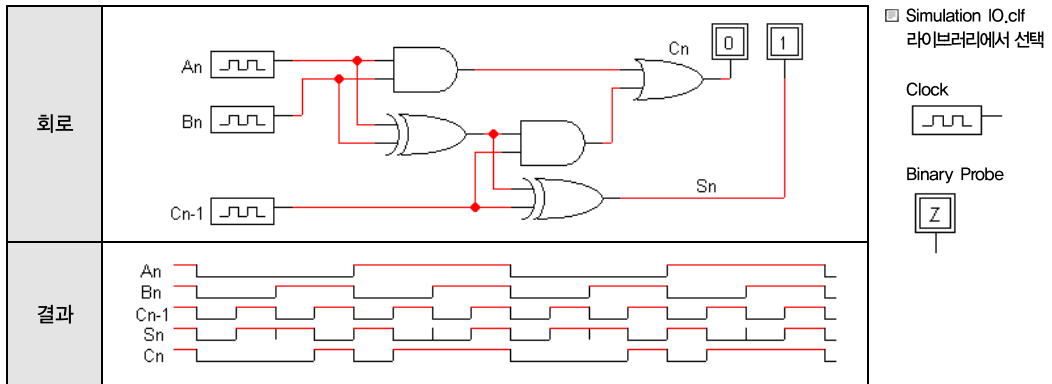
번호	품명	규격	수량	비고
1	TTL	7408	1	DIP 14핀
2	TTL	7432	1	DIP 14핀
3	TTL	7486	1	DIP 14핀



● ● LED
 S_n C_n

A_n B_n C_{n-1}
HI HI HI
LO LO LO SW

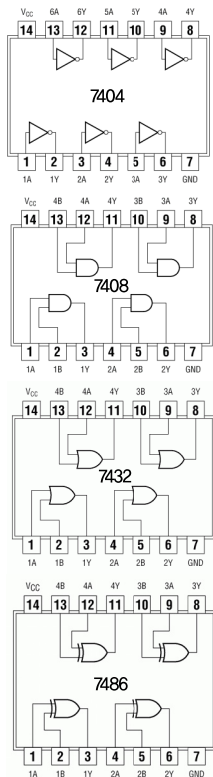
○ 시뮬레이션



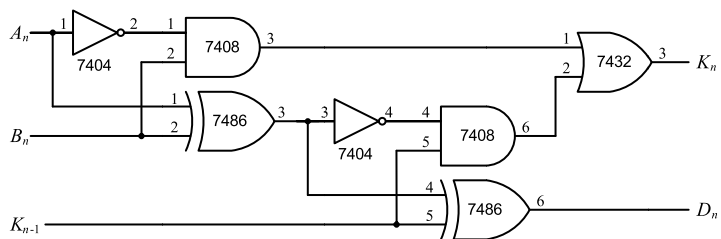
○ 검토

전가산기 회로를 XOR 게이트(7486)와 NAND 게이트(7400)만으로 구성하시오.

● 실험 053 전가산기



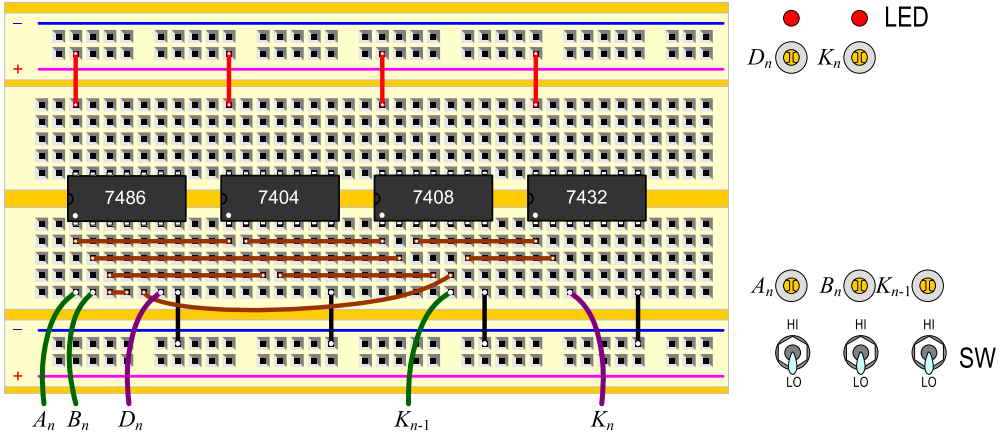
7404, 7408, 7432, 7486의 핀 배치도를 참고하여 전가산기 회로를 그림처럼 구성한다. 7404, 7408, 7432, 7486의 7번 핀은 접지하고, 14번 핀에는 +5V 전압을 인가한다. 표를 참고하여 입력 A_n , B_n , K_{n-1} 의 신호를 변화시키면서 출력 D_n , K_n 의 상태를 기록해 보자.



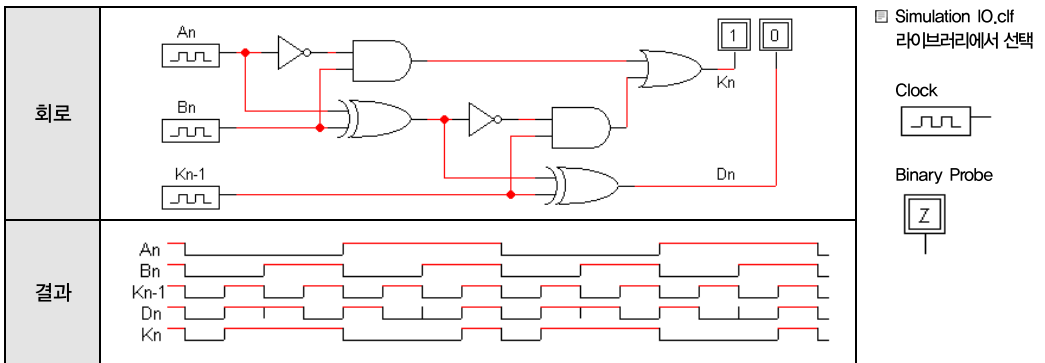
A_n	B_n	K_{n-1}	D_n	K_n
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

○ 실험 부품과 실험용 보드 배선도

번호	품명	규격	수량	비고
1	TTL	7404	1	DIP 14핀
2	TTL	7408	1	DIP 14핀
3	TTL	7432	1	DIP 14핀
4	TTL	7486	1	DIP 14핀



○ 시뮬레이션

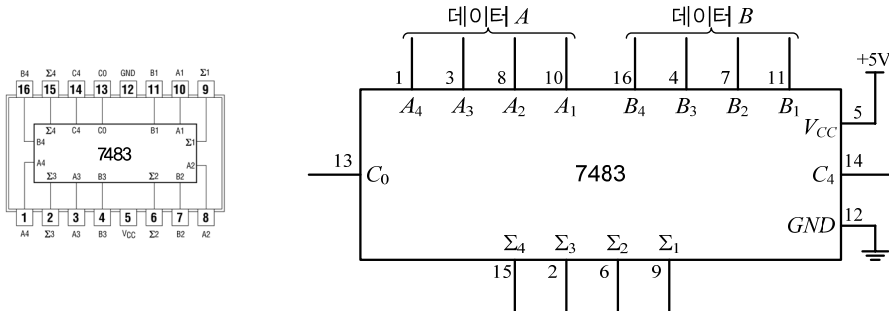


○ 검토

전감산기 회로를 XOR 게이트(7486)와 NAND 게이트(7400)만으로 구성하시오.

● 실험 054 4비트 2진 가산기(7483 사용)

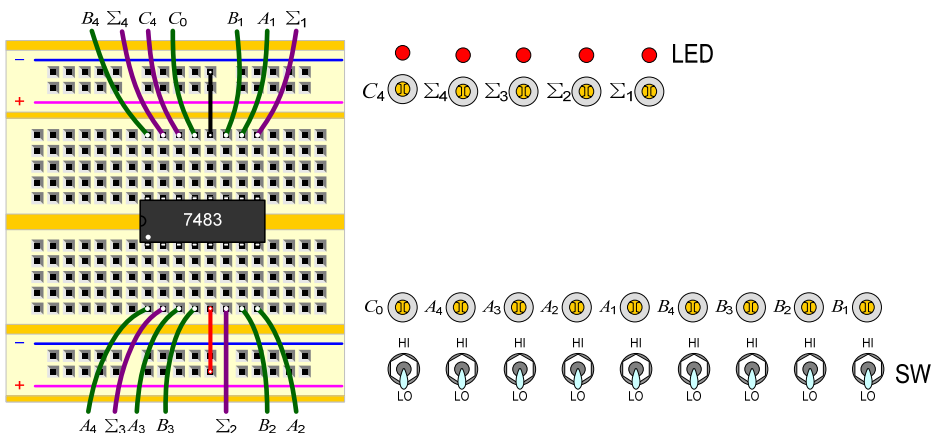
7483의 핀 배치도를 참고하여 4비트 2진 가산기 회로를 그림처럼 구성한다. 7483의 12번 핀은 접지하고, 5번 핀에는 +5V 전압을 인가한다. 표를 참고하여 입력 데이터 $A(A_4 \sim A_1)$, $B(B_4 \sim B_1)$, C_0 의 신호를 변화시키면서 출력 C_4 , $\Sigma(\Sigma_4 \sim \Sigma_1)$ 의 상태를 기록해 보자.



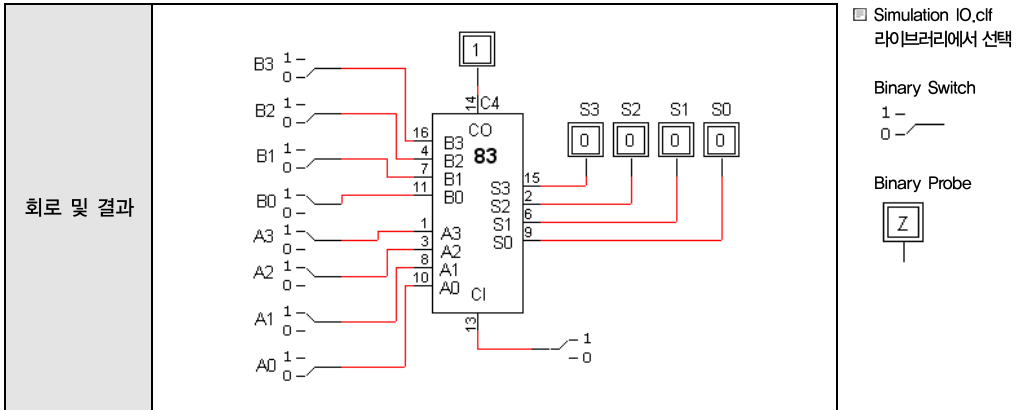
C_0	A_4	A_3	A_2	A_1	B_4	B_3	B_2	B_1	C_4	Σ_4	Σ_3	Σ_2	Σ_1
0	0	0	0	0	0	0	1	1					
0	0	0	1	1	1	0	0	0					
0	1	0	0	0	1	0	1	0					
0	1	0	1	0	1	1	1	1					
0	1	1	1	1	0	0	0	1					
1	0	0	0	1	0	1	0	1					
1	0	1	0	1	0	1	1	1					
1	0	1	1	1	1	0	1	1					
1	1	0	1	1	1	1	1	0					
1	1	1	1	0	0	0	0	1					

○ 실험 부품과 실험용 보드 배선도

번호	품명	규격	수량	비고
1	TTL	7483	1	DIP 16핀



○ 시뮬레이션

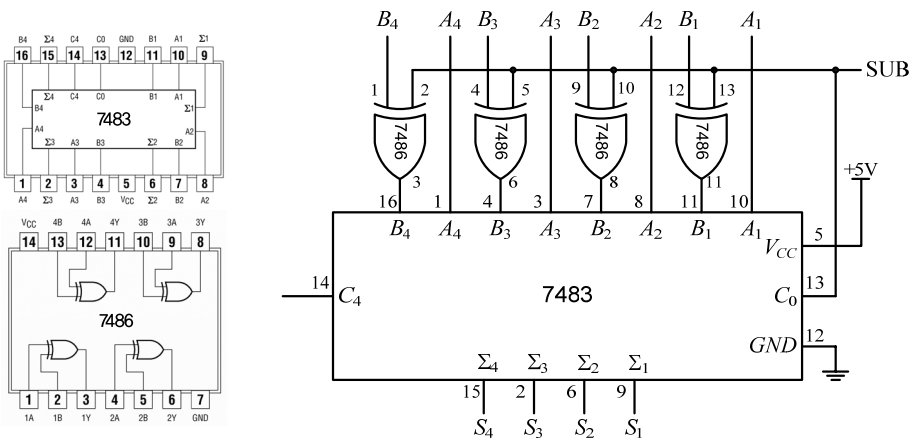


○ 검토

실험 결과가 올바른지 검토하시오.

● 실험 055 2의 보수를 이용한 4비트 2진 가감산기

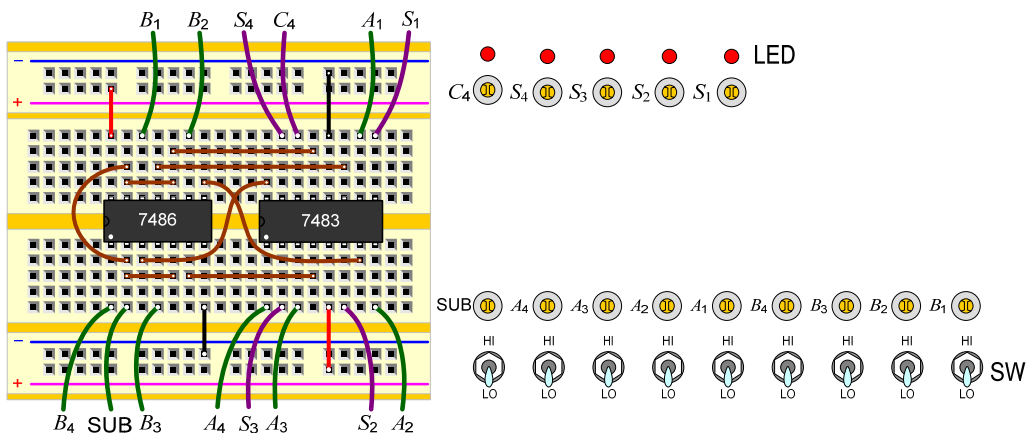
7483, 7486의 핀 배치도를 참고하여 4비트 2진 가감산기 회로를 그림처럼 구성한다. 7483의 12번 핀은 접지하고, 5번 핀에는 +5V 전압을 인가한다. 그리고 7486의 7번 핀은 접지하고, 14번 핀에는 +5V 전압을 인가한다. 표를 참고하여 입력 데이터 SUB, $A(A_4 \sim A_1)$, $B(B_4 \sim B_1)$ 의 신호를 변화시키면서 출력 C_4 , $S(S_4 \sim S_1)$ 의 상태를 기록해 보자.



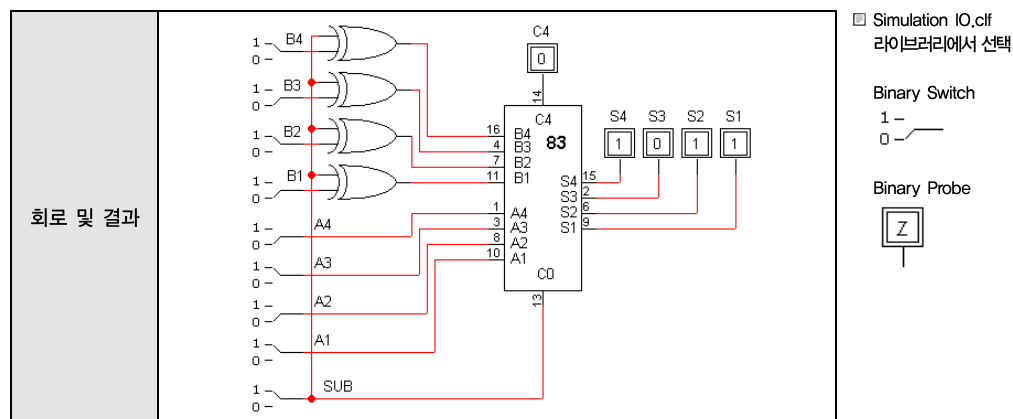
SUB	A ₄	A ₃	A ₂	A ₁	B ₄	B ₃	B ₂	B ₁	C ₄	S ₄	S ₃	S ₂	S ₁
0	1	1	1	1	0	0	0	1					
0	1	1	1	0	0	0	1	0					
0	1	1	0	1	0	1	0	1					
0	1	0	1	1	0	1	1	0					
0	1	0	1	0	0	1	1	1					
1	1	0	1	0	0	1	0	1					
1	1	0	1	1	0	1	1	0					
1	1	1	0	0	0	1	1	1					
1	1	1	1	0	0	1	1	0					
1	1	1	1	1	1	1	1	1					

● 실험 부품과 실험용 보드 배선도

번호	품명	규격	수량	비고
1	TTL	7483	1	DIP 16핀
2	TTL	7486	1	DIP 14핀



● 시뮬레이션

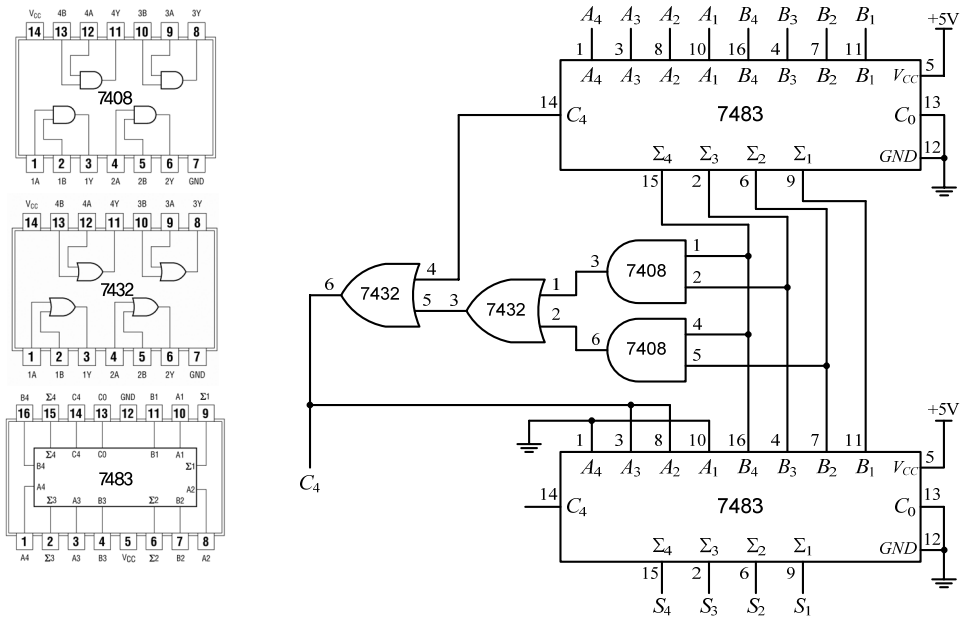


○ 검토

실험 결과를 토대로 SUB=0일 때와 SUB=1일 때, 회로가 어떻게 동작하는지 검토하시오.

● 실험 056 BCD 가산기

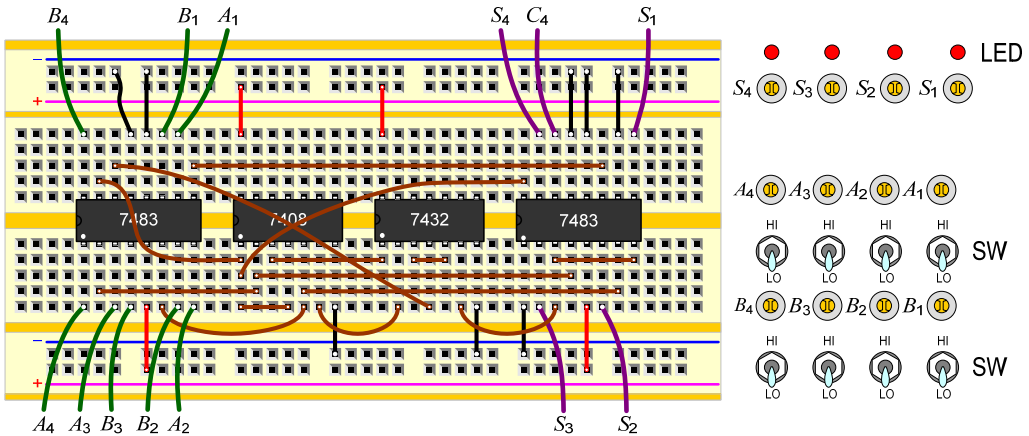
7408, 7432, 7483의 핀 배치도를 참고하여 BCD 가산기 회로를 그림처럼 구성한다. 7483의 12번 핀은 접지하고, 5번 핀에는 +5V 전압을 인가한다. 또, 7408과 7432의 7번 핀은 접지하고, 14번 핀에는 +5V 전압을 인가한다. 표를 참고하여 입력 데이터 $A(A_4 \sim A_1)$, $B(B_4 \sim B_1)$ 의 신호를 변화시키면서 출력 C_4 , $S(S_4 \sim S_1)$ 의 상태를 기록해 보자.



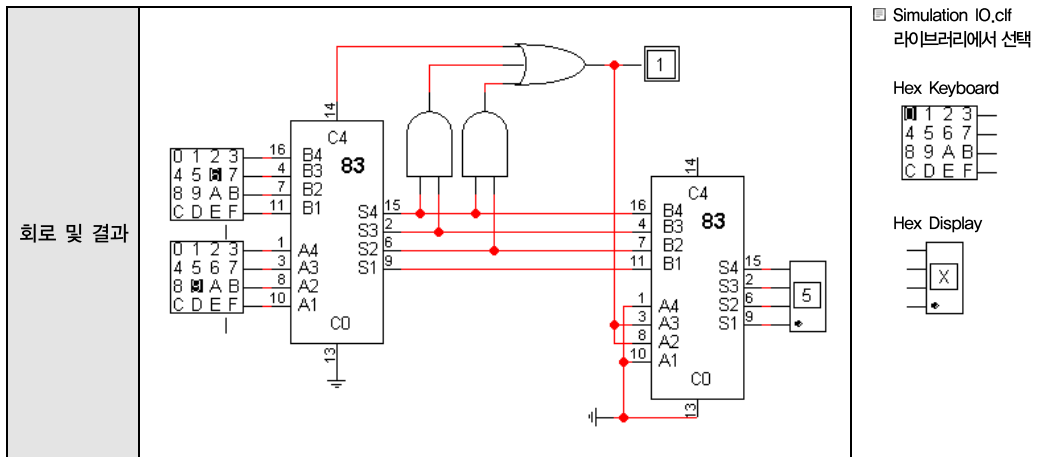
A_4	A_3	A_2	A_1	B_4	B_3	B_2	B_1	C_4	S_4	S_3	S_2	S_1
0	0	1	0	0	1	0	0					
0	1	1	0	0	0	0	1					
1	0	0	0	0	1	1	0					
0	1	1	1	0	0	1	1					
1	0	0	0	0	1	0	0					
1	0	0	1	0	1	1	0					
0	1	1	1	0	1	1	1					

○ 실험 부품과 실험용 보드 배선도

번호	품명	규격	수량	비고
1	TTL	7408	1	DIP 14핀
2	TTL	7432	1	DIP 14핀
3	TTL	7483	2	DIP 16핀



○ 시뮬레이션



○ 검토

실험회로를 이용하여 두 자리 BCD 가산기 회로를 설계하시오.

Term Project

* 학습목표

- 회로도 이해 및 활용 능력을 향상한다.
- 하드웨어 제작 능력을 향상한다.
- 시뮬레이션을 통해 디지털 논리회로의 특성을 이해한다.
- 디지털 논리회로로 구성된 시스템의 설계 능력을 향상한다.

프로젝트 01. BCD-3초과 코드 변환기

프로젝트 02. 8비트 병렬 가감산기

프로젝트 03. 두 자리 BCD 가산기

프로젝트 04. PLD를 이용한 8-세그먼트 디코더

프로젝트 05. 전자 주사위

프로젝트 06. 주차 관리 시스템

프로젝트 07. 교통신호등 제어

프로젝트 08. PLD를 이용한 교통신호등 제어

프로젝트 09. 스톱워치

프로젝트 10. 디지털 시계

프로젝트 11. 조도계

프로젝트 12. 디지털 롤렛



교통신호등 제어

1 프로젝트 소개

도시의 교차로를 통과하는 차량들이 원활하게 소통할 수 있게 설치한 것이 신호등인데, 여기서는 좌회전 신호는 없고 직진 신호만 있는 교차로의 3색(적색, 황색, 녹색) 교통신호등을 설계한다. 신호등의 점등시간은 단안정 멀티바이브레이터로 구현한다.

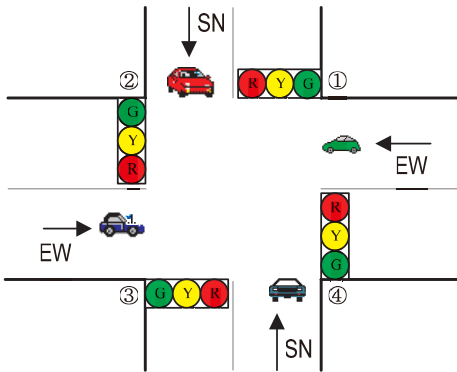
관련 실험

- 실험 001. NOT 게이트
- 실험 003. AND 게이트
- 실험 006. OR 게이트
- 실험 037. XOR 게이트(7486 사용)
- 실험 047. 논리함수 간략화 3
- 실험 086. *D* 플립플롭(7474 사용)을 이용한 *T* 플립플롭
- 실험 113. 타이머 555를 이용한 비안정 멀티바이브레이터
- 실험 114. 74121을 이용한 단안정 멀티바이브레이터

2 회로 설계

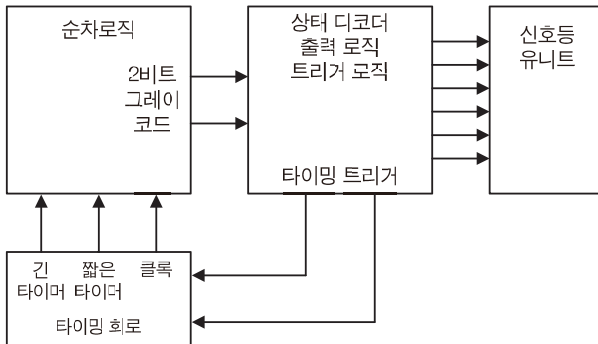
디지털 논리회로의 응용 예인 신호등 제어 시스템으로 [그림 18-52]처럼 좌회전 신호는 없고 직진 신호만 있는 교차로의 교통신호등을 제작한다. 신호등의 점멸시간은 실제와 달리 녹색등(G)은 5초, 황색등(Y)은 1초 동안 켜지는 것으로 가정하여 설계한다. 동서 방향(EW)의 신호등 ②와 ④의 신호 체계는 같고, 남북 방향(SN)의 신호등 ①과 ③의 신호 체계는 같다.

□ 동서 방향(EW, East West)
 남북 방향(SN, South North)
 R : 적색등
 Y : 황색등
 G : 녹색등



[그림 18-52] 교차로 신호등

전체 시스템의 블록도는 [그림 18-53]과 같다. 먼저 타이밍 회로는 녹색등과 황색등이 켜지는 5초와 1초 간격의 시간 구간 및 시스템을 주기적으로 반복해서 동작시키는 클럭 신호를 발생하는 회로이다. 순서논리회로는 타이밍 회로에서 발생하는 신호를 입력으로 하여 네 가지 상태를 발생하는 그레이 코드 카운터이다. 상태 디코더는 네 가지 상태의 순서에 따라 신호등을 점멸시키는 출력 로직과 5초와 1초의 시간을 트리거시키는 신호를 발생하는 트리거 로직으로 구성되어 있다. 신호등 유니트는 출력 로직에 따라 신호등이 점멸되는 회로이다.

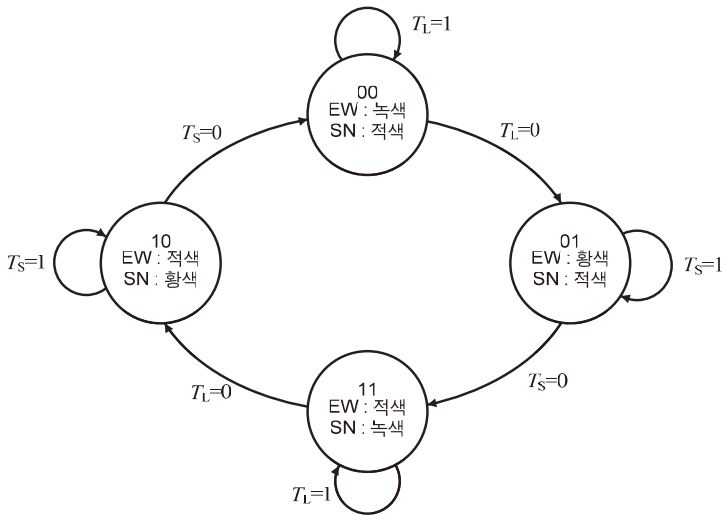


[그림 18-53] 시스템 블록도

순서논리회로

시스템의 상태가 변하는 순서, 각 상태의 조건, 상태 전이의 조건을 그림으로 나타낸 시스템 상태도는 [그림 18-54]와 같다. 여기서 $T_L=1$ 은 5초 타이머가 on됨을 의미하고, $T_L=0$ 은 off되었음을 의미한다. 마찬가지로 $T_S=1$ 은 1초 타이머가 on됨을 의미하고, $T_S=0$ 은 off되었음을 의미한다. 상태도의 원 안에 보이는 2비트는 네 가지 상태를 각각 그레이 코드로 표시한 것이다.

첫 번째 상태 00은 동서 방향(EW)은 녹색등, 남북 방향(SN)은 적색등이 켜져 있는 상태이다. 이 상태는 5초 타이머(T_L)가 off될 때까지 지속된다. 5초 타이머가 off되면 다음 상태로 전이한다. 두 번째 상태 01은 동서 방향은 주의를 의미하는 황색등, 남북 방향은 적색등이 켜져 있는 상태이다. 1초 타이머(T_S)가 off될 때까지 1초간 이 상태가 지속된 후 다음 상태로 넘어간다. 세 번째 상태 11은 동서 방향은 적색등, 남북 방향은 녹색등이 켜져 있는 상태이다. 이 상태는 5초 타이머가 off될 때까지 지속된다. 5초 타이머가 off되면 다음 상태로 전이한다. 네 번째 상태 10은 동서 방향은 적색등, 남북 방향은 황색등이 켜져 있는 상태이다. 1초 타이머가 off될 때까지 1초간 이 상태가 지속된 후 첫 번째 상태로 전이하여 동일한 과정을 반복한다.

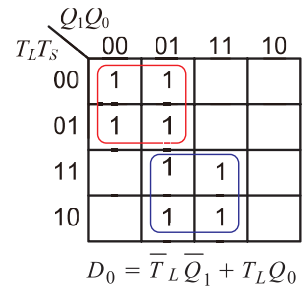
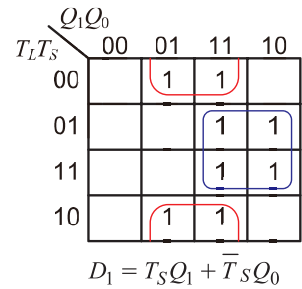


[그림 18-54] 교통신호등 제어 시스템 상태도

시스템 상태도를 이용하여 상태 전이표를 작성하면 [그림 18-55]의 (a)와 같다. 여기서 플립플롭은 D 플립플롭 2개를 사용했으며, 출력은 Q_1 , Q_0 로 표시했다. 카르노 맵을 이용하여 D_1 과 D_0 을 간략화하면 (b)와 같다.

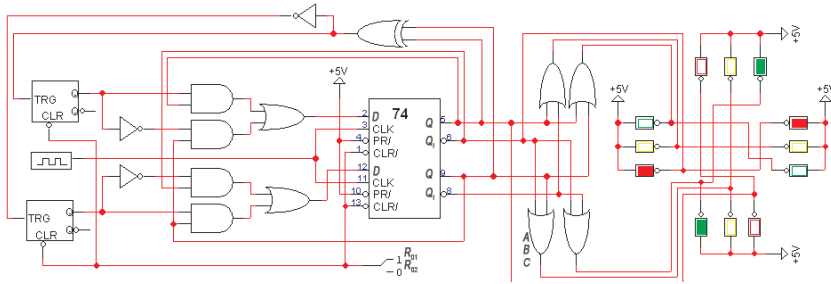
입력		현재 상태		차기 상태		플립플롭 입력	
T_L	T_S	Q_1	Q_0	Q_1	Q_0	D_1	D_0
0	0	0	0	0	1	0	1
0	0	0	1	1	1	1	1
0	0	1	0	0	0	0	0
0	0	1	1	1	0	1	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	0	1
0	1	1	0	1	0	1	0
0	1	1	1	1	0	1	0
1	0	0	0	0	0	0	0
1	0	0	1	1	1	1	1
1	0	1	0	0	0	0	0
1	0	1	1	1	1	1	1
1	1	0	0	0	0	0	0
1	1	0	1	0	1	0	1
1	1	1	0	1	0	1	0
1	1	1	1	1	1	1	1

(a) 상태 전이표



(b) 카르노 맵 간략화 및 논리식

[그림 18-55] 교통신호등 제어 시스템의 상태 전이표, 카르노 맵 간략화 및 논리식

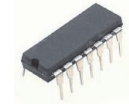


[그림 18-58] 로직웍스로 동작시킨 교통신호등 회로도

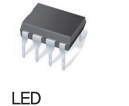
4. 소요 부품

번호	품명	수량	비고
1	TTL, 7404	1EA	14핀, IC3
2	TTL, 7408	1EA	14핀, IC4
3	TTL, 7432	2EA	14핀, IC5, IC7
4	TTL, 7474	1EA	14핀, IC6
5	TTL, 7486	1EA	14핀, IC8
6	TTL, 74121	2EA	14핀, IC1, IC2
7	타이머 555	1EA	8핀, IC9
8	LED, 5φ	4EA	빨간색
9	LED, 5φ	4EA	노란색
10	LED, 5φ	4EA	녹색
11	IC 소켓, 8핀	1EA	DIP
12	IC 소켓, 14핀	8EA	DIP
13	IC 핀 어레이	70핀	래핑
14	토글 스위치, AT1D-2M3	1EA	전원 입력용
15	커패시터, 0.01μF	2EA	세라믹, 103
16	커패시터, 0.1μF	1EA	세라믹, 104
17	커패시터, 100μF	1EA	전해, 16V
18	커패시터, 220μF	1EA	전해, 16V
19	저항, 330Ω	4EA	1/4W
20	저항, 1KΩ	1EA	1/4W
21	저항, 3KΩ	1EA	1/4W
22	저항, 15KΩ	1EA	1/4W
23	저항, 33KΩ	1EA	1/4W
24	만능기판, 40×55 hole	1EA	115×160mm, 에폭시
25	PCB 서포트, M-20mm	4EA	Plastic 20mm Male
26	PCB 서포트, F-3mm	4EA	금속, 3mm, Female
27	DC 파워 잭, DC-002	1EA	1.3φ, B타입
28	정전압 어댑터, +5V, 500mA	1EA	B타입
29	래핑선		0.25mm
30	땀납		무연, 1.0mm

TTL 14핀(7404, 7408, 7432, 7474, 7486, 74121)



8 핀 IC(555)



LED



IC 소켓(8핀)



IC 소켓(14핀)



IC 핀 어레이



토글 스위치

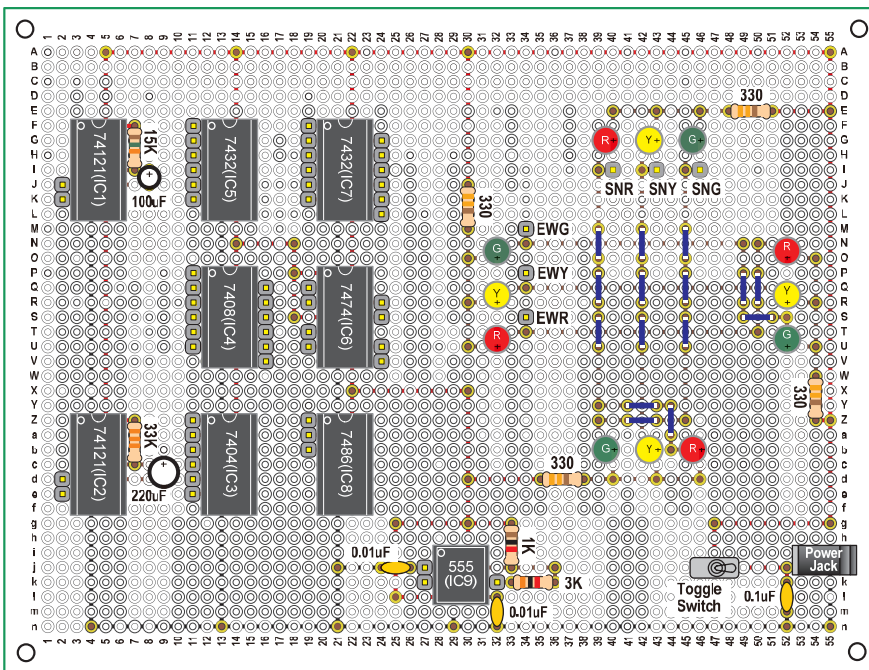


커패시터(0.01μF)



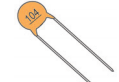
103 → $10 \times 10^3 \text{ pF}$
= $0.01 \times 10^{-6} \text{ F}$ = 0.01μF

5 부품 배치도, 부품 배선도, 완성사진



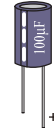
[그림 18-59] 교통신호등 부품 배치도

커패시터(0.1μF)

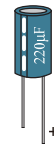


$$104 \rightarrow 10 \times 10^4 \text{ pF} = 0.1 \times 10^{-6} \text{ F} = 0.1 \mu\text{F}$$

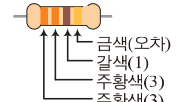
커패시터(100μF)



커패시터(220μF)



저항(330Ω)



$$331 \rightarrow 33 \times 10^1 = 330\Omega$$

저항(1KΩ)



$$102 \rightarrow 10 \times 10^2 = 1\text{K}\Omega$$

저항(3KΩ)



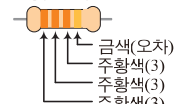
$$302 \rightarrow 30 \times 10^2 = 3\text{K}\Omega$$

저항(15KΩ)

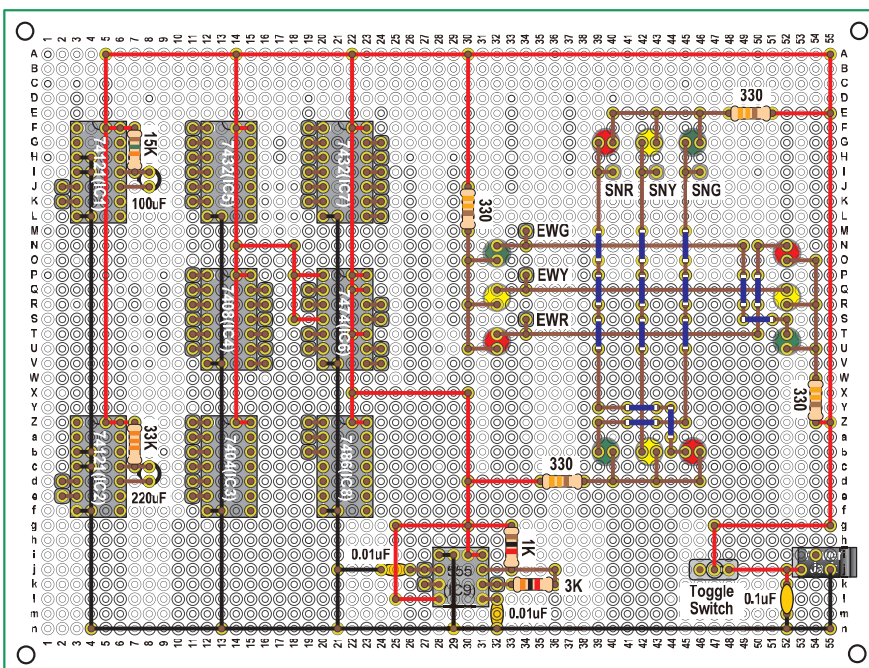


$$153 \rightarrow 15 \times 10^3 = 15\text{K}\Omega$$

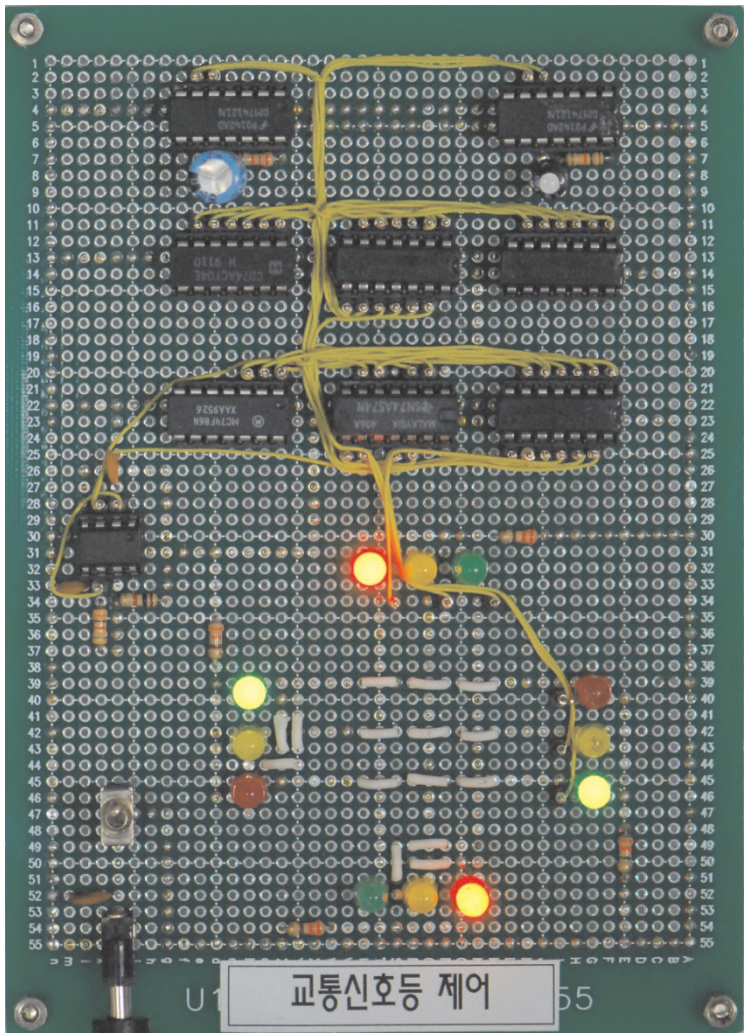
저항(33KΩ)



$$333 \rightarrow 33 \times 10^3 = 33\text{K}\Omega$$



[그림 18-60] 교통신호등 부품 배선도



PCB 서포트



DC 파워 잭



정전압 어댑터



전원 장치 출력 전압의 극성



[그림 18-61] 교통신호등 완성사진