

Part 2

순차 논리회로 실험

2부 순차 논리회로 실험에서는 순차 논리회로의 동작을 이해하고, 순차 논리회로에 사용되는 플립플롭을 설계한다. 그리고 플립플롭을 이용하여 다양한 순차 논리회로를 설계하고 동작을 실험한다. 또한 입력, 출력, 상태 등의 관리를 정리하여 순차 논리회로를 해석하고, 출력 함수를 구하거나 논리회로를 그리는 과정을 실험한다. 이어서 비동기식 카운터와 동기식 카운터, 레지스터와 메모리 동작을 학습하고, 디지털 공학 응용 부분에서는 아날로그와 디지털의 관계를 이해한 뒤, 두 신호를 변환하는 논리회로를 실험한다. 마지막으로 카운터 응용에서는 앞서 설계한 비동기식/동기식 카운터를 응용하여 ON 타이머와 OFF 타이머를 설계하여 동작을 실험한다.

• 실험 학습 로드맵

실험 목표

▶
실험 이론

▶
실험 내용

>> 2부에서 다루는 실험

실험 08 | 플립플롭 • 205

실험 09 | 순차 논리회로의 해석 및 설계 • 229

실험 10 | 비동기식 카운터 • 248

실험 11 | 동기식 카운터 • 268

실험 12 | 레지스터와 메모리 • 288

실험 13 | 디지털 공학 실험 응용 • 308

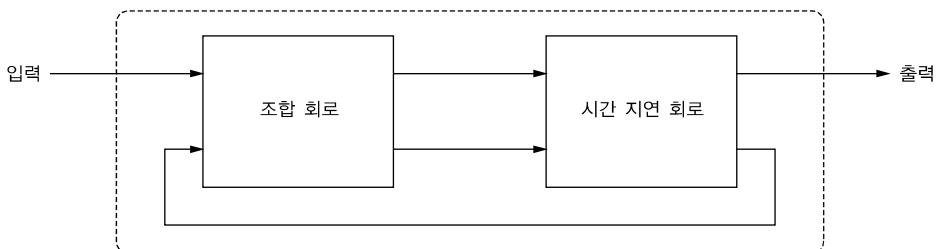
실험 14 | 카운터 응용 • 326

실험 15 | 기말고사 프로젝트 • 338

08 플립플롭

8.1 래치 회로

앞서 조합 논리회로에서는 출력 신호가 입력 신호에 좌우되어 동작했다. 즉 입력 신호가 바뀌는 시점에 출력 신호도 바뀌어 동작했다. 그러나 대부분의 디지털 시스템은 조합 논리회로와 조합 논리회로에 메모리 기능이 있는 시간 지연 회로가 첨가된 순차 논리회로로 구성되어 있다.

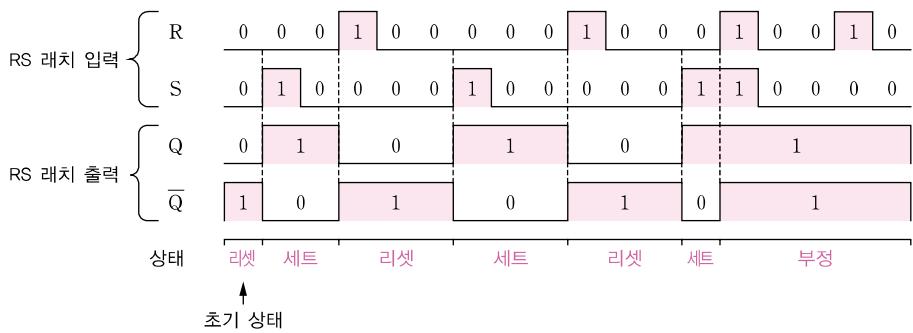


[그림 8-1] 순차 논리회로의 블록도

순차 논리회로 내의 시간 지연 회로는 래치 회로를 기본으로 구성된다. 래치 회로는 제어 신호에 따라 현재의 입력 신호를 저장하거나 이전의 입력 신호를 보관하여 유지하는 동작을 한다. 1개의 래치는 0과 1 상태에 대응하는 2개의 안정 상태^{stable state}를 갖는데, 이렇게 2개의 안정 상태를 갖는 회로를 쌍안정 회로^{bistable circuit}라고 한다. 스위치로 말하자면 토글 스위치의 기능과 같다. 쌍안정 회로는 최초의 상태가 1이라고 가정했을 때, 반대 상태의 입력이 인가되지 않는 한 1의 상태를 계속해서 유지하고, 반대 상태의 입력이 인가되면 0의 상태가 된다.

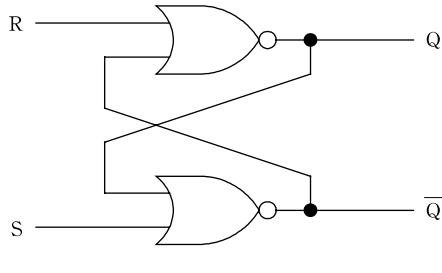
8.1.1 실험 목표

NAND 게이트형 RS 래치 회로를 구성하여 동작을 실험하고 결과 파형을 도출한다.



8.1.2 실험 이론

[그림 8-2]는 NOR 게이트를 이용하여 설계한 NOR 게이트형 RS 래치 회로와 그 진리표다.



(a) RS 래치 회로

입력 신호		동작 상태	
R	S	Q	설명
0	0	불변	불변 : 전 상태 그대로
0	1	세트(1)	세트 : 무조건 세트
1	0	리셋(0)	리셋 : 무조건 리셋
1	1	부정	부정 : 불안정 상태

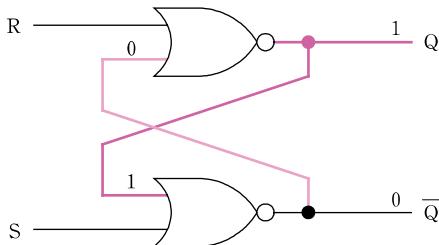
(b) 진리표

[그림 8-2] NOR 게이트형 RS 래치 회로와 그 진리표

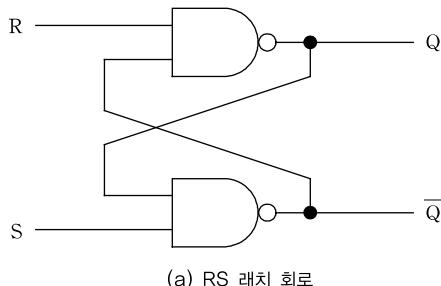
+ 래치(latch)

래치 회로는 2개의 안정 상태 중 하나의 상태를 기억하고 유지하는 회로다. 2개의 안정 상태는 0 상태와 1 상태가 있는데, 안정 상태에서 $Q=1$ 이면 $\bar{Q}=0$, $Q=0$ 이면 $\bar{Q}=1$ 이다. 그 외의 상태는 안정 상태라고 볼 수 없다.

래치 회로의 해석은 먼저 Q 의 상태를 2개 상태(0 또는 1) 중 하나를 임의로 설정한다. 설정 후 \bar{Q} 는 Q 의 반대 상태가 되고, Q 와 \bar{Q} 신호는 입력 신호로 피드백^{feedback}되어 사용된다. 다음 입력 신호에 0 또는 1 신호를 인가하면 Q 와 \bar{Q} 신호가 변하는데, 만약 $Q=\bar{Q}$ 인 상태가 발생하면 오동작을 한다. 이를 부정(不定)이라 한다.



[그림 8-3]은 NAND 게이트를 이용하여 설계한 NAND 게이트형 RS 래치 회로와 그 진리표다. 진리표를 살펴보면 이 래치 회로는 NOR 게이트형 RS 래치와 반대 동작을 한다는 것을 알 수 있다.



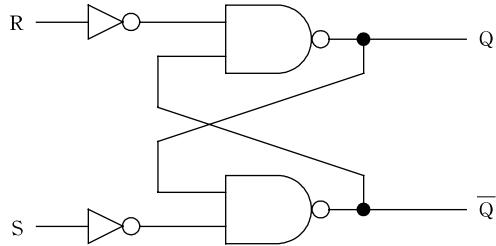
(a) RS 래치 회로

입력 신호		동작 상태
R	S	Q
0	0	부정
0	1	리셋(0)
1	0	세트(1)
1	1	부정

(b) 진리표

[그림 8-3] NAND 게이트형 RS 래치 회로와 그 진리표

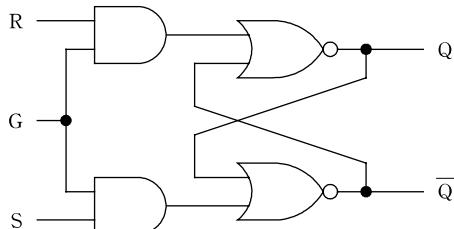
만약 NOR 게이트형 RS 래치와 동일하게 동작하게 하려면 [그림 8-4]처럼 입력에 인버터(NOT 게이트)를 넣어야 한다. RS 래치의 진리표는 $R=0, S=0$ 에서 Q 가 불변으로 동작하는 NOR 게이트형 진리표가 기준이다. 따라서 만약 NAND 게이트를 이용해 RS 래치를 설계할 경우에는 반드시 NOR 게이트형 진리표에 적합하도록 설계해야 한다.



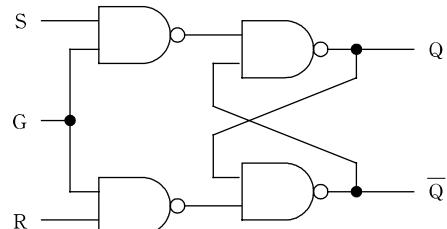
[그림 8-4] NOR 게이트형 RS 래치와 동일한 NAND 게이트형 RS 래치

RS 래치 회로는 입력 변화가 출력에 모두 나타나는 트랜스페어런트 ^{transparent} 현상이 발생하며, 이는 일종의 노이즈로 동작한다. 이런 단점을 개선한 회로가 게이트 신호를 이용한 래치다. 게이트 신호를 이용하면 원하는 시간에만 RS 신호를 입력으로 사용하므로, 노이즈를 방지할 수 있다. 즉, 게이트 신호가 1이면 RS 입력이 래치 입력으로 사용되고, 게이트 신호가 0이면 RS 입력에 관계없이 출력을 그대로 유지하므로 노이즈에 의한 오동작이 어느 정도 개선된다.

[그림 8-5]는 게이트 신호를 이용한 RS 래치 회로와 그 진리표다.



(a) NOR 게이트형



(b) NAND 게이트형

입력 신호			동작 상태	
G	R	S	Q	설명
0	X	X	불변	불변 : 전 상태 그대로 변화 없음
1	0	0	불변	불변 : 전 상태 그대로 변화 없음
1	0	1	세트(1)	세트 : 무조건 세트
1	1	0	리셋(0)	리셋 : 무조건 리셋
1	1	1	부정	부정 : 불안정 상태

(c) 진리표

[그림 8-5] 게이트 신호를 이용한 RS 래치 회로와 그 진리표

■ [Tip]

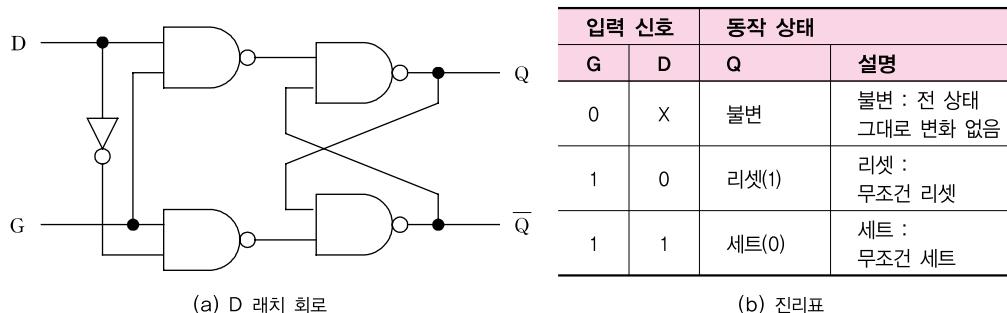
RS 래치 회로의 부정 상태

[그림 8-5]의 (a),(b) 회로에서 입력 신호 G, S, R이 모두 1인 조건은 부정이다. 부정의 조건에서, (a)일 경우 Q와 \bar{Q} 는 모두 0을, (b)일 경우 Q와 \bar{Q} 는 모두 1을 출력한다. 이 상태에서 G 신호가 0으로 돌아오면 Q와 \bar{Q} 의 신호가 동시에 입력으로 인가되면서 Q와 \bar{Q} 의 상태는 0과 1을 무한 반복한다. 따라서 정상적인 상태에서 두 입력이 동시에 1이 되지 않도록 주의해야 무한 반복 상태를 피할 수 있다.

또한 이후에 G 신호가 1이 되어 R과 S에 인가되는 조건이 세트 또는 리셋 조건이 되면, 래치는 다시 안정 상태가 된다. 이런 부정의 조건 때문에 RS 래치 회로는 잘 사용하지 않는다. 하지만 RS 래치 회로를 기본으로 다른 래치와 플립플롭이 만들어지므로 잘 알아두어야 한다.

D 래치는 RS 래치의 부정이나 불변의 상태를 없애고, 안정 상태만 나타나도록 만든 회로다.

[그림 8-6]은 게이트 신호를 이용한 D 래치 회로와 그 진리표다.



[그림 8-6] 게이트 신호를 이용한 D 래치 회로와 그 진리표

D 래치의 알파벳 'D'는 데이터를 저장하여 지연^{delay}되기 때문에 붙여진 이름이다. 게이트 신호가 1일 때 D의 입력이 출력 Q로 전달되는 특징은 2진 데이터를 저장하는 데 매우 적합하다. 게이트 신호 G가 1인 동안에는 D의 입력이 계속해서 출력 Q에 전달되고, 게이트 신호 G가 0이면 Q 출력은 마지막으로 입력된 D 입력을 계속해서 유지한다.

■ [Tip]

래치와 플립플롭의 차이점

래치와 플립플롭은 크게 다르지 않다. 래치는 넓은 의미에서 플립플롭에 속하는데, 래치와 플립플롭은 2개의 안정 상태를 가지는 쌍안정 회로라는 공통된 기능이 있다. 반면, 래치는 게이트 또는 인에이블이 1인 상태에서 상태를 바꿀 수 있고, 플립플롭은 클록 신호에 의해 트리거되어 상태가 스위칭된다는 점에서 차이가 난다.

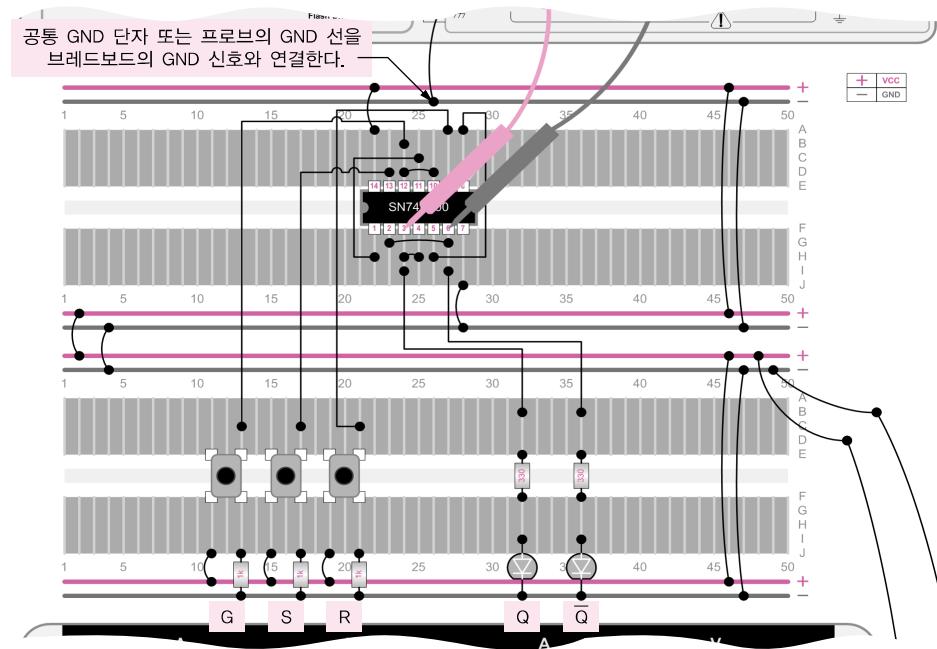
8.1.3 실험 내용

■ 실험 부품

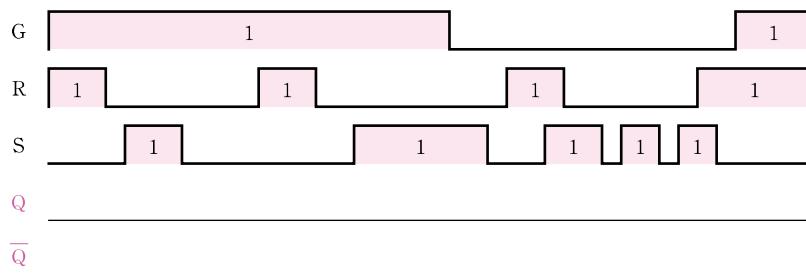
구분	부품 번호	수량	비고
LED	BL-B5134(333HD)	3	
저항	CFR 1/4W 5% 330Ω	2	
저항	CFR 1/4W 5% 1kΩ	2	
IC	SN74LS00	1	
스위치	TS-1105-7MM	3	2-NAND SPST SW

■ 실험 절차

[그림 8-5(b)]의 게이트 신호로 제어되는 NAND 게이트형 RS 래치 회로를 [그림 8-7]과 같이 브레드보드에 연결하고, [그림 8-8]에 동작 타이밍도를 완성하라.



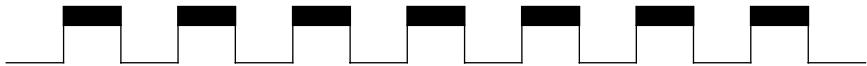
[그림 8-7] NAND 게이트형 RS 래치 회로 실험의 브레드보드 연결



[그림 8-8] NAND 게이트형 RS 래치 회로의 동작 타이밍도

8.2 플립플롭의 개요

제어 신호 G가 1인 동안 D 래치의 출력은 입력이 변하면 같이 따라 변하면서 입력과 동일한 값을 출력한다.



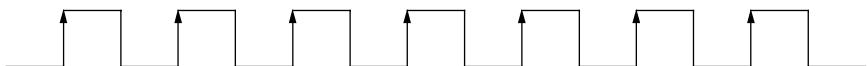
[그림 8-9] 래치의 출력이 변하는 구간(제어 신호가 1인 구간)

래치의 이러한 특성은 **귀환 feedback** 경로를 갖는 순차 회로에서 래치가 저장 요소로 사용될 때 심각한 문제를 일으키고 신뢰할 수 없는 동작을 만든다. 즉 제어 신호가 1인 상태에서 계속해서 입력의 변화에 출력이 따라가는 특성 때문에, 귀환 경로를 따라 다시 래치의 입력으로 들어가는 신호를 예측할 수 없게 된다. 이런 이유로 신뢰할 수 있는 순차 회로를 설계하기란 상당히 어렵다.

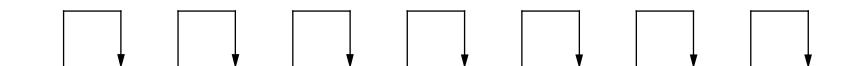
순차 논리회로가 잘 동작하기 위해서는 이런 현상이 없는 플립플롭을 설계해야 하는데, 전이 transition하는 순간에만 플립플롭을 트리거하는 방법을 사용하면 해결할 수 있다. [그림 8-10]은 음에서 양으로 전이하는 트리거 신호(상승 에지 신호)를, [그림 8-11]은 양에서 음으로 전이하는 트리거 신호(하강 에지 신호)를 나타낸다. 제어 신호에서 에지 신호는 펄스 신호의 상승 또는 하강하는 모서리에 화살표로 표시한다.

■ Tip ■

- **트리거 trigger** : 제어 신호의 순간적인 변화를 일컫는 말로, 그 신호로 인해 플립플롭의 상태가 전이되는 것을 '트리거한다.'라고 한다.
- **귀환 경로** : 논리회로의 출력이 논리회로의 입력으로 다시 들어가는 피드백을 말한다.



[그림 8-10] 음에서 양으로 전이하는 트리거 신호(상승 에지 신호)



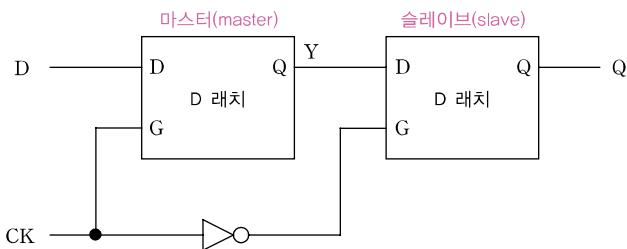
[그림 8-11] 양에서 음으로 전이하는 트리거 신호(하강 에지 신호)

에지에서 트리거하는 플립플롭을 설계하는 방법은 크게 두 가지가 있다. 하나는 래치 2개를 사용하여 마스터-슬레이브형 플립플롭을 설계하는 것이고, 다른 하나는 3개의 RS 래치로

상승 에지에서 트리거하는 플립플롭을 설계하는 방법이다. 여기서는 주로 사용하는 마스터 슬레이브형 플립플롭만 설명할 것이다.

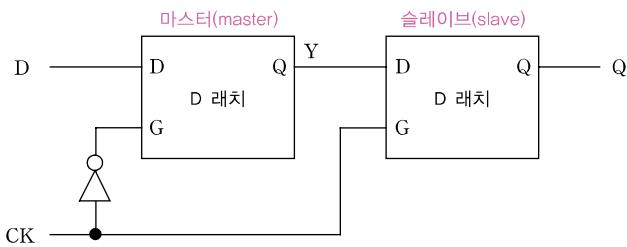
[그림 8-12]는 하강 에지에서 동작하는 마스터-슬레이브형 D 플립플롭의 블록도다. 이 플립플롭은 제어 클록 신호 CK가 1에서 0으로 하강할 때 Q의 상태가 입력 D와 같이 변한다. CK가 0일 때 인터버의 출력은 1이 되므로 슬레이브 래치가 동작하고, 출력 Q는 Y 신호와 동일해진다. 이때 마스터 래치는 정지하고, CK가 1로 바뀌어 1인 펄스 구간 동안 외부 입력 D의 데이터는 마스터 래치의 출력 Y로 전달된다.

인버터를 통과한 신호는 0을 전달하므로 슬레이브 래치는 정지하여, 마스터 래치의 출력 Y는 슬레이브 래치의 출력 Q에 아무런 영향을 미치지 못한다. 다시 제어 클록 신호 CK가 0으로 바뀌면 마스터 래치는 정지하고, 외부 입력 D는 차단된다. 동시에 슬레이브 래치가 동작하므로 마스터 래치의 출력 Y는 슬레이브 래치의 출력 Q에 전달된다. 이를 통해 제어 클록 신호 CK가 1에서 0으로 바뀔 때 외부 입력 D가 마스터 래치를 거쳐 슬레이브 래치의 출력으로 나타난다.



[그림 8-12] 하강 에지에서 동작하는 마스터-슬레이브형 D 플립플롭

[그림 8-13]은 상승 에지에서 동작하는 마스터-슬레이브형 D 플립플롭이다. 상승 에지에서 동작하는 마스터-슬레이브형 플립플롭은 CK 신호와 연결된 인버터의 출력을 마스터 래치의 제어 신호로 연결함으로써 설계할 수 있다.



[그림 8-13] 상승 에지에서 동작하는 마스터-슬레이브형 D 플립플롭

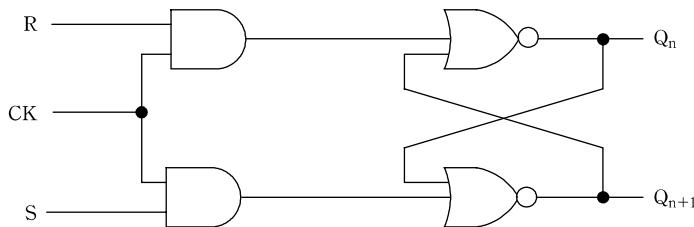
디지털 시스템에서 사용되는 플립플롭은 RS 플립플롭, D 플립플롭, JK 플립플롭, T 플립플롭 등 총 네 가지 종류가 있다. 모든 플립플롭은 RS 플립플롭으로부터 파생되어 만들어지는

것으로, 각 플립플롭마다 고유의 특징을 가지고 있다. 디지털 시스템에서는 래치를, 순차 논리회로나 카운터 회로 등에서는 플립플롭을 사용하는 것이 정석이다.

각 플립플롭의 특징

■ RS 플립플롭

- 모든 플립플롭의 근본이 되는 플립플롭
- 2개의 입력이 모두 1인 조건을 부정하는 플립플롭
- 논리 게이트를 가장 적게 사용하는 플립플롭



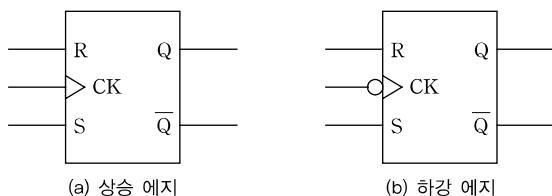
[그림 8-14] RS 플립플롭의 논리회로

[표 8-1] RS 플립플롭의 진리표

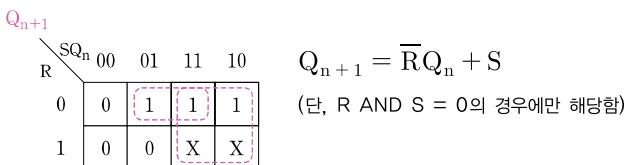
R	S	Q_{n+1}
0	0	Q_n 불변
0	1	세트(1)
1	0	리셋(0)
1	1	부정

[표 8-2] RS 플립플롭의 여기표

Q_n	Q_{n+1}	R	S
0	0	X	0
0	1	0	1
1	0	1	0
1	1	0	X



[그림 8-15] RS 플립플롭의 그래픽 기호



[그림 8-16] RS 플립플롭의 특성식

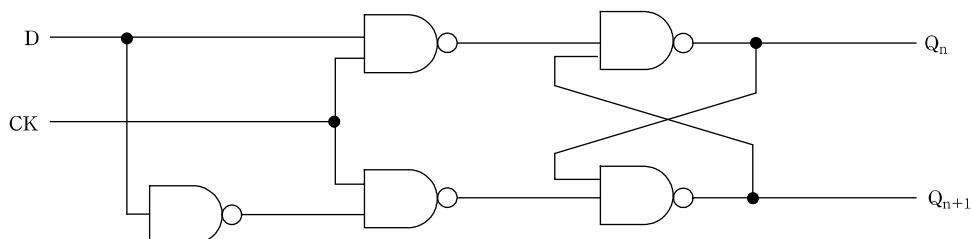
■ Tip]

플립플롭의 그래픽 기호

플립플롭은 입력 신호, 제어 신호, 출력 신호로 구성된다. 이때 제어 신호는 클록 신호로 C 또는 CK 문자 앞에 화살표 기호로 나타낸다. 화살표는 동적 지시자라고 부르는데, 이것은 해당하는 플립플롭이 상승 에지 전이에서만 응답하는 것을 나타낸다. 동적 지시자 앞의 작은 원은 그 반대의 상태에서 동작하는 것을 의미한다.

■ D 플립플롭

- 1비트 데이터를 저장하기에 가장 적합한 형태의 플립플롭
- 입력이 출력이 되는 플립플롭



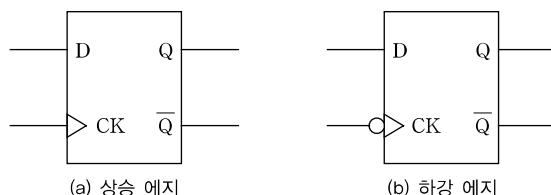
[그림 8-17] D 플립플롭의 논리회로

[표 8-4] D 플립플롭의 여기표

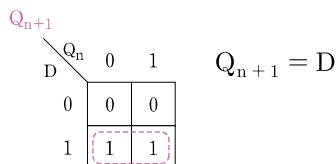
[표 8-3] D 플립플롭의 진리표

D	Q_{n+1}
0	0
1	1

Q_n	Q_{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1



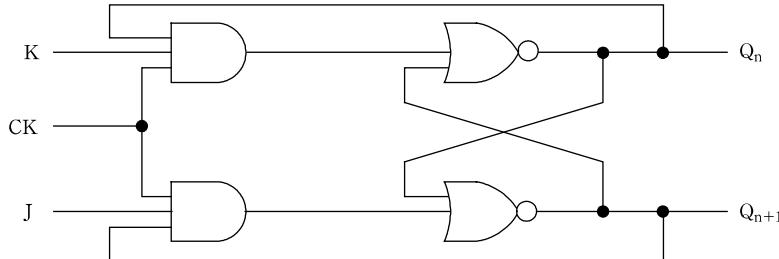
[그림 8-18] D 플립플롭의 그래픽 기호



[그림 8-19] D 플립플롭의 특성식

■ JK 플립플롭

- RS 플립플롭의 부정 조건을 반전 조건으로 변형하여 설계한 플립플롭
- 범용으로 가장 많이 사용하는 플립플롭



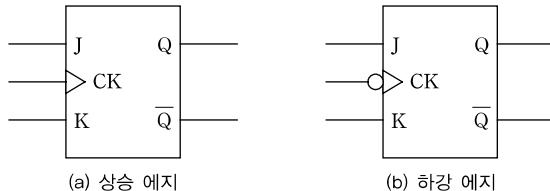
[그림 8-20] JK 플립플롭의 논리회로

[표 8-5] JK 플립플롭의 진리표

J	K	Q_{n+1}
0	0	Q_n 불변
0	1	리셋(1)
1	0	세트(0)
1	1	부정

[표 8-6] JK 플립플롭의 여기표

Q_n	Q_{n+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0



[그림 8-21] JK 플립플롭의 그래픽 기호

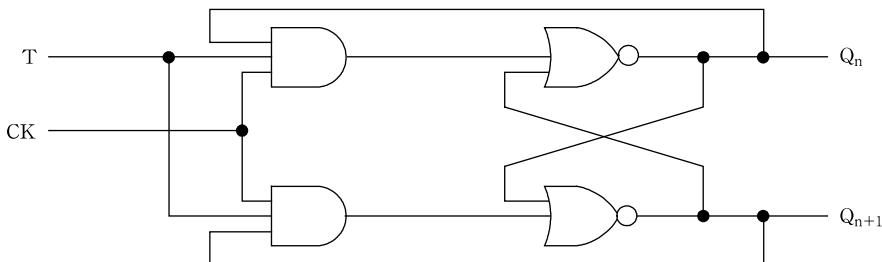
		Q_{n+1}					
		JKQ _n 00		01		11	10
		0	0	1	0	0	
		1	1	1	0	1	

$$Q_{n+1} = \overline{K}Q_n + J\overline{Q}_n$$

[그림 8-22] JK 플립플롭의 특성식

■ T 플립플롭

- JK 플립플롭으로부터 파생되어 만든 플립플롭
- 반전^{toggle} 기능을 이용한 단순 카운터 또는 주파수를 짧게 분주하는 분주 회로에 주로 이용되는 플립플롭



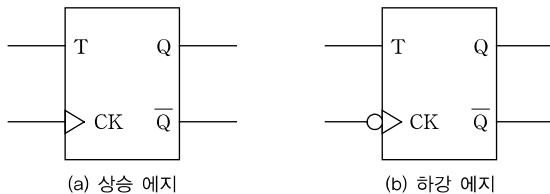
[그림 8-23] T 플립플롭의 논리회로

[표 8-8] T 플립플롭의 여리표

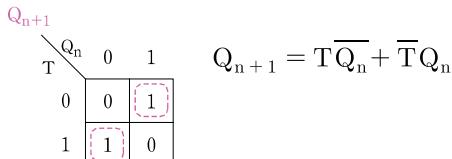
Q_n	Q_{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

[표 8-7] T 플립플롭의 진리표

T	Q_{n+1}
0	Q_n 상태불변
1	Q_n 상태반전



[그림 8-24] T 플립플롭의 그래픽 기호



[그림 8-25] T 플립플롭의 특성식

JK 플립플롭 설계 과정

RS 플립플롭을 이용하여 JK 플립플롭을 설계하는 과정을 살펴보자. JK 플립플롭을 설계하려면 먼저 RS 플립플롭의 여기표를 작성해야 한다. 이러한 설계 과정을 통해 어떤 플립플롭도 다른 플립플롭으로 변환할 수 있으며, 이는 순차 논리회로나 카운터 설계의 기본이 된다. [표 8-9]의 RS 플립플롭의 여기표를 살펴보자.

■ Tip ■

여기표란?

출력의 전이를 기준으로 만족하는 입력 조건을 표로 나타낸 것이다.

[표 8-9] RS 플립플롭의 여기표

상태 전이		플립플롭 입력			플립플롭 입력 간소화		설명
Q_n	Q_{n+1}	상태 전이 가능 조건 목록	R	S	R	S	
0	0	불변	0	0	X	0	①
		리셋	1	0			
0	1	세트	0	1	0	1	②
1	0	리셋	1	0	1	0	③
1	1	불변	0	0	0	X	④
		세트	0	1			

0 : Low level 1 : High level X : 무정(don't care)

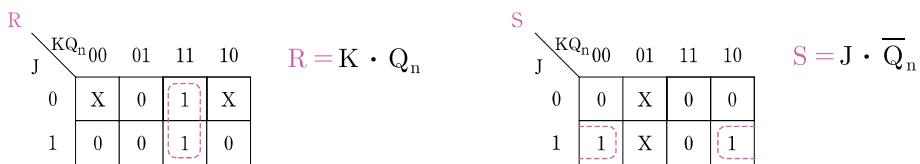
- ① Q_n 의 다음 상태 Q_{n+1} 이 0이므로 리셋 조건이 성립한다. 또한 Q_{n+1} 은 0에서 0으로 변한 것이므로 불변의 조건도 성립한다. 두 조건에 의해 S는 반드시 0이어야 하고, R은 0 또는 1이 모두 성립하므로 X로 처리할 수 있다.
- ② Q_n 의 다음 상태 Q_{n+1} 이 1이므로 세트 조건이 성립한다. Q_{n+1} 은 0에서 1로 변했지만, RS 플립플롭에는 반전의 조건이 없으므로 적용할 수 없다. 따라서 세트 조건인 $R = 0$, $S = 1$ 이 되어야 한다.
- ③ Q_n 의 다음 상태 Q_{n+1} 이 0이므로 리셋 조건이 성립한다. Q_{n+1} 은 1에서 0으로 변했지만, RS 플립플롭에는 반전의 조건이 없으므로 적용할 수 없다. 따라서 리셋 조건인 $R = 1$, $S = 0$ 이 되어야 한다.
- ④ Q_n 의 다음 상태 Q_{n+1} 이 1이므로 세트 조건이 성립한다. Q_{n+1} 은 1에서 1로 변한 것이므로 불변의 조건도 성립한다. 두 조건에 의해 R은 반드시 0이어야 하고, S는 0 또는 1이 성립하므로 X로 처리할 수 있다.

이제 RS 플립플롭의 여기표를 이용해 변환할 플립플롭 동작의 상태표를 작성해보자. 상태표에는 변환할 JK 플립플롭의 진리표와 RS 플립플롭의 여기표가 모두 나타난다.

[표 8-10] JK 플립플롭 설계를 위한 RS 신호의 상태표

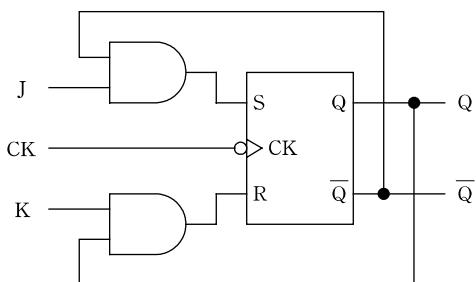
JK 플립플롭의 진리표				상태 신호	
J	K	Q_n	Q_{n+1}	R	S
0	0	0	0	X	0
0	0	1	1	0	X
0	1	0	0	X	0
0	1	1	0	1	0
1	0	0	1	0	1
1	0	1	1	0	X
1	1	0	1	0	1
1	1	1	0	1	0

JK 플립플롭 설계를 위한 R과 S 신호의 논리식을 카르노 맵을 이용하여 다음과 같이 간소화 한다.



[그림 8-26] 카르노 맵을 이용한 간소화

간소화된 논리식으로 설계한 RS 플립플롭을 이용한 JK 플립플롭의 논리회로는 [그림 8-27] 과 같다.

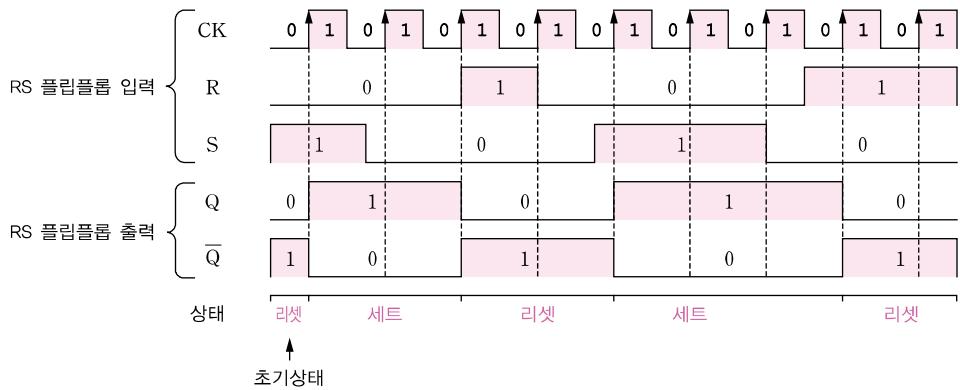


[그림 8-27] RS 플립플롭을 이용한 JK 플립플롭의 논리회로

8.3 RS 플립플롭

8.3.1 실험 목표

RS 플립플롭의 논리회로를 구성하여 동작을 실험하고 결과 파형을 도출한다.



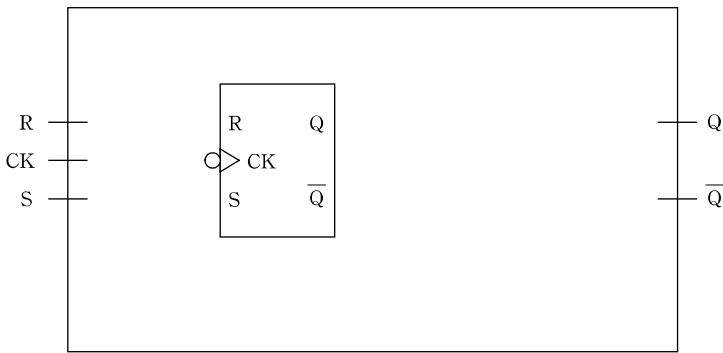
8.3.2 실험 내용

■ 실험 부품

구분	부품 번호	수량	비고
LED	BL-B5134(333HD)	2	
저항	CFR 1/4W 5% 330Ω	2	
저항	CFR 1/4W 5% 1kΩ	3	
IC	SN74LS00	3	2-NAND
스위치	TS-1105-7MM	3	SPST SW

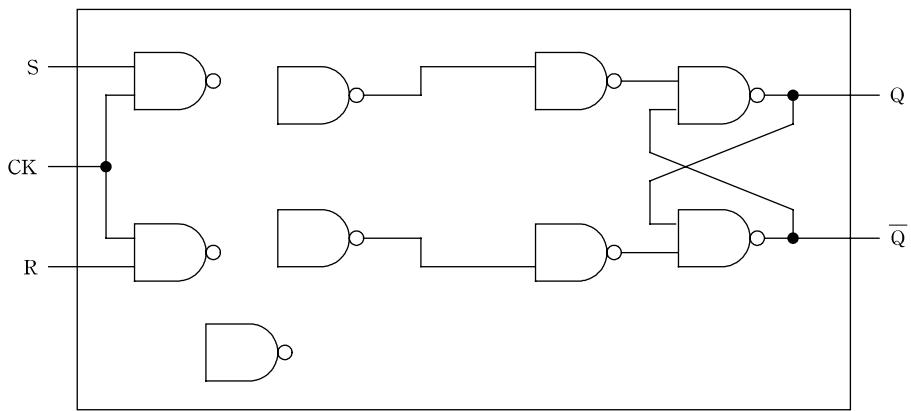
■ 실험 절차

- [그림 8-13]의 마스터-슬레이브형 D 플립플롭의 블록도와 같이 마스터-슬레이브형 RS 플립플롭의 블록도를 완성하라.(※ 신호명에 주의할 것)



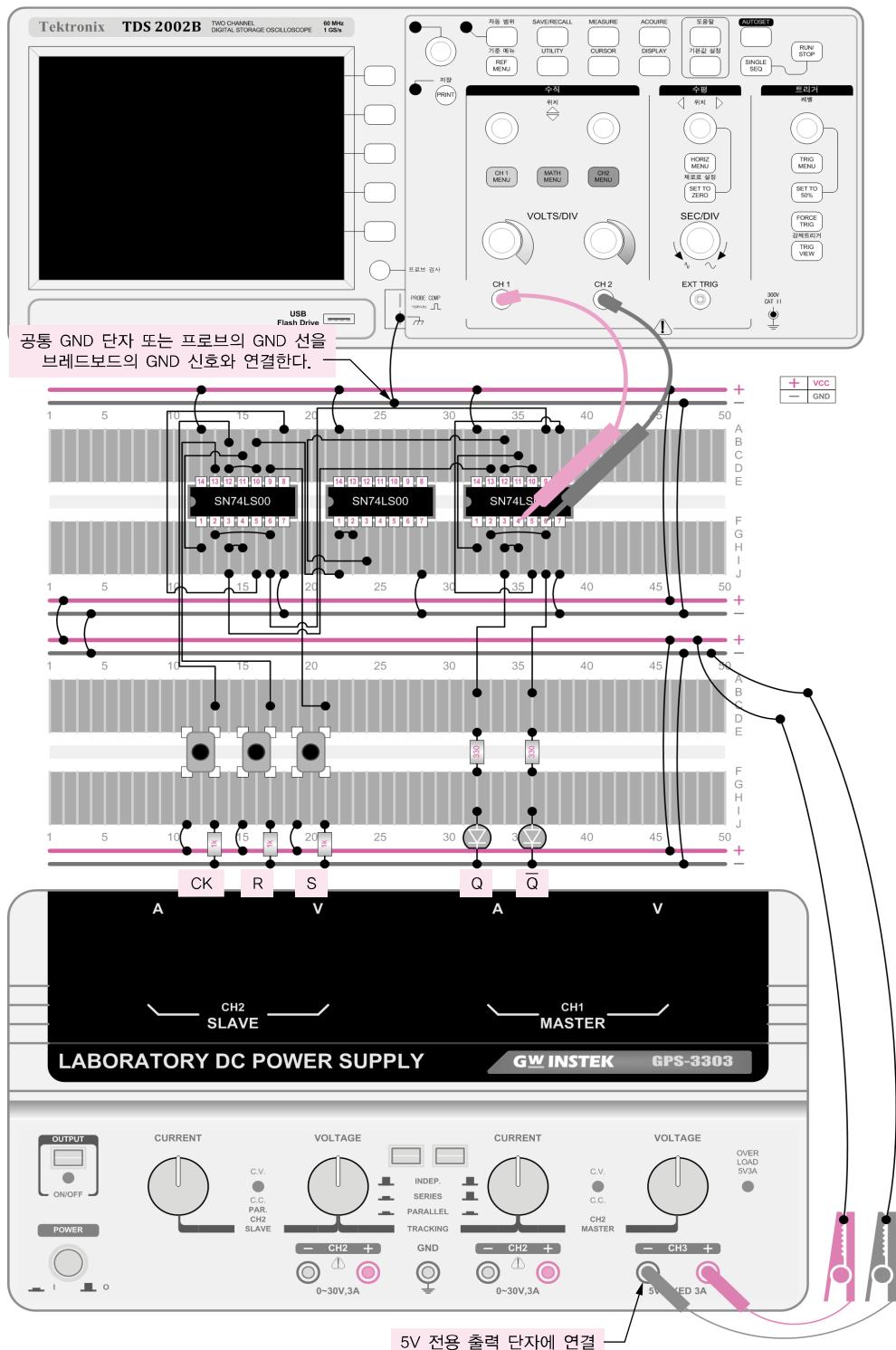
[그림 8-28] 마스터-슬레이브형 RS 플립플롭의 논리회로

- ② 전 단계 ①에서 완성된 블록도를 NAND 게이트만을 이용하여 RS 플립플롭 논리회로를 완성하라.

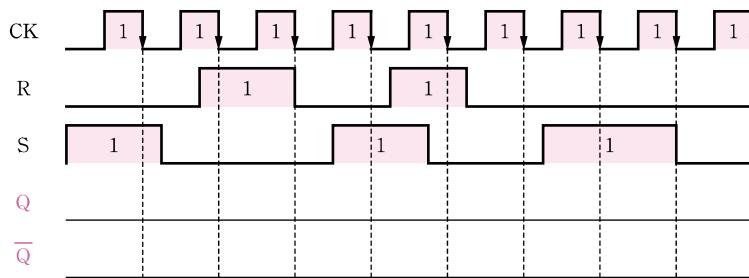


[그림 8-29] NAND 게이트만을 이용한 RS 플립플롭의 논리회로

- ③ 전 단계 ②에서 완성된 논리회로를 브레드보드에 연결하고, [그림 8-31]에 동작 타이밍도를 완성하라.



[그림 8-30] 마스터-슬레이브형 RS 플립플롭 회로 실험의 브레드보드 연결

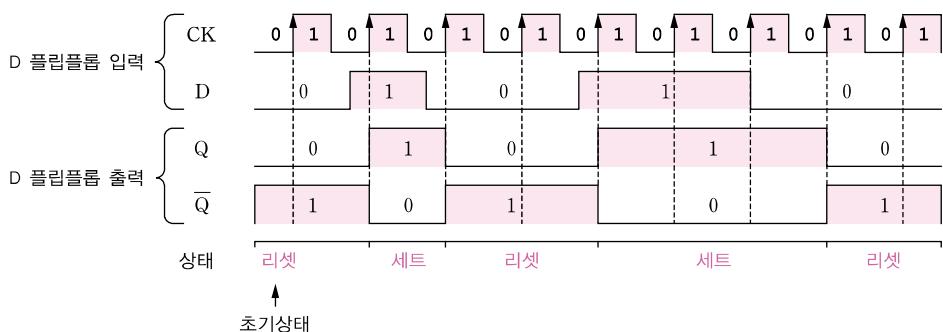


[그림 8-31] 마스터-슬레이브형 RS 플립플롭의 동작 타이밍도

8.4 D 플립플롭

8.4.1 실험 목표

D 플립플롭의 논리회로를 구성하여 동작을 실험하고 결과 파형을 도출한다.



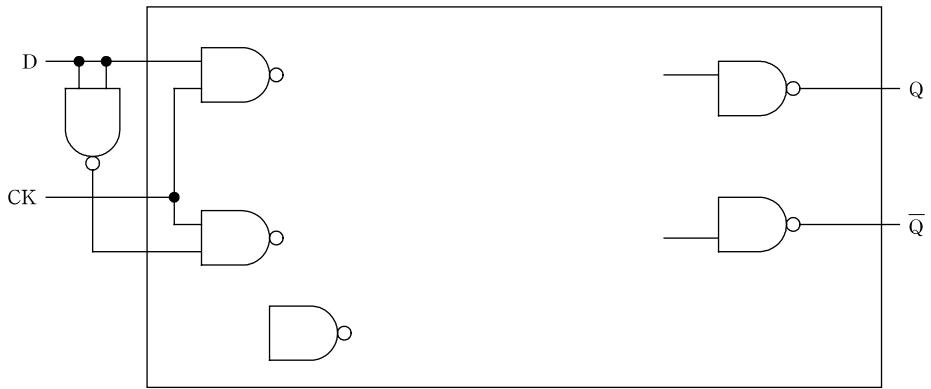
8.4.2 실험 내용

■ 실험 부품

구분	부품 번호	수량	비고
LED	BL-B5134(333HD)	2	
저항	CFR 1/4W 5% 330Ω	2	
저항	CFR 1/4W 5% 1kΩ	2	
IC	SN74LS00	3	
스위치	TS-1105-7MM	2	2-NAND SPST SW

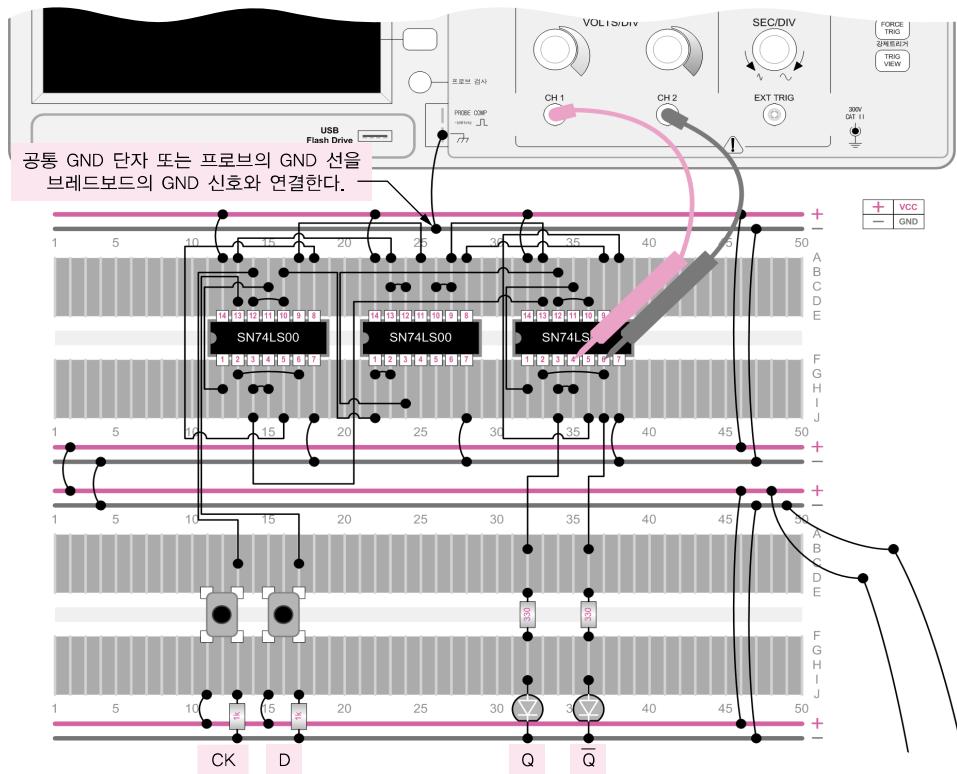
■ 실험 절차

- ① NAND 게이트만을 이용하여 마스터–슬레이브형 D 플립플롭의 논리회로를 완성하라.

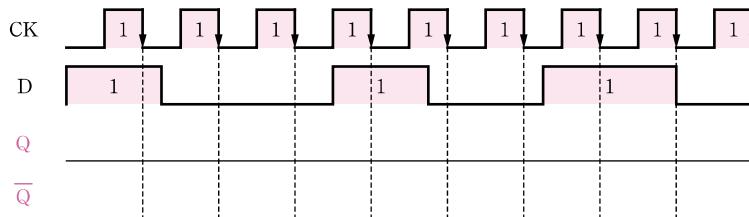


[그림 8-32] NAND 게이트만을 이용한 마스터–슬레이브형 D 플립플롭의 논리회로

- ② 전 단계 ①에서 완성된 논리회로를 브레드보드에 연결하고, [그림 8-34]에 동작 타이밍도를 완성하라.



[그림 8-33] NAND 게이트만을 이용한 마스터–슬레이브형 D 플립플롭 회로 실현의 브레드보드 연결

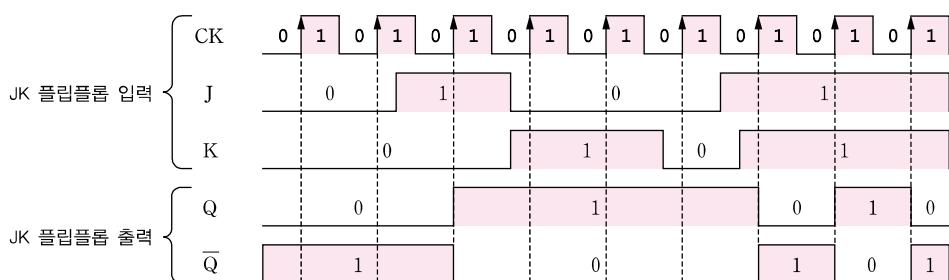


[그림 8-34] NAND 게이트만을 이용한 마스터-슬레이브형 D 플립플롭의 동작 타이밍도

8.5 JK 플립플롭

8.5.1 실험 목표

JK 플립플롭의 논리회로를 구성하여 동작을 실험하고 결과 파형을 도출한다.



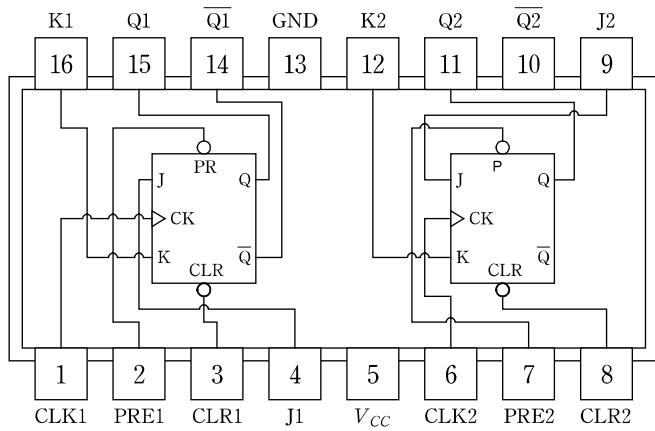
8.5.2 실험 내용

■ 실험 부품

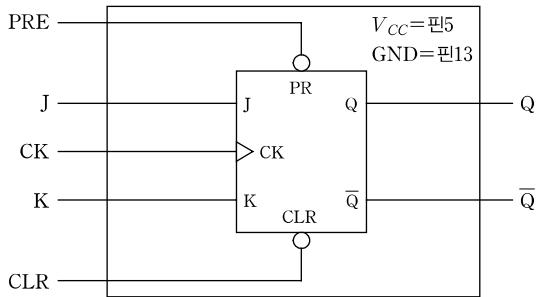
구분	부품 번호	수량	비고
LED	BL-B5134(333HD)	2	
저항	CFR 1/4W 5% 330Ω	2	
저항	CFR 1/4W 5% 1kΩ	5	
IC	SN74LS76	1	JK FF
스위치	TS-1105-7MM	5	SPST SW

■ 실험 절차

- [그림 8-36]은 리셋과 프리셋이 있는 에지 트리거형 JK 플립플롭의 논리회로이고, [그림 8-35]의 SN74LS76은 JK 플립플롭이 2개 들어 있는 TTL IC이다.



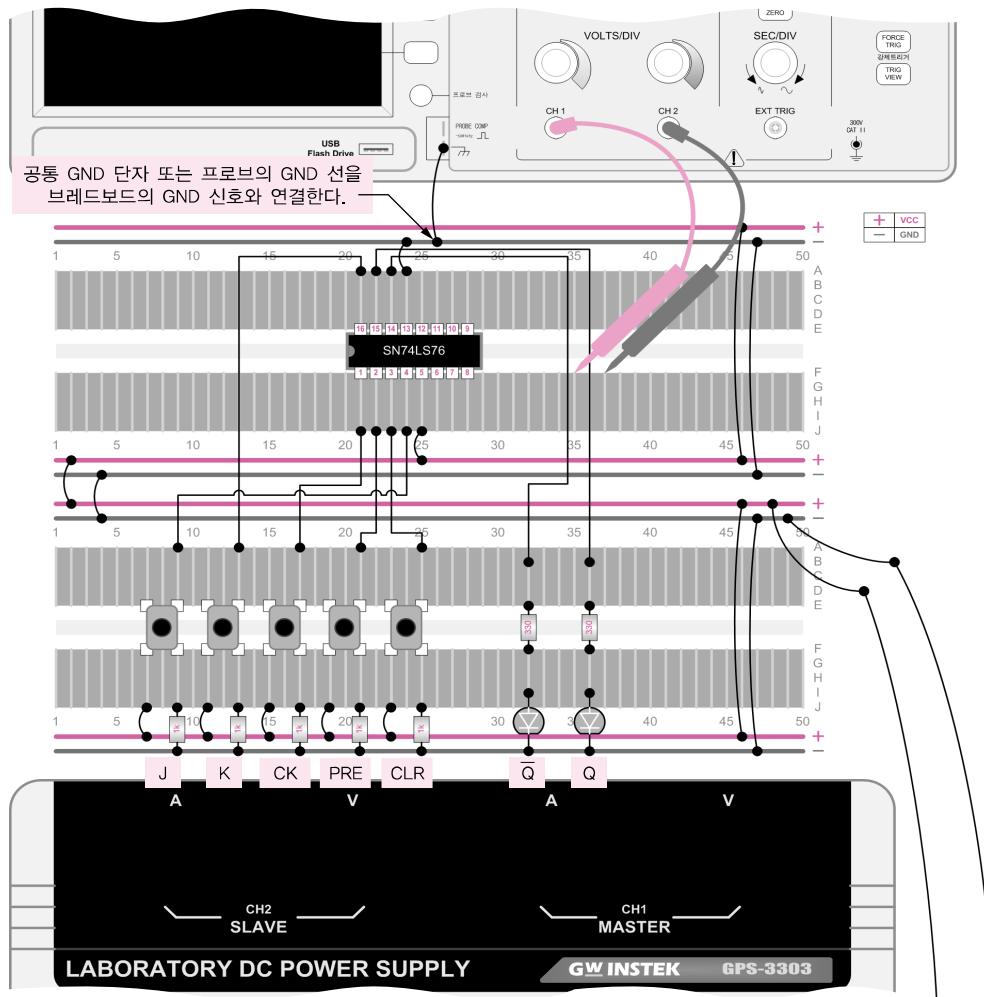
[그림 8-35] SN74LS76의 내부 연결 구조



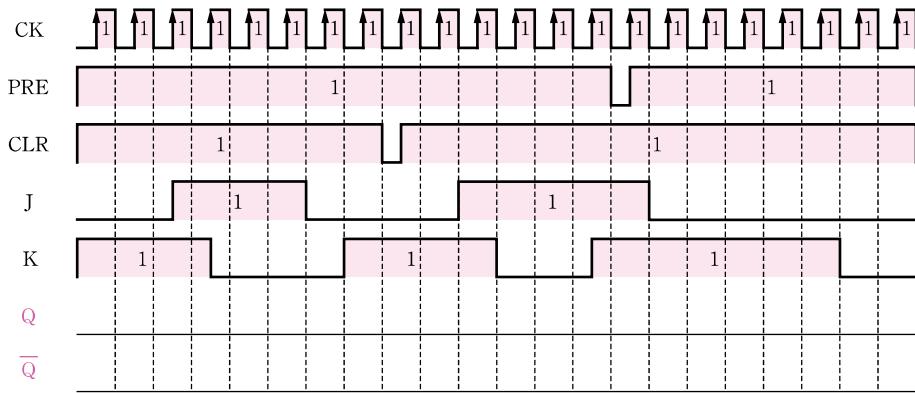
[그림 8-36] 에지 트리거형 JK 플립플롭의 논리회로

입력 신호 중 PRE는 프리셋 신호로, 0을 인가하면 출력 Q는 입력에 관계없이 1을 출력한다. CLR은 클리어(또는 리셋) 신호로, 0을 인가하면 출력 \bar{Q} 는 입력에 관계없이 1을 출력한다. 프리셋 또는 클리어 신호에 의해 변경된 Q와 \bar{Q} 신호는 피드백되어 서로 보수 관계를 갖도록 출력을 재설정한다. 결과적으로 프리셋 신호는 Q를 강제로 1로 만드는 제어 신호이고, 클리어 신호는 Q를 강제로 0으로 만드는 제어 신호다.

- ② [그림 8-36]의 논리회로를 브레드보드에 연결하고, [그림 8-38]에 동작 타이밍도를 완성하라. [그림 8-35]의 SN74LS76의 내부 연결 구조를 참고하라.



[그림 8-37] JK 플립플롭 회로 실험의 브레드보드 연결

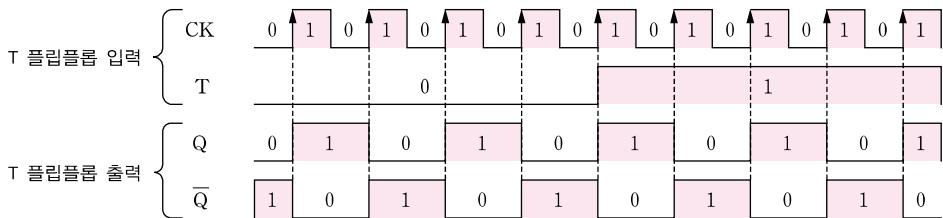


[그림 8-38] JK 플립플롭의 동작 타이밍도

8.6 T 플립플롭

8.6.1 실험 목표

T 플립플롭의 논리회로를 구성하여 동작을 실험하고 결과 파형을 도출한다.



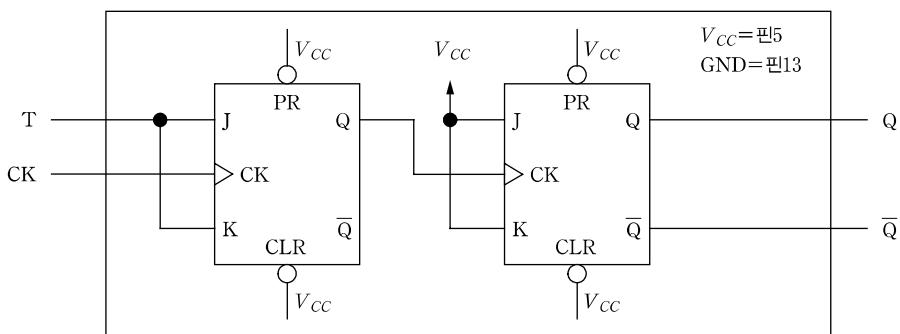
8.6.2 실험 내용

■ 실험 부품

구분	부품 번호	수량	비고
LED	BL-B5134(333HD)	2	
저항	CFR 1/4W 5% 330Ω	2	
저항	CFR 1/4W 5% 1kΩ	2	
IC	SN74LS76	1	JK FF
스위치	TS-1105-7MM	2	SPST SW

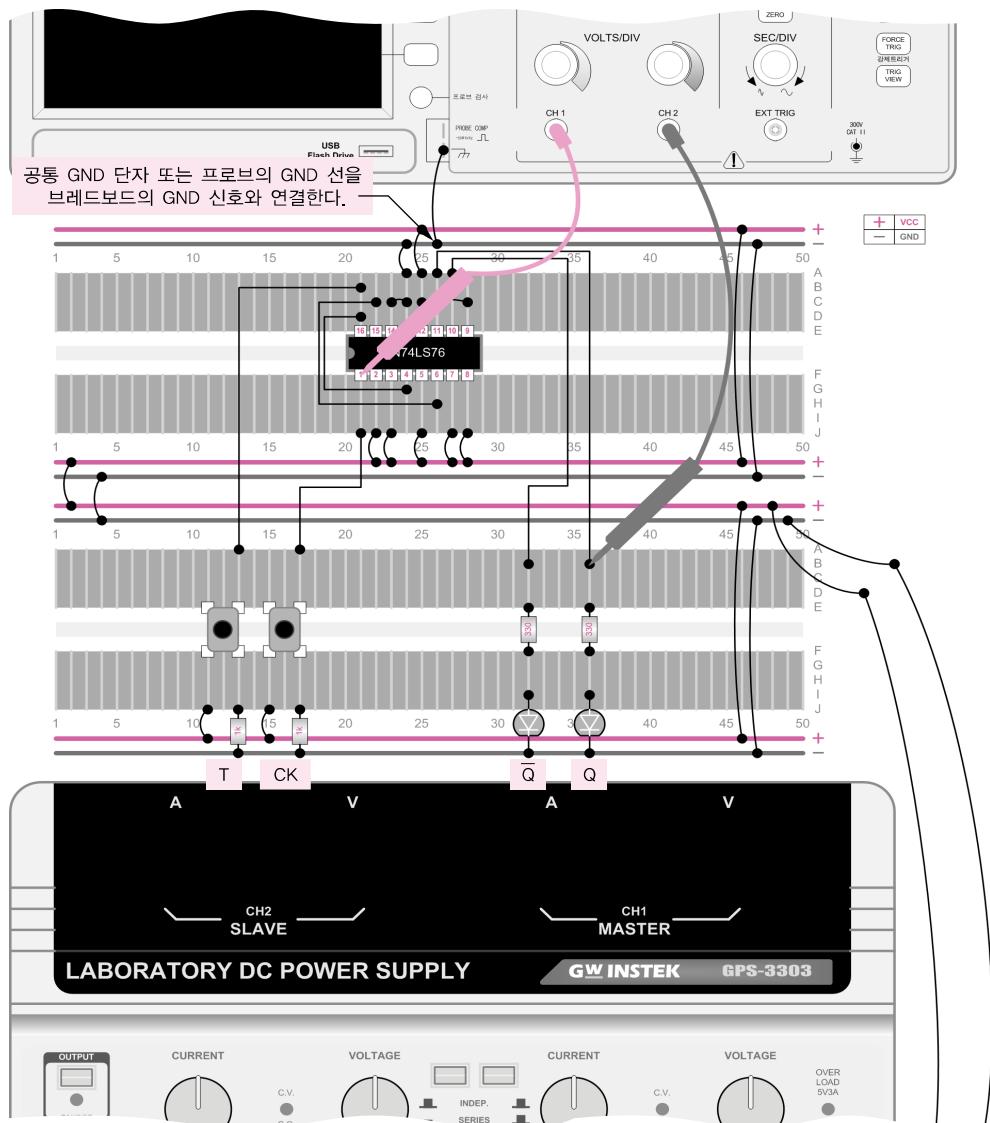
■ 실험 절차

- ① [그림 8-39]는 JK 플립플롭을 이용한 T 플립플롭의 논리회로다.

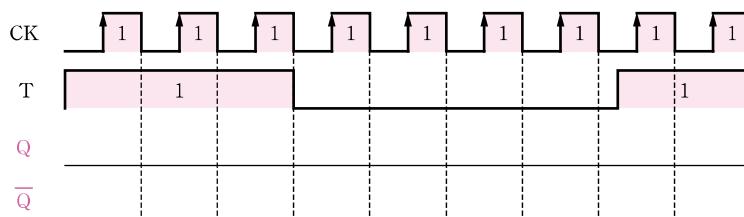


[그림 8-39] JK 플립플롭을 이용한 T 플립플롭의 논리회로

- ② [그림 8-39]의 논리회로를 브레드보드에 연결하고, [그림 8-41]에 동작 타이밍도를 완성 하라. [그림 8-35]의 SN74LS76의 내부 연결 구조를 참고하라.



[그림 8-40] JK 플립플롭을 이용한 T 플립플롭 회로 실현의 브레드보드 연결



[그림 8-41] JK 플립플롭을 이용한 T 플립플롭의 동작 타이밍도