

차동 증폭기와 다단 증폭기

차동 증폭기 개요 _7.1

BJT 차동 증폭기 _7.2

MOSFET 차동 증폭기 _7.3

다단 증폭기 _7.4

응용 회로 설계과제 _7.5

요약 _7.6

연습문제

학습목표

- 차동 증폭기의 구조와 동작원리 및 입출력 전달특성과 특성 파라미터를 이해한다.
- BJT 차동 증폭기 회로와 MOSFET 차동 증폭기 회로의 동작과 특성을 살펴본다.
- BJT와 MOSFET 정전류원 회로의 동작과 특성을 공부한다.
- 여러 가지 다단 증폭기 회로의 동작과 특성을 이해한다.

4장과 6장에서는 개별 트랜지스터 소자로 구성되는 단일 증폭단 회로에 대해 살펴보았다. 아날로그 회로를 반도체 IC 형태로 제작하면 개별 소자를 사용하는 경우에 비해 여러 가지 장점을 가지므로 연산 증폭기, 오디오 증폭기 등 많은 종류의 아날로그 IC들이 개발되어 사용되고 있다.

아날로그 IC 대부분이 차동 증폭기 입력단을 갖는 다단 증폭기 구조, 능동부하, 정전류원 바이어스 회로 등으로 구성된다. 이번 장에서는 아날로그 IC에서 사용되는 이들 회로에 대해 설명한다. 먼저 차동 증폭기의 구조, 동작원리, 파라미터 등을 살펴보고, BJT와 MOSFET로 구성되는 차동 증폭기 회로의 동작과 특성을 알아본다.

일반적으로 실리콘 기판에 다수의 소자를 집적하여 만들어지는 반도체 IC는 개별 소자로 구성되는 회로와 여러 가지 측면에서 다르다. IC에서는 칩 면적의 소형화가 무엇보다 중요하므로, 칩 면적을 많이 차지하는 저항과 커패시터의 사용을 피해야 한다. 따라서 증폭단 사이에 커패시터 결합 대신에 직접 결합이 사용되고, 바이패스 커패시터도 사용할 수 없다. 이에 의해 아날로그 IC에서는 증폭기의 부하로 저항 대신에 트랜지스터를 이용한 능동부하가 사용되며, 바이어스도 트랜지스터를 이용한 정전류원 회로가 사용된다.

이번 장을 통해 아날로그 IC에 사용되는 차동 증폭기, 다양한 형태의 정전류원 회로, 다단 증폭기 회로의 구조와 특성 등을 이해해 보자.

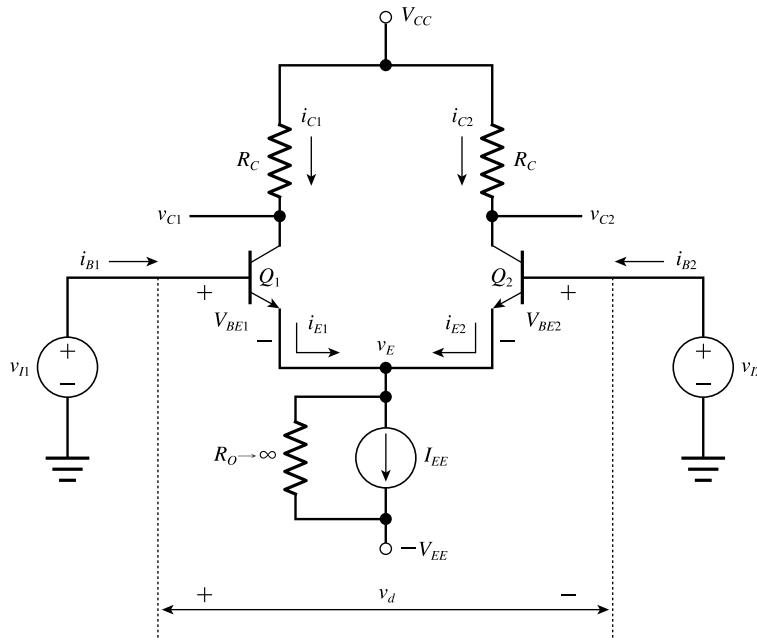
7.1 차동 증폭기 개요

차동 증폭기(differential amplifier)는 아날로그 집적회로(IC, integrated circuit)를 구성하는 기본적인 기능 블록으로서 연산 증폭기와 비교기 IC의 입력단으로 사용된다. 차동 증폭기는 두 개의 입력단자와 한 개 또는 두 개의 출력단자를 가지며, 두 입력신호의 차(difference)를 증폭하는 기능을 갖는다. BJT나 MOSFET로 구현될 수 있으며, 이미터 결합 차동쌍(emitter-coupled differential pair) 또는 소오스 결합 차동쌍(source-coupled differential pair)과 정전류원(constant-current source), 능동부하(active load) 등의 블록으로 구성된다. 이 절에서는 BJT로 구성되는 차동 증폭기를 예로 들어 기본적인 구조와 동작원리, 입출력 전달특성, 특성 파라미터 등을 설명한다.

7.1.1 차동 증폭기의 구조 및 동작원리

[그림 7-1]은 BJT 차동 증폭기의 기본적인 구조이다. 두 개의 NPN 트랜지스터 Q_1 , Q_2 가 이미터 결합 차동쌍을 구성하고 있으며, 이 트랜지스터들은 정전류원 I_{EE} 에 의해 선형영역으로 바

이어스된다. 정전류원의 출력저항 R_O 는 클수록 바람직하며, 여기에서는 $R_O = \infty$ 인 이상적인 정전류원을 가정한다. 또한 차동쌍을 구성하는 두 트랜지스터는 특성이 정합(matched)되었다고 가정한다. 입력신호 v_{I1} , v_{I2} 는 차동쌍을 구성하는 각 트랜지스터의 베이스로 인가되며, 출력 v_{C1} , v_{C2} 는 차동쌍의 컬렉터에서 얻어진다. 전원과 컬렉터 사이에 부하저항 R_C 가 연결되며, 실제 IC에서는 능동부하로 구현된다.



[그림 7-1] BJT 차동 증폭기의 기본 구조

차동 증폭기의 동작을 이해하기 위해, 두 입력단자에 동일한 신호가 인가되는 경우와 서로 다른 신호가 인가되는 경우로 구분하여 생각해 보자.

[그림 7-2(a)]는 두 입력단자에 동일한 신호 v_{CM} , 즉 공통모드 전압(common-mode voltage)이 인가되는 경우이다. 트랜지스터 Q_1 , Q_2 가 정합되어 있고 회로가 대칭구조를 가지므로, 바이어스 전류 I_{EE} 는 두 트랜지스터에 절반씩 분배되어 흐른다. 따라서 각 트랜지스터의 이미터 전류는 $i_{E1} = i_{E2} = I_{EE}/2$ 가 되고, 이미터 전압은 다음과 같다.

$$v_E = v_{CM} - V_{BE} \quad (7.1)$$

여기서 전압 $V_{BE} \simeq 0.7$ V는 BJT의 베이스-이미터 전압이다. 트랜지스터의 전류이득이 $\beta_{o1} = \beta_{o2} \gg 1$ 이라고 하면 $i_{E1} \simeq i_{C1}$, $i_{E2} \simeq i_{C2}$ 이므로, 각 트랜지스터의 컬렉터 전압은

$$v_{C1} = v_{C2} = V_{CC} - R_C I_{EE}/2 \quad (7.2)$$

가 되며, 따라서 두 컬렉터 전압의 차는,

$$v_{C2} - v_{C1} = 0 \quad (7.3)$$

즉, 이상적인 차동 증폭기에 공통모드 전압이 인가되어 $v_d = 0$ 인 경우, 두 컬렉터 전압의 차는 0이 된다.

[그림 7-2(b)]는 차동 증폭기에 크기가 같고 위상이 반대인 전압 $v_{I1} = v_d/2$ 와 $v_{I2} = -v_d/2$ 가 인가되는 경우이며, 여기서 차동모드 전압(differential-mode voltage) $v_d = v_{I1} - v_{I2}$ 는 수 밀리 볼트 정도로 작다고 가정한다. Q_1 과 Q_2 의 이미터는 공통이므로 $v_{BE1} > v_{BE2}$ 가 되며, 따라서 트랜지스터 Q_1 의 컬렉터 전류는 ΔI 만큼 증가하여 $i_{C1} \simeq I_{EE}/2 + \Delta I$ 가 되고, Q_2 의 컬렉터 전류는 ΔI 만큼 감소하여 $i_{C2} \simeq I_{EE}/2 - \Delta I$ 가 된다. 이로부터 각 트랜지스터의 컬렉터 전압은 다음과 같다.

$$v_{C1} = V_{CC} - \left(\frac{I_{EE}}{2} + \Delta I \right) R_C \quad (7.4a)$$

$$v_{C2} = V_{CC} - \left(\frac{I_{EE}}{2} - \Delta I \right) R_C \quad (7.4b)$$

따라서 두 컬렉터 전압의 차는 식 (7.5)와 같다. 이상적인 차동 증폭기에 차동모드 전압이 인가되면 이는 컬렉터 전압의 차로 나타난다.

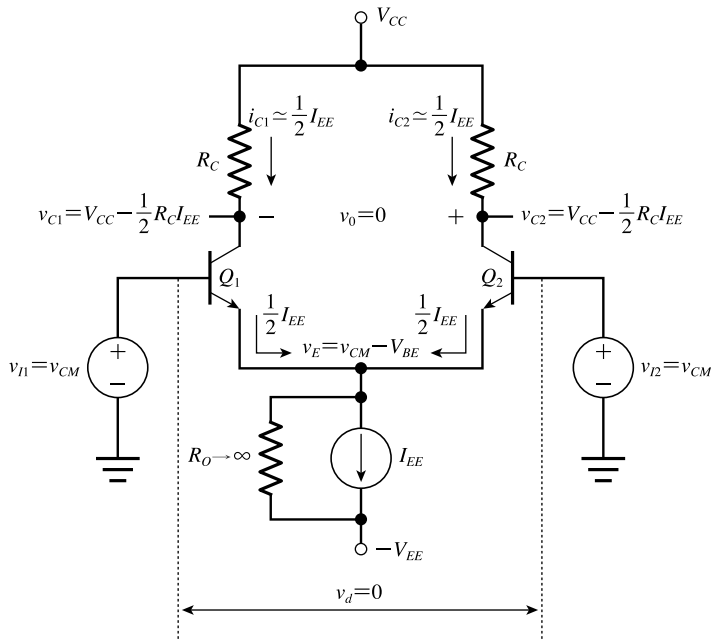
$$v_{C2} - v_{C1} = 2\Delta I R_C \quad (7.5)$$

7.1.2 차동 증폭기의 입출력 전달특성

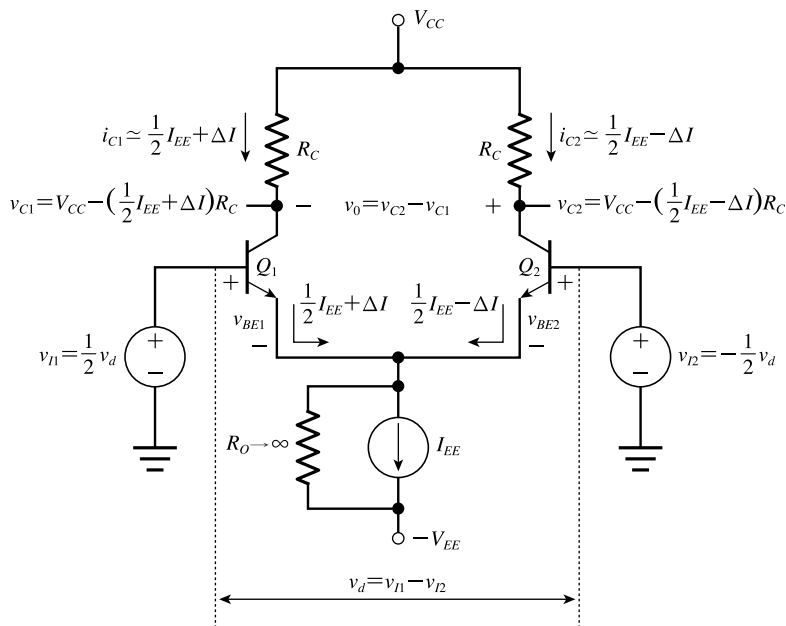
다음으로 차동 증폭기의 DC 전달특성에 대해 알아보자. 트랜지스터 Q_1 과 Q_2 는 정합되어 있으며, 온도가 동일하다고 가정한다. [그림 7-1]의 회로에서 차동 증폭기에 인가되는 입력전압이 v_{I1} 과 v_{I2} 이고 두 트랜지스터의 이미터 전압을 v_E 라고 하면, 두 트랜지스터의 이미터 전류는 각각 다음과 같다.

$$i_{C1} = I_S e^{(v_{I1} - v_E)/V_T} \quad (7.6a)$$

$$i_{C2} = I_S e^{(v_{I2} - v_E)/V_T} \quad (7.6b)$$



(a) 공통모드 신호가 인가되는 경우



(b) 차동모드 신호가 인가되는 경우

[그림 7-2] 차동 증폭기의 동작

여기서 I_S 는 이미터-베이스 접합의 역방향 포화전류이고, V_T 는 열전압을 나타낸다. Q_1 과 Q_2 의 이미터 전류의 합은 바이어스 전류 I_{EE} 가 되므로,

$$\begin{aligned} I_{EE} &= i_{E1} + i_{E2} = \frac{1}{\alpha} (i_{C1} + i_{C2}) \\ &= \frac{I_S}{\alpha} [e^{(v_{I1}-v_E)/V_T} + e^{(v_{I2}-v_E)/V_T}] \end{aligned} \quad (7.7)$$

여기서 α 는 공통 베이스 전류이득이다. 따라서 식 (7.6)과 식 (7.7)로부터,

$$\frac{i_{C1}}{I_{EE}} = \frac{\alpha}{1 + e^{-v_d/V_T}} \quad (7.8a)$$

$$\frac{i_{C2}}{I_{EE}} = \frac{\alpha}{1 + e^{v_d/V_T}} \quad (7.8b)$$

가 된다. 여기서 $v_d \equiv v_{I1} - v_{I2}$ 이다. 식 (7.8)을 이용하여 식 (7.6)을 다시 표현하면 두 트랜지스터의 컬렉터 전류는 각각 다음과 같다.

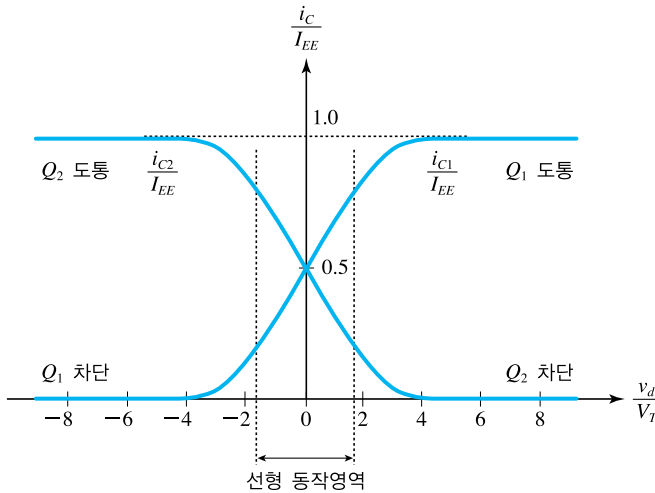
$$i_{C1} = \frac{\alpha I_{EE}}{1 + e^{-v_d/V_T}} \quad (7.9a)$$

$$i_{C2} = \frac{\alpha I_{EE}}{1 + e^{v_d/V_T}} \quad (7.9b)$$

식 (7.9)로부터 차동 증폭기의 동작특성, 즉 입력전압에 따른 컬렉터 전류의 특성을 이해할 수 있다. 차동모드 입력전압이 $v_d=0$ (즉, $v_{I1}=v_{I2}$)이면, $i_{C1}=i_{C2}=\alpha I_{EE}/2$ 가 되어 바이어스 전류 I_{EE} 가 Q_1, Q_2 에 절반씩 흐르며, 따라서 식 (7.3)과 같이 두 컬렉터 전압의 차는 $v_{C2}-v_{C1}=0$ 이 된다. $v_d>0$ (즉, $v_{I1}>v_{I2}$)이면 $i_{C1}>i_{C2}$ 가 되고, $v_d<0$ (즉, $v_{I1}<v_{I2}$)이면, $i_{C1}<i_{C2}$ 가 되어 식 (7.5)와 같이 컬렉터 전압의 차로 나타난다. 이와 같이 두 입력전압의 차 v_d 에 비례하여 나타나는 출력전압 v_O 가 차동 증폭기의 기본 동작원리이다.

식 (7.9)가 나타내는 차동 증폭기의 DC 전달특성은 [그림 7-3]과 같다. y축은 차동쌍 트랜지스터의 컬렉터 전류 i_{C1}, i_{C2} 를 바이어스 전류 I_{EE} 로 정규화(normalization)하여 표시되었으며, x축은 차동 입력전압 v_d 를 열전압 V_T 로 정규화하여 표시되었다. [그림 7-3]으로부터 차동 증폭기의 동작특성을 다음과 같이 요약할 수 있다.

1. $v_d=0$ (즉, y축과의 교점)에서 두 트랜지스터의 컬렉터 전류는 동일하며, $i_{C1}=i_{C2}=aI_{EE}/2$ 가 된다.
2. 컬렉터 전류 i_{C1} 과 i_{C2} 는 상보적(complementary)인 관계를 가져 한쪽이 증가하면 다른 쪽은 감소한다.
3. 차동 입력전압의 작은 범위(즉, $-2V_T < v_d < 2V_T$)에서 차동쌍 트랜지스터의 컬렉터 전류는 선형을 유지하며, 차동 증폭기의 이득은 $v_d=0$ 인 점에서의 기울기(즉, 전달컨덕턴스)에 비례한다.
4. 큰 차동 입력전압(즉, $|v_d| \gg 2V_T$)에 대해서 두 트랜지스터 중 하나는 차단되고 다른 하나는 도통되며, 바이어스 전류 I_{EE} 는 도통된 트랜지스터를 통해 흐른다. 즉, $v_d \gg 2V_T$ 이면 Q_1 은 도통되고 Q_2 는 차단되며, $v_d \ll -2V_T$ 이면 Q_1 은 차단되고 Q_2 는 도통된다. 이 특성은 이미터 결합 논리(emitter-coupled logic)의 디지털 논리회로 구현에도 사용되지만, 이 책에서는 차동쌍이 증폭기로 사용되므로 DC 전달특성이 선형인 영역에 대해서만 생각하기로 한다.

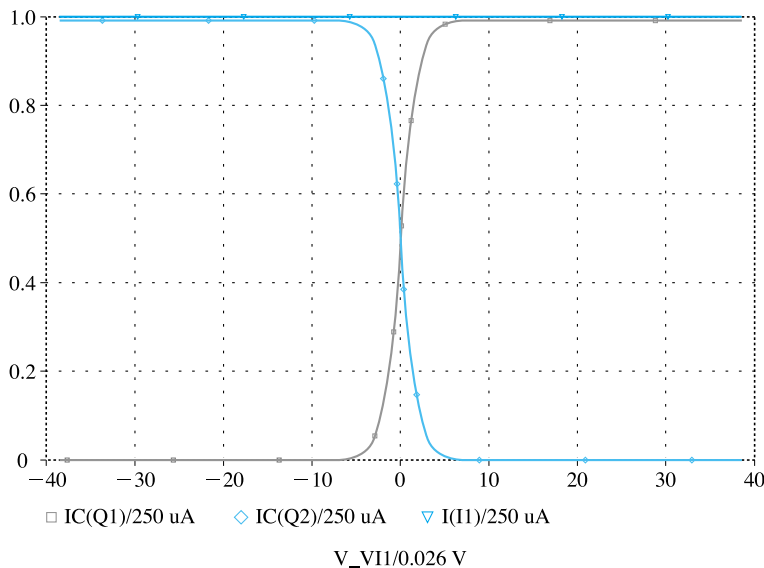


[그림 7-3] 차동 증폭기의 DC 전달특성

PSPICE를 이용하여 [그림 7-1]의 차동 증폭기 회로의 DC 전달특성을 시뮬레이션하라. 단, $I_{EE}=250\ \mu\text{A}$ 이고, $V_{CC}=10\ \text{V}$, $R_C=20\ \text{k}\Omega$ 이다.

풀이

[그림 7-1]의 차동 증폭기에서 $v_{I2}=0$ 을 유지한 상태로 $-1\ \text{V} \leq v_{I1} \leq 1\ \text{V}$ 범위에 대해 시뮬레이션한 결과는 [그림 7-4]와 같다. y축은 컬렉터 전류를 $I_{EE}=250\ \mu\text{A}$ 로, x축은 차동 입력전압을 v_d/V_T 로 정규화하여 표시하였다. 차동 입력전압의 작은 범위(즉, $-2V_T < v_d < 2V_T$)에서 컬렉터 전류가 선형을 유지하며, 차동 입력전압이 $v_d=0$ 이면 $i_{C1}/I_{EE}=i_{C2}/I_{EE}=0.5$ 임을 확인할 수 있다.



[그림 7-4] [예제 7-1]의 시뮬레이션 결과

7.1.3 차동 증폭기의 특성 파라미터

차동 증폭기의 성능은 차동모드 이득(differential-mode gain), 공통모드 이득(common-mode gain), 공통모드 제거비(common-mode rejection ratio: CMRR) 등으로 평가되며 차동모드 입력저항, 공통모드 입력저항, 차동모드 입력범위, 공통모드 입력범위 등의 파라미터를 갖는다. 여기서는 이들 파라미터의 정의와 의미에 대해서만 설명하고, 7.2절과 7.3절에서 BJT 차동 증폭기와 MOSFET 차동 증폭기의 파라미터 특성을 마저 설명한다.

차동모드 이득

차동 증폭기의 기본 기능은 두 입력전압의 차(즉, 차동모드 입력전압)를 증폭하는 것으로, 차동 모드 이득은 차동 증폭기의 성능을 나타내는 중요한 파라미터이다. 차동모드 입력전압 v_d 에 대한 출력전압 v_{odm} 의 비(ratio)를 차동모드 이득이라고 하며, 식 (7.10)과 같이 정의된다.

$$A_{dm} \equiv \frac{v_{odm}}{v_d} = \frac{v_{C2} - v_{C1}}{v_d} \quad (7.10)$$

공통모드 이득

7.1.1절에서 설명한 바와 같이, 이상적인 차동 증폭기는 공통모드 입력 v_{CM} 에 대해 두 컬렉터 전압의 차가 $v_{C2} - v_{C1} = 0$ 이 된다. 그러나 실제 회로에서 차동쌍 트랜지스터 Q_1 , Q_2 의 정합이 완전하지 않으면, 공통모드 입력에 대해 출력전압이 발생할 수 있다. 공통모드 이득은 공통모드 입력전압에 대한 출력전압의 비로 다음과 같이 정의된다.

$$A_{cm} \equiv \frac{v_{ocm}}{v_{CM}} = \frac{v_{C2} - v_{C1}}{v_{CM}} \quad (7.11)$$

공통모드 제거비

공통모드 제거비는 식 (7.12)와 같이 공통모드 이득에 대한 차동모드 이득의 비로 정의된다. 이는 공통모드 입력이 출력되는 것을 억제하고 차동모드 입력만 증폭하여 출력하는 성능을 나타낸다. 차동모드 이득이 클수록 그리고 공통모드 이득이 작을수록 CMRR이 커져 성능이 우수한 차동 증폭기가 된다. 통상적으로 70~80 dB 이상의 CMRR 값을 갖도록 설계된다.

$$\text{CMRR} \equiv \left| \frac{A_{dm}}{A_{cm}} \right| \quad (7.12a)$$

$$\text{CMRR}_{dB} \equiv 20 \log_{10} \left| \frac{A_{dm}}{A_{cm}} \right| \quad (7.12b)$$

차동모드 입력저항

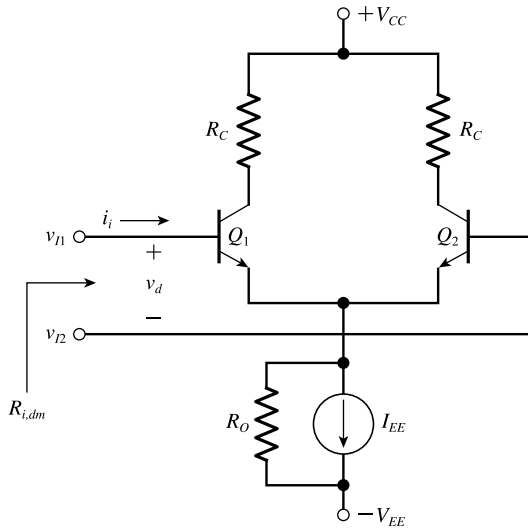
차동모드 입력저항은 [그림 7-5(a)]와 같이 두 입력단자에서 차동 증폭기를 본 등가 입력저항으로 식 (7.13)과 같이 정의된다. 차동모드 입력저항이 클수록 신호원에 대한 부하효과가 작아지므로, 클수록 바람직하다.

$$R_{idm} \equiv \frac{v_d}{i_i} \quad (7.13)$$

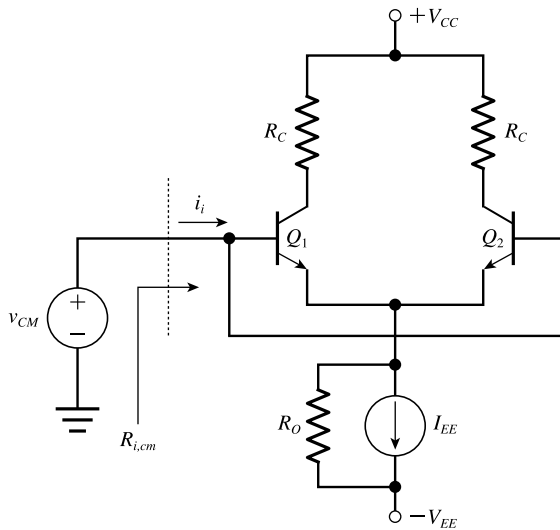
공통모드 입력저항

공통모드 입력저항은 [그림 7-5(b)]와 같이 공통모드 입력 v_{CM} 이 인가되는 입력단자와 접지 사이의 등가 입력저항으로서 다음과 같이 정의되며, 보통 매우 큰 값을 갖는다.

$$R_{i_{cm}} \equiv \frac{v_{CM}}{i_i} \quad (7.14)$$



(a) 차동모드 입력저항



(b) 공통모드 입력저항

[그림 7-5] 차동 증폭기의 입력저항

입력 바이어스 전류 및 오프셋 전류

[그림 7-1]의 차동 증폭기가 선형영역에서 동작하기 위해서는 차동쌍 Q_1, Q_2 의 베이스에 DC 바이어스 전류가 인가되어야 한다. 두 트랜지스터가 정합되어 있고 동작 온도가 동일한 이상적인 경우를 가정하면, 두 입력단자로 흐르는 입력 바이어스 전류는 $I_{B1} = I_{B2}$ 로 같다. 차동 증폭기가 MOSFET 또는 JFET로 구성되는 경우에는 입력 바이어스 전류가 필요하지 않으며, 누설에 의한 수~수십 pA 범위의 입력전류를 갖는다. 차동 증폭기의 특성이 이상적이지 않은 경우(예를 들면, 전류이득이 $\beta_{o1} \neq \beta_{o2}$)에는 두 입력단자에 흐르는 바이어스 전류가 달라진다. 입력 바이어스 전류의 차를 입력 오프셋(offset) 전류 I_{OS} 로 정의하며, 이는 차동 증폭기의 DC 출력 오프셋 전압을 유발한다.

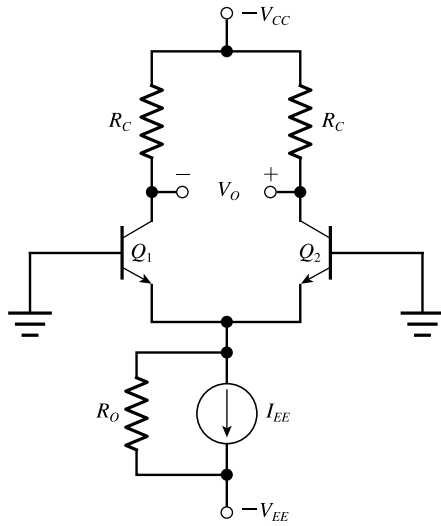
$$I_{OS} = |I_{B1} - I_{B2}| \quad (7.15)$$

입력 오프셋 전압

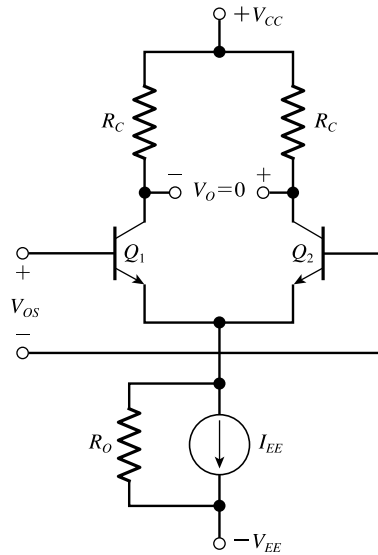
[그림 7-6(a)]와 같이 차동 증폭기의 두 입력단자가 접지로 연결되어 0 V가 인가되면, 이상적인 차동 증폭기의 출력전압은 $V_O = 0$ V가 된다. 그러나 차동 증폭기의 비이상적인 특성으로 출력에 DC 전압이 발생할 수 있으며, 이를 출력 DC 오프셋 전압(output DC offset voltage)이라고 한다. 그리고 [그림 7-6(b)]와 같이 출력 DC 전압을 0 V로 만들기 위해 차동 증폭기 입력에 인가되어야 하는 DC 전압을 입력 DC 오프셋 전압(input DC offset voltage) 또는 간단히 오프셋 전압이라고 한다. 입력 오프셋 전압은 BJT 차동 증폭기의 경우 수 mV 범위이다. 또한 온도에 영향을 받으며, $\mu\text{V}/^\circ\text{C}$ 의 범위를 갖는다. 오프셋 전압은 차동 증폭기를 구성하는 트랜지스터들의 부정합(mismatch)과 컬렉터 저항의 불일치, 반도체 제조공정 등이 원인이 되어 발생한다.

공통모드 입력범위

차동 증폭기가 선형영역에서 동작할 수 있는 공통모드 입력전압 v_{CM} 의 범위에는 한계가 있다. [그림 7-1]의 차동 증폭기에서 공통모드 입력신호 v_{CM} 이 너무 크면, 차동쌍 트랜지스터 Q_1, Q_2 가 선형영역을 벗어나 포화영역으로 들어가게 된다. 차동 증폭기가 선형영역에서 동작할 수 있는 입력전압의 한계는 곧 공통모드 입력범위의 상한(upper limit)이 된다. 그리고 공통모드 입력범위의 하한(lower limit)은 정전류원 I_{EE} 회로의 트랜지스터가 선형영역에서 동작할 수 있는 입력전압의 한계에 의해 결정된다. 정전류원 회로는 7.2.5절과 7.3.4절에서 더 자세히 설명하겠다.



(a) 출력 오프셋 전압



(b) 입력 오프셋 전압

[그림 7-6] 차동 증폭기의 오프셋 전압

7.2 BJT 차동 증폭기

BJT로 구성되는 차동 증폭기의 차동모드 동작과 공통모드 동작을 이해하고, 소신호 해석을 통해 차동모드 이득과 공통모드 이득, 입력저항 등의 특성을 해석한다. 또한 능동부하를 갖는 BJT 차동 증폭기와 캐스코드 차동 증폭기의 특성을 살펴보고, 차동 증폭기의 바이어스 전류 공급 및 능동부하로 사용되는 여러 가지 BJT 정전류원 회로에 대해 이해한다.

7.2.1 차동모드 이득 및 공통모드 이득

차동모드 동작과 공통모드 동작으로 나누어 차동 증폭기의 소신호 동작을 해석한다.

차동모드 동작

BJT로 구성되는 차동 증폭기에 [그림 7-7(a)]와 같이 크기가 같고 위상이 반대인 두 입력전압 $v_{I1} = v_d/2$ 와 $v_{I2} = -v_d/2$ 가 인가되는 차동모드의 동작을 해석한다. 차동쌍을 구성하는 BJT Q_1 과 Q_2 는 정합되어 있으며, 차동 입력전압이 $-2V_T < v_d < 2V_T$ 의 범위에 있어 컬렉터 전류가

선형을 유지(7.1.2절 참조)한다고 가정한다. 또한 해석의 편의를 위해 BJT의 $\beta_o \gg 1$ 이고, $I_C \simeq I_E$ 라고 가정한다.

$v_{I1} = v_d/2$ 에 의해 Q_1 의 컬렉터 전류 i_{C1} 은 Δi_C 만큼 증가하며, $v_{I2} = -v_d/2$ 에 의해 Q_2 의 컬렉터 전류 i_{C2} 는 $-\Delta i_C$ 만큼 감소한다. $I_C \simeq I_E$ 이므로, 차동쌍의 이미터 전류도 같은 양만큼 변하게 된다. 정전류원의 출력저항 R_O 에 흐르는 전류는 변하지 않으므로, 차동쌍의 이미터 전압 V_E 도 일정한 DC 값을 유지한다. DC 전압은 소신호 해석에서 단락회로로 취급되므로, 차동모드의 소신호 등가모델은 [그림 7-7(b)]와 같이 이미터가 접지된 것으로 볼 수 있다. [그림 7-7(b)]의 차동모드 소신호 등가모델에서 Q_1 과 Q_2 가 정합되어 있으며 컬렉터 저항이 같으므로, 좌·우 회로는 동일한 특성을 갖는 대칭이다. 따라서 [그림 7-7(c)]와 같이 반쪽 회로를 이용하여 차동모드 특성을 해석할 수 있다.

[그림 7-7(c)]의 차동모드 반쪽 회로는 공통 이미터 증폭기로 볼 수 있으므로, BJT의 컬렉터 출력저항을 $r_o = \infty$ 로 가정하면 소신호 등가회로는 [그림 7-7(d)]와 같다. [그림 7-7(d)]의 소신호 등가회로에서 Q_1 의 컬렉터 전류는

$$i_c = g_m V_\pi = g_m \frac{v_d}{2} \quad (7.16)$$

이며, 컬렉터 전압은 다음과 같다.

$$v_{c1} = -R_C i_c = -\frac{v_d}{2} g_m R_C \quad (7.17)$$

따라서 차동모드 반쪽 회로의 전압이득은,

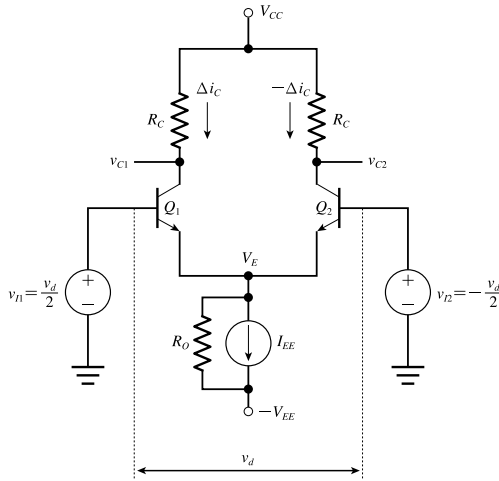
$$A_v = \frac{v_{c1}}{v_d/2} = -g_m R_C \quad (7.18)$$

차동 증폭기의 출력전압이 두 컬렉터 전압의 차 $v_{c2} - v_{c1}$ 로 얻어지는 경우, $v_{c2} = -v_{c1}$ 이므로 차동 입력전압 $v_d = v_{I1} - v_{I2}$ 에 대한 차동모드 이득은 다음과 같다.

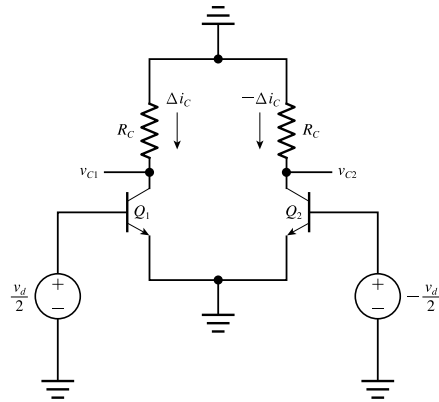
$$A_{dm} = \frac{v_{c2} - v_{c1}}{v_d} = g_m R_C \quad (7.19)$$

차동 증폭기의 출력이 Q_1 의 컬렉터와 접지 사이의 전압인 단일종단(single-ended) 출력이라면, 차동모드 이득은 식 (7.18)로부터 다음과 같다.

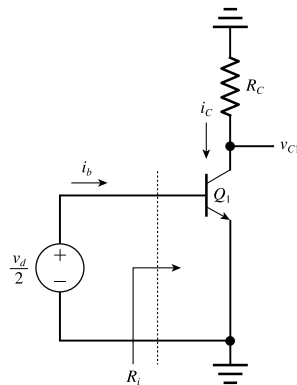
$$A_{dm} = \frac{v_{c1}}{v_d} = -\frac{g_m R_C}{2} \quad (7.20)$$



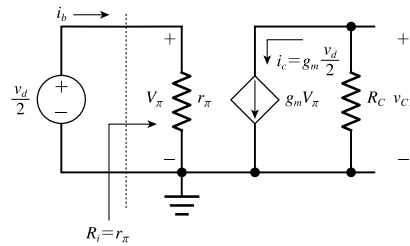
(a) 차동모드 입력



(b) 차동모드 소신호 등가회로



(c) 차동모드 반쪽 회로



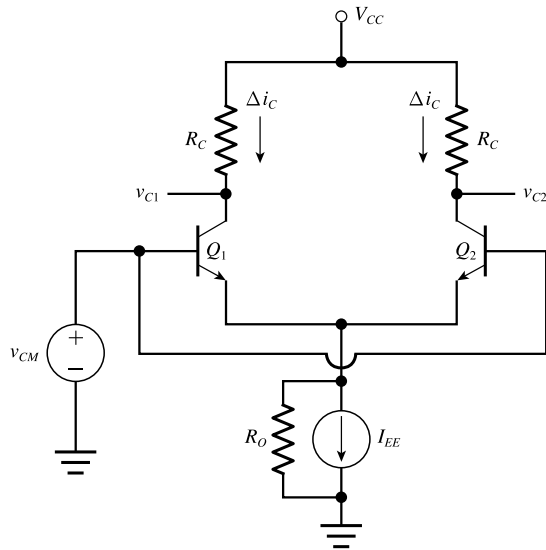
(d) 차동모드 반쪽 회로의 소신호 등가회로

[그림 7-7] 차동모드 소신호 해석

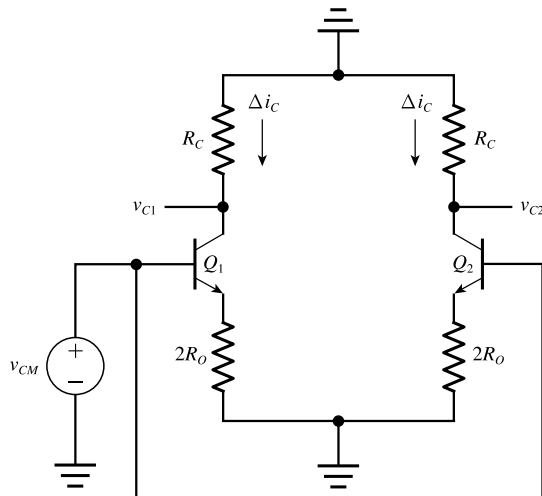
공통모드 동작

[그림 7-8(a)]와 같이 차동 증폭기에 크기와 위상이 같은 공통모드 입력전압 $v_{I1} = v_{I2} = v_{CM}$ 이 인가되는 공통모드의 동작을 해석해 본다. 공통모드 동작에서는 정전류원의 출력저항 R_O 가 중요한 영향을 미치므로, R_O 가 무한대가 아닌 유한한 값을 갖는다고 생각한다. 이는 실제 회로의 특성에 부합된다. 공통모드 입력전압에 의해 Q_1 의 컬렉터 전류 i_{C1} 와 Q_2 의 컬렉터 전류 i_{C2} 는 동일하게 Δi_C 만큼 증가한다. $I_C \simeq I_E$ 이므로, 두 트랜지스터의 이미터 전류도 같은 양 만큼 변하게 된다. 정전류원의 전류 I_{EE} 는 일정한 값을 유지하므로 저항 R_O 에 흐르는 전류는 $2\Delta i_C$ 만큼 증가하게 되고, 따라서 차동쌍의 이미터 전압 V_E 는 고정된 DC 값이 아니라 $2R_O\Delta i_C$ 만큼 증가

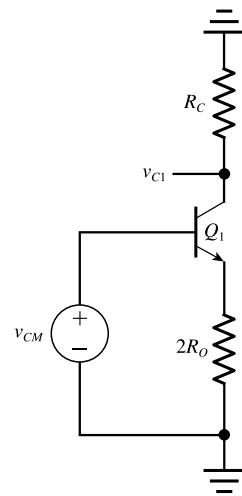
한다. 그래서 공통모드 입력신호에 대한 소신호 등가모델은 [그림 7-8(b)]와 같이 차동쌍의 이미터에 저항 $2R_O$ 가 포함된 것으로 볼 수 있다. Q_1 과 Q_2 가 정합되어 있으며 컬렉터 저항이 같으므로, [그림 7-8(b)]의 공통모드 소신호 등가모델에서 좌·우 회로는 동일한 특성을 갖는 대칭이다. 역시 [그림 7-8(c)]와 같은 반쪽 회로를 이용하여 공통모드의 동작특성을 해석할 수 있다.



(a) 공통모드 입력



(b) 공통모드 소신호 등가회로



(c) 공통모드 반쪽 회로

[그림 7-8] 공통모드 소신호 해석

[그림 7-8(c)]의 공통모드 반쪽 회로는 이미터 저항 $2R_O$ 를 갖는 공통 이미터 증폭기이므로, 4.3.2절에서 설명된 바와 같이 전압이득은 다음과 같다.

$$A_v = \frac{v_{c1}}{v_{CM}} = \frac{-\beta_o R_C}{r_\pi + 2(\beta_o + 1)R_O} \quad (7.21)$$

두 트랜지스터의 베이스에 공통모드 입력신호 v_{CM} 이 동일하게 인가되므로 $v_{c2} = v_{c1}$ 이 되며, 따라서 단일중단 출력에 대한 공통모드 이득은,

$$A_{cm} = \frac{v_{c1}}{v_{CM}} = \frac{-\beta_o R_C}{r_\pi + 2(\beta_o + 1)R_O} \simeq -\frac{\alpha R_C}{2R_O} \simeq \frac{-R_C}{2R_O} \quad (7.22)$$

여기서 $r_\pi \ll 2(\beta_o + 1)R_O$ 이므로 간략화하였으며, $\alpha = \beta_o / (\beta_o + 1) \simeq 1$ 이다.

식 (7.22)에서 차동 증폭기의 공통모드 이득은 정전류원의 출력저항 R_O 와 관련이 있음을 알 수 있다. 차동 증폭기의 기능상 공통모드 이득은 작을수록 바람직하므로, 정전류원의 출력저항 R_O 가 커야(즉, 이상적인 정전류원에 가까워야) 한다. $v_{c2} = v_{c1}$ 이므로 두 컬렉터 전압의 차로 출력전압이 얻어지는 경우, 공통모드 이득은 0이 된다.

공통모드 제거비

식 (7.19), 식 (7.20)과 식 (7.22)로부터, BJT 차동 증폭기의 공통모드 제거비는 다음과 같다.

$$\bullet \text{ 차동출력 : CMRR} = \left| \frac{A_{dm}}{A_{cm}} \right| = \frac{g_m R_C}{\frac{R_C}{2R_O}} = 2g_m R_O \quad (7.23a)$$

$$\bullet \text{ 단일중단출력 : CMRR} = \left| \frac{A_{dm}}{A_{cm}} \right| = \frac{\frac{g_m R_C}{2}}{\frac{R_C}{2R_O}} = g_m R_O \quad (7.23b)$$

CMRR은 BJT의 전달컨덕턴스 g_m 과 정전류원의 출력저항 R_O 의 곱으로 주어지며, $R_O \rightarrow \infty$ 이면 $A_{cm} \rightarrow \infty$ 가 되고 $\text{CMRR} \rightarrow \infty$ 가 된다. 따라서 차동 증폭기의 성능을 나타내는 CMRR을 크게 하기 위해서는 큰 출력저항을 갖는 정전류원 회로를 사용해야 한다.

공통모드 신호와 차동모드 신호가 함께 존재하는 경우

앞에서는 차동모드 신호만 존재하는 경우([그림 7-7]) 또는 공통모드 신호만 존재하는 경우([그림 7-8])를 해석하였다. 그러나 실제로는 공통모드 신호와 차동모드 신호가 혼재되어 있는 임

의의 신호가 인가되는 경우가 더 일반적이다. 임의의 입력신호 v_{I1} 과 v_{I2} 로부터 차동모드 입력 전압과 공통모드 입력전압은 각각 다음과 같이 표현할 수 있다.

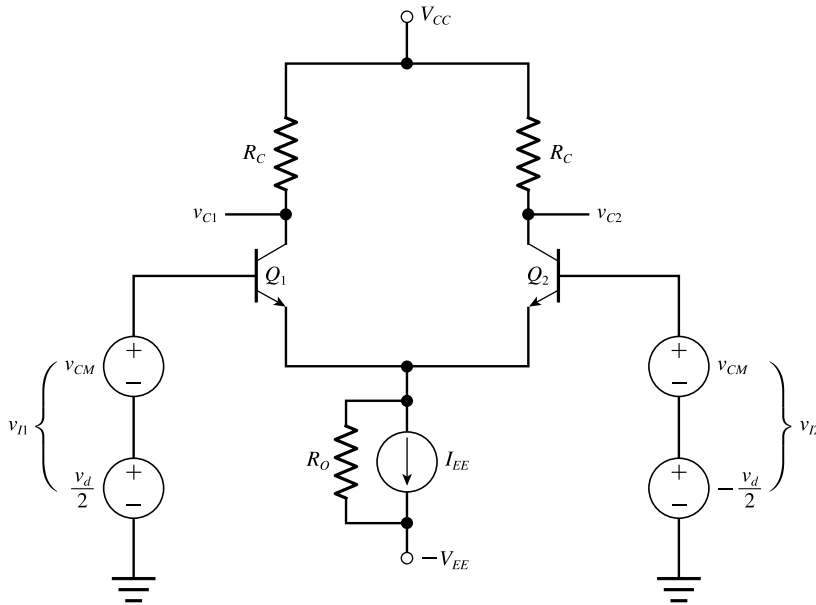
$$v_d = v_{I1} - v_{I2} \quad (7.24)$$

$$v_{CM} = \frac{v_{I1} + v_{I2}}{2} \quad (7.25)$$

식 (7.24)와 식 (7.25)로부터 차동 증폭기의 두 입력신호는 식 (7.26) 및 [그림 7-9]와 같이 공통모드 신호와 차동모드 신호로 분리하여 표시할 수 있다.

$$v_{I1} = v_{CM} + v_d/2 \quad (7.26a)$$

$$v_{I2} = v_{CM} - v_d/2 \quad (7.26b)$$



[그림 7-9] 차동 증폭기에 임의의 입력이 인가되는 경우

[그림 7-9]의 회로가 선형으로 동작하므로, 중첩의 정리를 적용하면 출력전압은,

$$v_{C1} = -A_{dm}v_{DM} + A_{cm}v_{CM} = -\frac{A_{dm}}{2} \left(v_d - \frac{v_{CM}}{\text{CMRR}} \right) \quad (7.27)$$

$$v_{C2} = A_{dm}v_{DM} + A_{cm}v_{CM} = \frac{A_{dm}}{2} \left(v_d + \frac{v_{CM}}{\text{CMRR}} \right) \quad (7.28)$$

여기서 $v_{DM}=v_d/2$ 이다. 차동출력의 경우 두 컬렉터 전압의 차는 식 (7.29)와 같다. 따라서 차동 증폭기는 두 입력전압의 차를 차동이득 A_{dm} 만큼 증폭하는 회로임을 확인할 수 있다.

$$v_o=v_{C2}-v_{C1}=A_{dm}v_d=A_{dm}(v_{I1}-v_{I2}) \quad (7.29)$$

예제 7-2

[그림 7-9]의 차동 증폭기에서 단일종단 출력전압 v_{C2} 에 대한 차동모드 이득 A_{dm} , 공통모드 이득 A_{cm} , 그리고 CMRR을 구하라. 단, BJT의 $\beta_{ol}=\beta_{o2}=100$ 이고, $r_{ol}=r_{o2}=\infty$ 로 가정한다. $R_C=15\text{ k}\Omega$ 이고, 정전류원의 전류는 $I_{EE}=0.6\text{ mA}$ 이며, 출력저항은 $R_O=50\text{ k}\Omega$ 이다. 전원전압은 $V_{CC}=V_{EE}=10\text{ V}$ 이다.

풀이

- ① 차동모드 이득 : BJT의 컬렉터 바이어스 전류는 $I_{CQ}=\frac{I_{EE}}{2}$ 이고, 전달컨덕턴스는 $g_m=\frac{I_{CQ}}{V_T}=\frac{I_{EE}}{2V_T}$
 $=11.5\text{ mA/V}$ 이므로, 이를 식 (7.20)에 대입하면,

$$A_{dm}=\frac{g_m R_C}{2}=\frac{11.54 \times 10^{-3} \times 15 \times 10^3}{2}=86.55\text{ V/V}$$

- ② 공통모드 이득 : $\alpha=\frac{\beta_o}{\beta_o+1}=\frac{100}{100+1}=0.99$ 이므로, 식 (7.22)로부터,

$$A_{cm}=-\frac{\alpha R_C}{2R_O}=-\frac{0.99 \times 15 \times 10^3}{2 \times 50 \times 10^3}=-0.15\text{ V/V}$$

- ③ CMRR : 식 (7.23)으로부터 $\text{CMRR}=\left|\frac{A_{dm}}{A_{cm}}\right|=\frac{86.55}{0.15}=577$ 이 되며, 데시벨로 표현하면 다음과 같다.

$$\text{CMRR}_{\text{dB}}=20\log_{10}(577)=55.22\text{ dB이다.}$$

응용 7-1

[예제 7-2]의 회로가 $A_{dm}=86.55$ 인 상태에서 $\text{CMRR}_{\text{dB}}=80\text{ dB}$ 이 되기 위해서는 정전류원의 출력저항이 얼마 이상 되어야 하는가?

[정답 : $R_O \geq 0.87\text{ M}\Omega$]

응용 7-2

[예제 7-2]의 회로에 대해 다음 입력에 대한 단일종단 출력전압 $v_o=v_{C2}$ 를 구하고, 두 출력전압이 차이가 나는 이유를 설명하라.

- ① $v_{I1}=0.01\sin\omega t\text{ mV}$, $v_{I2}=-0.01\sin\omega t\text{ mV}$ (즉, $v_d=0.02\sin\omega t\text{ mV}$ 이고, $v_{CM}=0$ 인 경우)
 ② $v_{I1}=0.12\sin\omega t\text{ mV}$, $v_{I2}=0.1\sin\omega t\text{ mV}$ (즉, $v_d=0.02\sin\omega t\text{ mV}$ 이고, $v_{CM}=0.11\sin\omega t\text{ mV}$ 인 경우)

[정답 : ① $v_o=0.866\text{ mV}$, ② $v_o=0.874\text{ mV}$, 이유는 공통모드 입력이 출력에 영향을 미치기 때문]

7.2.2 차동모드 및 공통모드 입력저항

7.2.1절에 의하면, 차동 증폭기는 두 입력전압의 차를 차동이득만큼 증폭하는 전압 증폭기라고 할 수 있다. 차동 증폭기의 입력저항은 신호원이나 이전 증폭단에 대해 부하로 작용한다. 차동 증폭기의 입력저항은 차동모드의 입력저항과 공통모드의 입력저항으로 구분되며, 이 중 차동 모드 입력저항이 중요한 파라미터이다.

차동모드 입력저항

차동모드 입력저항은 두 입력단자에서 증폭기를 들여다 본 등가저항(즉, 차동 입력전압 v_d 가 보는 저항)이다. [그림 7-7]의 (c)와 (d)의 차동모드 반쪽 회로에서 공통 이미터 증폭기의 입력저항은

$$R_i = \frac{v_d/2}{i_b} = r_\pi \quad (7.30)$$

이므로, 차동 증폭기의 차동모드 입력저항은 다음과 같다.

$$R_{idm} = \frac{v_d}{i_b} = 2r_\pi \quad (7.31)$$

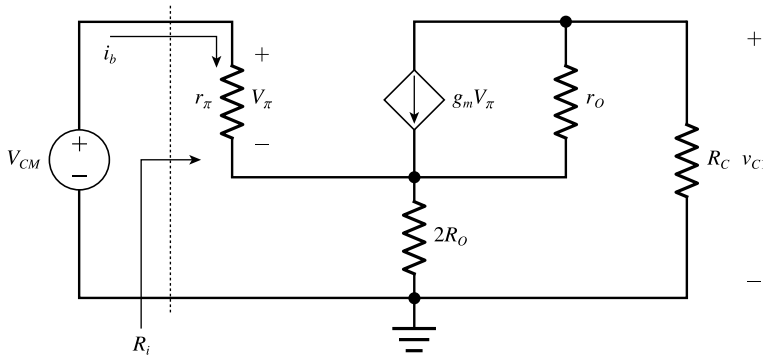
공통모드 입력저항

[그림 7-8(c)]의 공통모드 반쪽 회로에 대한 소신호 등가회로는 [그림 7-10]과 같다. 이미터 저항 $2R_o$ 를 갖는 공통 이미터 증폭기의 입력저항은 식 (7.32)로 주어진다(4.3.2절 참조).

$$R_i = \frac{v_{CM}}{i_b} = r_\pi + (\beta_o + 1)[(2R_o) \parallel r_o] \approx (\beta_o + 1)[(2R_o) \parallel r_o] \quad (7.32)$$

차동 증폭기의 공통모드 입력저항은 [그림 7-10]의 반쪽 회로 입력저항 R_i 의 병렬 합성저항이므로 식 (7.33)과 같이 표현된다. 통상 정전류원의 출력저항 R_o 는 큰 값을 가지므로, R_{icm} 은 수 $M\Omega$ 의 범위를 갖는다.

$$R_{icm} = \frac{R_i}{2} = (\beta_o + 1) \left(R_o \parallel \frac{r_o}{2} \right) \quad (7.33)$$



[그림 7-10] 공통모드 반쪽 회로의 소신호 등가회로

예제 7-3

[예제 7-2]의 회로에 대해 차동모드 입력저항과 공통모드 입력저항을 구하라. 단, $V_A = 100$ V를 제외한 다른 모든 조건은 [예제 7-2]와 동일하다.

풀이

① 차동모드 입력저항 : [예제 7-2]에서 $\beta_o = 100$ 이고 $g_m = 11.54$ mA/V이므로,

$$r_\pi = \frac{\beta_o}{g_m} = \frac{100}{11.54 \times 10^{-3}} = 8.67 \text{ k}\Omega \text{이다. 식 (7.31)에 의해,}$$

$$R_{i, dm} = 2r_\pi = 2 \times 8.67 \times 10^3 = 17.34 \text{ k}\Omega$$

② 공통모드 입력저항 : BJT의 출력저항은 $r_o = \frac{V_A}{I_{CQ}} = \frac{V_A}{I_{EE}/2} = \frac{100}{0.3 \times 10^{-3}} = 333.33 \text{ k}\Omega$ 이다.

식 (7.33)에 의해,

$$R_{i, cm} = (\beta_o + 1) \left(R_O \parallel \frac{r_o}{2} \right) = (100 + 1) (50 \parallel 166.67) \times 10^3 = 3.88 \text{ M}\Omega$$

7.2.3 능동부하를 갖는 BJT 차동 증폭기

7.2.1절의 식 (7.19)와 식 (7.20)에 의하면, 차동 증폭기의 차동모드 이득은 컬렉터 저항 R_C 에 비례하므로 차동모드 이득을 크게 하기 위해서는 컬렉터 저항 R_C 가 커야 하는데, 집적회로(IC)에서 큰 저항값을 구현하려면 많은 칩 면적이 소요되어 비효율적이다. 따라서 일반적으로 트랜지스터를 이용한 능동부하(active load)가 사용된다. 능동부하는 일정한 전류를 공급하는 정전류원 형태로 구현되며, 정전류원의 큰 출력저항을 부하저항으로 사용한다.

[그림 7-11]은 컬렉터 저항 R_C 대신 능동부하를 사용한 BJT 차동 증폭기 회로이다. 트랜지스터 Q_1, Q_2 는 차동쌍을 구성하며, 트랜지스터 Q_3, Q_4 는 전류거울(current mirror) 형태의 능동부하로서 차동쌍의 부하로 작용한다. Q_2 와 Q_4 의 컬렉터 접점에서 단일종단 출력을 얻는다. BJT를 이용한 전류거울 및 정전류원 회로는 7.2.5절에서 설명하겠다.

해석의 편의를 위해 모든 트랜지스터들이 정합되어 있다고 가정하며, 모든 트랜지스터의 β_o 는 동일하고 $\beta_o \gg 1$ 이라고 가정한다. 먼저 차동쌍의 두 입력전압이 0(즉, $v_d=0$)인 경우를 살펴본다. 정전류원의 전류 I_{EE} 는 차동쌍 Q_1 과 Q_2 에 1/2씩 분배되어 흐르므로, 다이오드 결선행태의 Q_3 에도 $I_{EE}/2$ 의 전류가 흐른다. 트랜지스터 Q_3, Q_4 는 전류거울 회로이므로(7.2.5절 참조) Q_4 의 이미터에도 $I_{EE}/2$ 의 전류가 흐르며, 이 전류는 Q_2 의 컬렉터 전류가 된다. 따라서 차동 증폭기의 출력(즉, Q_2 와 Q_4 의 컬렉터 접점)에서 외부로 흐르는 전류는 0이 된다.

차동모드 입력 v_d 가 인가되는 경우 [그림 7-7(d)]의 차동모드 반쪽 회로의 소신호 등가회로를 참조하면 Q_1 과 Q_2 의 컬렉터 전류는 각각 다음과 같으며,

$$i_{C1} = g_m(v_d/2) = i_{E4} \quad (7.34a)$$

$$i_{C2} = g_m(-v_d/2) \quad (7.34b)$$

Q_3 와 Q_4 는 전류거울 회로이므로 $i_{E4} = i_{C1}$ 이 된다. 이들 전류의 방향은 [그림 7-11]에 표시된 것과 같다. 따라서 차동 증폭기의 출력노드에서 부하로 흐르는 전류는 다음과 같다.

$$i_o = i_{E4} - i_{C2} = g_m v_d \quad (7.35)$$

능동부하로 사용되고 있는 전류거울 회로는 Q_1 의 컬렉터 전류 i_{C1} 을 복사하여 Q_4 의 이미터 전류 i_{E4} 로 만들며, 이 전류는 Q_2 의 컬렉터 전류 i_{C2} 와 합해져서 출력전류 i_o 가 된다. 이는 차동모드 이득이 커지게 만든다. 만약 전류거울 회로가 사용되지 않고 단순한 정전류원이 능동부하로 사용된다면 출력전류는 $i_o = i_{C2} = g_m v_d/2$ 가 되어 차동모드 이득이 작아지게 된다.

출력노드에 연결된 부하저항이 매우 크다고 가정하면, 차동 증폭기의 출력전압은

$$v_o = g_m v_d R_{out} \quad (7.36)$$

이 된다. 여기서 R_{out} 은 차동 증폭기의 출력저항을 나타낸다. 출력노드에 연결된 부하저항 R_L 을 고려하는 경우에는 식 (7.36)의 R_{out} 을 $R_{out} \parallel R_L$ 로 바꾸면 된다. 출력노드에 Q_2 와 Q_4 가 병렬로 연결되어 있으므로, R_{out} 은 다음과 같다.

$$R_{out} = r_{o2} \parallel r_{o4} \quad (7.37)$$

식 (7.37)을 식 (7.36)에 대입하면,

$$v_o = g_m v_d (r_{o2} \parallel r_{o4}) = \frac{g_m r_o}{2} v_d \quad (7.38)$$

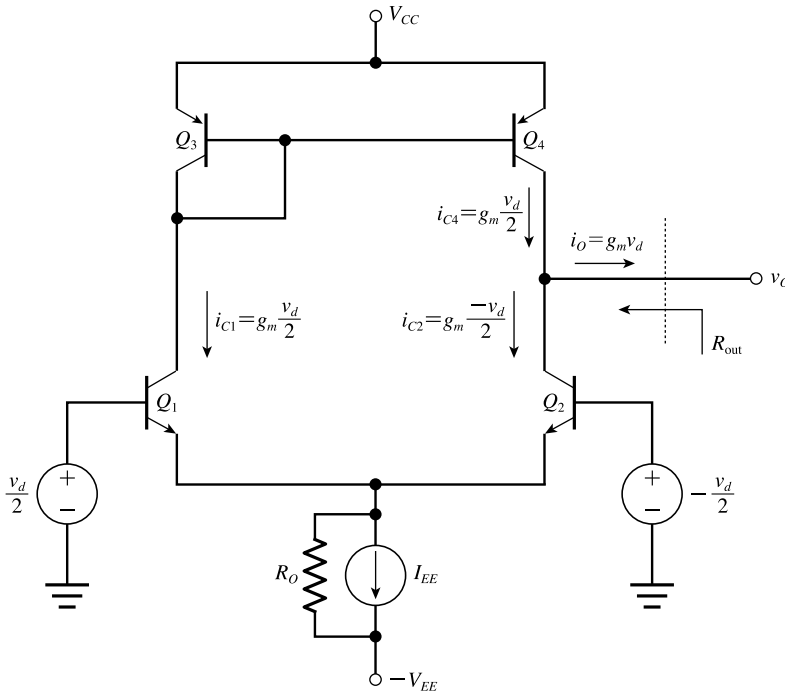
여기서 $r_{o4} = r_{o2}$ 라고 가정하였다. 따라서 차동모드 이득은 다음과 같다.

$$A_{dm} = \frac{v_o}{v_d} = g_m \frac{r_o}{2} \quad (7.39)$$

트랜지스터의 소신호 파라미터에 대해 $g_m = I_{CQ}/V_T$, $r_o = V_A/I_{CQ}$ 와 바이어스 전류 $I_{CQ} = I_{EE}/2$ 를 식 (7.39)에 대입하면 차동모드 이득은 다음과 같다.

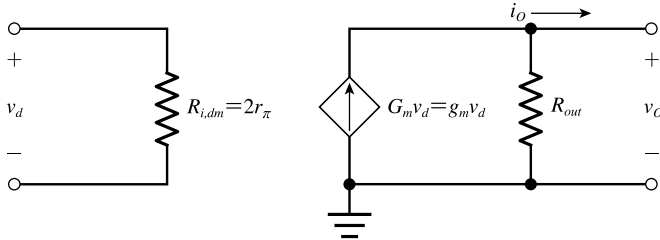
$$A_{dm} = \frac{V_A}{2V_T} \quad (7.40)$$

여기서 V_A 는 BJT의 얼리 전압(Early voltage)이고, V_T 는 열전압이다. 따라서 능동부하를 갖는 차동 증폭기의 차동모드 이득은 주어진 트랜지스터에 대해 고정된 값을 갖는다.



[그림 7-11] 능동부하를 갖는 차동 증폭기

지금까지의 소신호 해석결과로부터, 차동 증폭기의 소신호 등가모델을 [그림 7-12]와 같이 나타낼 수 있다. $R_{i,dm}$ 은 식 (7.31)이 나타내는 차동모드 입력저항이고, R_{out} 은 식 (7.37)이 나타내는 출력저항이다. $G_m = g_m$ 은 식 (7.39)가 나타내는 차동모드 전달컨덕턴스이다.



[그림 7-12] 차동 증폭기의 소신호 등가모델

식 (7.39)보다 더 큰 차동이득을 얻기 위해서 7.2.5절에서 설명할 윌슨(Wilson) 정전류원 또는 위들러(Widlar) 정전류원 회로를 능동부하로 사용할 수 있다. 또한 차동쌍의 출력저항을 크게 만들기 위해 7.2.4절에서 설명할 캐스코드(cascode) 구조의 차동쌍이 사용될 수 있다.

응용 7-3

[그림 7-11]의 능동부하를 갖는 차동 증폭기 회로의 차동모드 이득을 구하라. 단, Q_2 와 Q_4 의 얼리 전압은 $V_A = 100 \text{ V}$ 이다.

[정답 : $A_{dm} = 1,923 \text{ V/V}$]

7.2.4 캐스코드 차동 증폭기

캐스코드는 공통 이미터-공통 베이스의 연결을 갖는 다단 증폭기 구조이며, 공통 이미터 증폭기에 비해 주파수 응답특성이 우수하다는 장점을 갖는다(8.5.2절 참조). 차동쌍을 [그림 7-13(a)]와 같이 캐스코드 구조로 구현하면, 차동 증폭기의 출력저항이 커져 차동모드 이득을 크게 만들 수 있다. Q_3 과 Q_4 의 베이스에는 DC 바이어스 전압 V_{BIAS} 가 공급되고 있으므로, Q_3 과 Q_4 는 공통 베이스 구조이다. 7.2.1절에서 설명한 바와 같이 차동쌍 Q_1 , Q_2 의 반쪽 회로는 공통 이미터 증폭기이므로, Q_1-Q_3 과 Q_2-Q_4 는 각각 공통 이미터-공통 베이스 연결의 캐스코드 구조를 이루고 있다. Q_3 와 Q_4 의 컬렉터에는 능동부하가 연결된다.

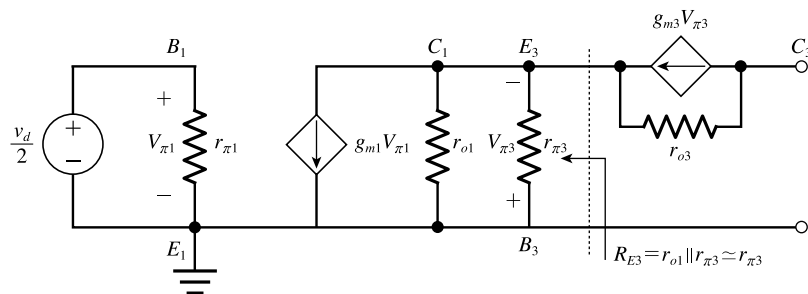
[그림 7-13(b)]는 캐스코드 차동 증폭기의 반쪽 회로이며, DC 바이어스는 접지로 표시하였다. 공통 베이스 구조의 Q_3 는 매우 작은 입력저항 r_{e3} 을 가지며, 전류이득이 $\alpha \approx 1$ 인 전류 버퍼

$$i_{C3}=ai_{C1}=ag_m \frac{v_d}{2} \quad (7.41)$$

캐스코드 차동 증폭기의 출력저항 R_{out} 은 이미터 등가저항 R_{E3} 을 갖는 Q_3 의 컬렉터 저항이다. [그림 7-13(c)]의 반쪽 회로에 대한 소신호 등가회로로부터, Q_3 의 이미터와 접지 사이의 등가 저항 R_{E3} 은 식 (7.42)와 같다.

The figure consists of two circuit diagrams. The left diagram shows a Wilson current source circuit. It has a load resistor R_O connected to the output node, which is also connected to a current source I_{EE} pointing downwards to $-V_{EE}$. The input is v_d . The circuit includes four transistors Q_1, Q_2, Q_3, Q_4 and a bias voltage V_{BIAS} . A label '능동부하' (Active Load) is present. The right diagram shows the equivalent circuit for calculating the output resistance R_{out} . It features a test voltage source v_d in series with a dependent current source $g_m \frac{v_d}{2}$ and a resistor R_{out} . The output resistance R_{out} is indicated by a dashed line. A label '능동부하' (Active Load) is also present.

(b) 반쪽 회로



[그림 7-13] BJT 캐스코드 차동 증폭기

출력저항 R_{out} 은 이미터 등가저항 $R_{E3} \simeq r_{\pi3}$ 을 갖는 공통 베이스 증폭기의 출력저항이므로, 다음과 같다.

$$\begin{aligned} R_{out} &= R_{E3} + r_{o3}(1 + g_{m3}R_{E3}) \\ &= r_{\pi3} + r_{o3}(1 + g_{m3}r_{\pi3}) \simeq r_{o3}(1 + \beta_{o3}) \end{aligned} \quad (7.43)$$

따라서 캐스코드 차동 증폭기의 출력저항은 [그림 7-11]의 차동 증폭기와 비교하여 근사적으로 $(\beta_{o3} + 1)$ 배 증가함을 알 수 있다.

7.2.5 BJT 정전류원 회로

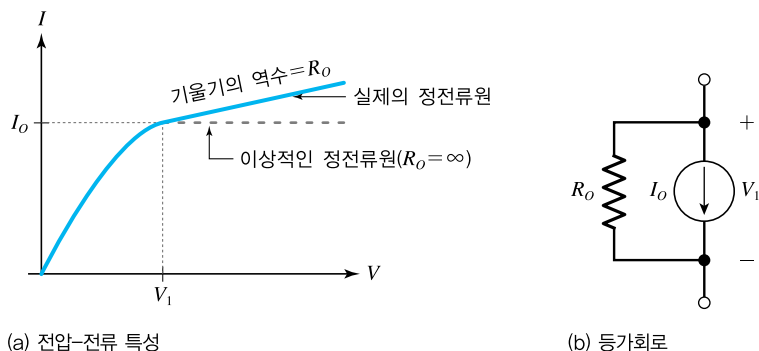
[그림 7-1]의 차동 증폭기가 선형영역에서 동작하기 위해서는 트랜지스터 Q_1 , Q_2 에 적당한 DC 바이어스 전류가 공급되어야 한다. 3장에서 설명한 BJT 바이어스 방법들은 트랜지스터당 1~2개의 저항이 필요하고, 다단 증폭기의 구현을 위해서는 결합(coupling) 및 바이패스(bypass) 커패시터가 필요하다. 일반적으로 집적회로(IC)에서 저항과 커패시터는 트랜지스터에 비해 큰 칩 면적이 필요하므로, IC 증폭기를 위한 바이어스 방법으로 적합하지 않다.

IC 증폭기에서는 트랜지스터를 이용한 정전류원(constant-current source) 바이어스가 일반적으로 사용된다. 정전류원은 양단의 전압변동과 무관하게 항상 일정한 전류를 공급(또는 흡수)하는 회로이다. 선형영역에서 동작하는 BJT에 베이스 전류가 일정한 값으로 고정되면, v_{CE} 전압의 변화에 대해 거의 일정한 컬렉터 전류가 흐르므로 제한된 전압범위에서 정전류원으로 사용될 수 있다. 또한 포화영역에서 동작하는 MOSFET에 게이트 전압이 일정한 값으로 고정되면, v_{DS} 전압의 변화에 대해 거의 일정한 드레인 전류가 흐르므로 역시 제한된 전압범위에서 정전류원으로 사용될 수 있다. 트랜지스터는 저항이나 커패시터에 비해 작은 칩 면적으로 만들 수 있어 경제적이며, 소자의 특성 정합이 용이하다는 장점을 갖는다. 또 다단 증폭기에 정전류원 바이어스를 사용하면, 직접 결합(direct-coupled)으로 구현할 수 있어 결합 및 바이패스 커패시터가 필요 없으며 DC를 증폭할 수 있다는 장점을 가지므로, IC 증폭기에서는 트랜지스터를 이용한 정전류원 바이어스 회로가 보편적으로 사용된다. 정전류원 회로는 큰 출력저항을 가지므로 부하저항 대신에 능동부하로도 사용되어, 작은 칩 면적으로 큰 전압이득을 얻을 수 있다.

[그림 7-14(a)]는 정전류원의 전압-전류 특성을 보여준다. 이상적인 정전류원은 [그림 7-14(a)]의 점선과 같이 전압의 변동에 무관한 일정한 출력전류를 가지며, 따라서 출력저항이 $R_o = \infty$ 이다. 그러나 실제 정전류원 회로는 [그림 7-14(a)]의 실선과 같이 전압이 증가함에 따라 출력전류가 약간 증가하게 되며, 따라서 유한한 출력저항을 갖는다. [그림 7-14(b)]는 정전

류원 회로의 등가회로를 보이고 있으며, 출력저항 R_o 는 [그림 7-14(a)]의 실선 특성 곡선에서 기울기의 역수로 정의된다.

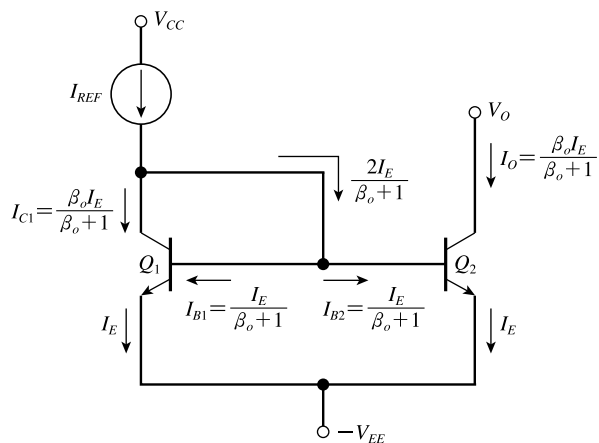
차동 증폭기에 바이어스 전류를 공급하는 BJT 정전류원 회로에 대해 살펴보자.



[그림 7-14] BJT 정전류원의 전압-전류 특성 및 등가회로

전류거울 회로

[그림 7-15]는 정전류원으로 사용되는 전류거울(current mirror)의 기본회로이다. 트랜지스터 Q_1 , Q_2 는 정합된 소자이며, Q_1 은 컬렉터가 베이스로 연결되어 등가적으로 다이오드와 같이 동작한다. Q_1 과 Q_2 의 베이스가 서로 연결되고 또한 이미터도 서로 연결되어 있으므로, 두 트랜지스터는 동일한 베이스-이미터 전압 V_{BE} 를 갖는다. Q_1 의 컬렉터에는 기준전류 I_{REF} 가 공급되며, Q_2 의 컬렉터 전류가 전류거울 회로의 출력전류 I_o 이다.



[그림 7-15] 전류거울 회로

트랜지스터 Q_1 과 Q_2 가 정합된 소자(즉, $\beta_{o1}=\beta_{o2}\equiv\beta_o$)이고 베이스-이미터 전압이 $V_{BE1}=V_{BE2}\equiv V_{BE}$ 로 같으므로 두 트랜지스터의 이미터 전류는 $I_{E1}=I_{E2}\equiv I_E$ 이며, 따라서 두 트랜지스터의 베이스 전류도 $I_{B1}=I_{B2}=I_E/(\beta_o+1)$ 로 같다. [그림 7-15]에 나타난 것처럼 Q_1 의 컬렉터 전류는 다음과 같고,

$$I_{C1}=\frac{\beta_o}{\beta_o+1}I_E \quad (7.44)$$

기준전류는 다음과 같다.

$$I_{REF}=I_{C1}+I_{B1}+I_{B2}=\frac{\beta_o}{\beta_o+1}I_E+\frac{2}{\beta_o+1}I_E=\frac{\beta_o+2}{\beta_o+1}I_E \quad (7.45)$$

그리고 출력전류는,

$$I_O=I_{C2}=\frac{\beta_o}{\beta_o+1}I_E \quad (7.46)$$

따라서 전류거울 회로의 전류이득은 다음과 같다.

$$\frac{I_O}{I_{REF}}=\frac{\beta_o}{\beta_o+2}=\frac{1}{1+2/\beta_o}\simeq 1 \quad (7.47)$$

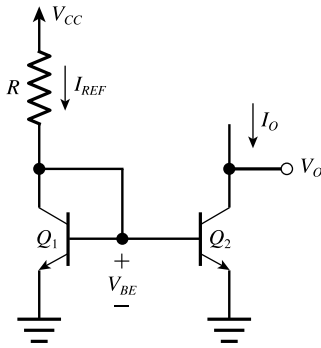
$\beta_o\gg 2$ 이면 $I_O\simeq I_{REF}$ 가 되고, $\beta_o=100$ 인 경우 2%의 오차를 갖는다. 식 (7.47)이 나타내는 바와 같이, 기준전류와 동일한 출력전류를 얻으므로 전류거울 회로라고 한다. 이 회로에서 Q_2 는 항상 선형영역에서 동작해야 하므로, Q_2 의 컬렉터 전압이 베이스 전압보다 크게 유지되어야 한다. 이를 위해 전류거울의 출력전류 I_O 를 공급받는 회로(즉, Q_2 의 컬렉터에 연결되는 회로)는 Q_2 의 컬렉터 전압을 베이스 전압보다 크게 유지시켜야 한다. 그렇지 않으면 Q_2 가 선형영역에서 동작하지 않으므로 식 (7.47)을 만족하지 못하고, 따라서 전류거울로 동작하지 못한다.

트랜지스터 Q_2 의 열리 전압이 무한대가 아닌 경우에는 Q_2 의 컬렉터 전압 V_O 가 증가할수록 출력전류 I_O 가 증가하게 된다. 출력전류 I_O 의 V_O 에 대한 의존성은 Q_2 의 컬렉터 저항 r_o 로 나타나며, 따라서 전류거울의 출력저항은 r_o 가 된다. 전류거울은 회로에 일정한 바이어스 전류를 공급하는 정전류원 뿐만 아니라 출력저항 r_o 를 부하로 이용하는 능동부하로도 사용된다(7.2.3절 참조).

[그림 7-16]은 전류거울 회로의 예이다. 기준전류는 저항 R 과 전원전압에 의해 다음과 같이 결정된다.

$$I_{REF}=\frac{V_{CC}-V_{BE}}{R} \quad (7.48)$$

$\beta_o \gg 1$ 이고 I_O 의 V_O 에 대한 의존성을 무시하면 $I_O = I_{REF}$ 가 되며, $V_O \geq V_{BE2}$ 의 조건을 만족하면 Q_2 가 선형영역에서 동작하여 정전류원으로 동작한다.



[그림 7-16] 전류거울 회로의 예

예제 7-4

[그림 7-16]의 회로에서 $I_O = 0.2 \text{ mA}$ 가 되도록 저항 R 의 값을 결정하라. 단, $r_o = \infty$, $\beta_o = 100$, $V_{BE} \approx 0.7 \text{ V}$ 이며, $V_{CC} = 10 \text{ V}$ 이다.

풀이

$r_o = \infty$ 이고 $\beta_o = 100$ 이므로, $I_O \approx I_{REF}$ 이다. 따라서 식 (7.48)로부터,

$$R = \frac{V_{CC} - V_{BE}}{I_{REF}} = \frac{10 - 0.7}{0.2 \times 10^{-3}} = 46.5 \text{ k}\Omega$$

응용 7-4

[그림 7-16]의 회로에서 Q_2 의 베이스-컬렉터 전압이 $V_{CB} < 0.5 \text{ V}$ 이면 Q_2 가 포화영역으로 넘어간다. 이 회로가 정전류원으로 동작할 수 있는 컬렉터 전압의 최솟값은 얼마인가? 단, $V_{BE} \approx 0.7 \text{ V}$ 이다.

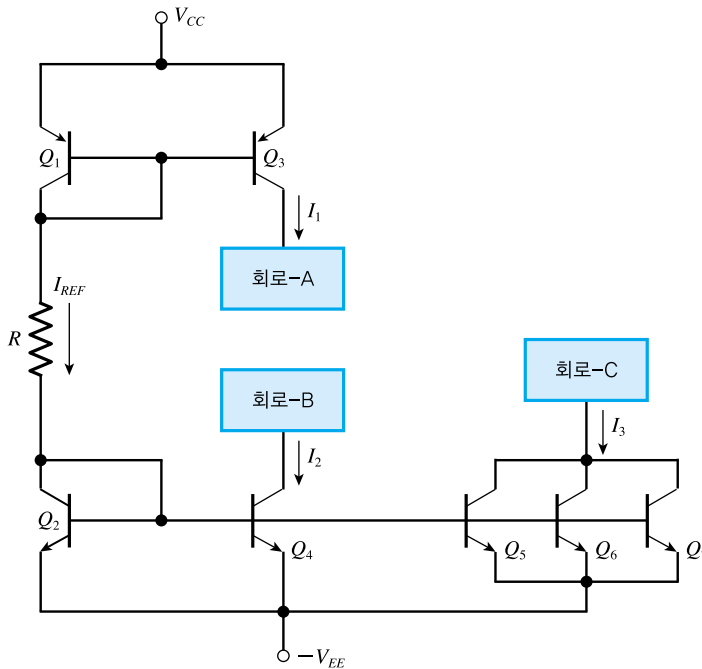
[정답 : 1.2 V]

다중 출력 전류거울 회로

연산 증폭기와 같이 IC 내부회로의 여러 곳에서 정전류 바이어스를 필요로 하는 경우에는 [그림 7-17]과 같은 다중 출력 전류거울 회로를 사용한다. 기준전류는 식 (7.49)와 같이 저항 R 과 전원전압에 의해 결정된다.

$$I_{REF} = \frac{V_{CC} + V_{EE} - (V_{BE1} + V_{BE2})}{R} \quad (7.49)$$

모든 트랜지스터들의 전류이득이 β_o 로 같고 $\beta_o \gg 1$ 이라고 가정하면, Q_1 과 Q_3 그리고 Q_2 와 Q_4 가 각각 전류거울로 동작하므로, 출력전류는 $I_1 = I_2 = I_{REF}$ 가 되어 정전류가 얻어진다. [그림 7-17]에서 보는 바와 같이 전류거울 $Q_1 - Q_3$ 은 PNP 트랜지스터로 구성되므로, Q_3 의 컬렉터에 연결되는 회로-A에 정전류를 공급하는 전류원(current source) 역할을 한다. 반면에 NPN 트랜지스터로 구성된 전류거울 $Q_2 - Q_4$ 는 Q_4 의 컬렉터에 연결되는 회로-B로부터 정전류를 흡수하는 전류싱크(current sink) 역할을 한다. $Q_1 - Q_3$ 전류거울이 정전류원으로 동작하기 위해서는 $V_{C3} \leq V_{CC} - V_{BE3}$ 를 만족해야 하며, $Q_2 - Q_4$ 전류거울은 $V_{C4} \geq -V_{EE} + V_{BE4}$ 를 만족해야 한다. 이들 조건은 전류거울에 연결되는 회로-A와 회로-B의 전압조건을 나타낸다. $Q_2 - (Q_5, Q_6, Q_7)$ 도 전류거울을 구성하고 있으며, 동일한 BJT 3개가 병렬로 연결되어 있는 (Q_5, Q_6, Q_7)은 $I_3 = 3I_{REF}$ 의 정전류를 회로-C로부터 흡수하는 전류싱크로 동작한다.



[그림 7-17] 다중 출력 전류거울 회로

베이스 전류 보상을 갖는 전류거울 회로

[그림 7-15]의 전류거울 회로에서 Q_1, Q_2 의 베이스 전류 $I_{B1} + I_{B2} = 2I_E / (\beta_o + 1)$ 는 기준전류 I_{REF} 로부터 공급되어야 하므로, 식 (7.46)이 나타내는 바와 같이 출력전류 I_O 가 Q_1, Q_2 의 β_o 에 의존성을 갖는다. 이상적인 전류거울 특성인 $I_O = I_{REF}$ 를 얻기 위해서는 Q_1, Q_2 의 β_o 가 매우 커야 하지만, 실제 구현에는 한계가 있다. 이를 회로적인 방법으로 해결하기 위해 [그림 7-18]과 같이 트랜지스터 Q_3 를 추가하여 Q_1, Q_2 의 베이스 전류를 보상할 수 있다. Q_3 의 전류이득을 β_{o3} 이라고 하면, Q_3 의 베이스 전류는 다음과 같다.

$$I_{B3} = \frac{I_{E3}}{\beta_{o3} + 1} = \frac{I_{B1} + I_{B2}}{\beta_{o3} + 1} \quad (7.50)$$

$\beta_{o1} = \beta_{o2} \equiv \beta_o$ 이고 $V_{BE1} = V_{BE2} \equiv V_{BE}$ 이므로, 이미터 전류는 $I_{E1} = I_{E2} \equiv I_E$ 이며 따라서 베이스 전류도 $I_{B1} = I_{B2} = I_E / (\beta_o + 1)$ 이다. 이 조건을 식 (7.50)에 적용한 후, 기준전류를 구하면 다음과 같다.

$$\begin{aligned} I_{REF} = I_{C1} + I_{B3} &= \frac{\beta_o}{\beta_o + 1} I_E + \frac{2}{(\beta_{o3} + 1)(\beta_o + 1)} I_E \\ &= \frac{\beta_o I_E}{\beta_o + 1} \left[1 + \frac{2}{\beta_o (\beta_{o3} + 1)} \right] \end{aligned} \quad (7.51)$$

식 (7.46)에 의해 $I_O = I_{C2} = \beta_o I_E / (\beta_o + 1)$ 이므로, 식 (7.51)로부터 전류거울 회로의 출력전류는 다음과 같다.

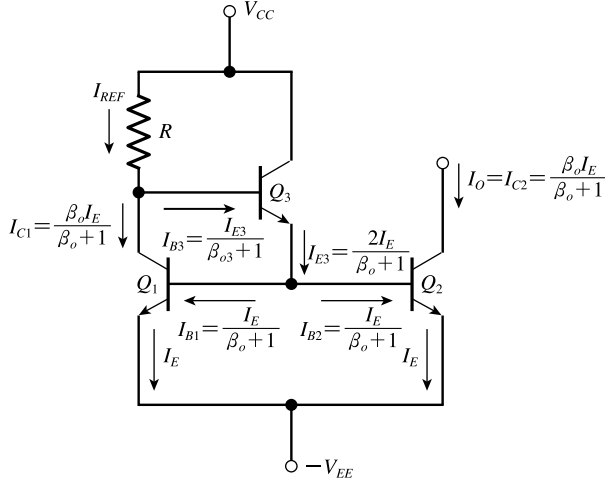
$$I_O = \frac{I_{REF}}{1 + \frac{2}{\beta_o (\beta_{o3} + 1)}} \simeq I_{REF} \quad (7.52)$$

따라서 [그림 7-18] 회로의 전류이득은,

$$\frac{I_O}{I_{REF}} = \frac{1}{1 + \frac{2}{\beta_o (\beta_{o3} + 1)}} \simeq 1 \quad (7.53)$$

Q_3 이 없는 경우인 [그림 7-15] 회로의 출력전류 식 (7.47)과 비교하면, Q_1, Q_2 의 β_o 가 출력전류 I_O 에 미치는 영향이 $2/\beta_o$ 에서 $2/[\beta_o (\beta_{o3} + 1)]$ 로 매우 작아졌음을 확인할 수 있다. [그림 7-18] 회로의 기준전류는 다음과 같이 결정된다.

$$I_{REF} = \frac{V_{CC} + V_{EE} - (V_{BE1} + V_{BE3})}{R} \quad (7.54)$$



[그림 7-18] 베이스 전류 보상을 갖는 전류거울 회로

예제 7-5

[그림 7-16] 회로와 [그림 7-18] 회로의 전류이득 I_O/I_{REF} 를 비교하라. 모든 트랜지스터들은 $V_{BE}=0.7\text{ V}$, $\beta_o=100$ 이고 $R=5\text{ k}\Omega$, $V_{CC}=10\text{ V}$, $V_{EE}=0\text{ V}$ 이다.

풀이

① [그림 7-16]의 전류거울 회로 : 식 (7.47)로부터,

$$\frac{I_O}{I_{REF}} = \frac{\beta_o}{\beta_o + 2} = \frac{100}{100 + 2} = 0.98$$

② [그림 7-18]의 전류거울 회로 : 식 (7.53)으로부터,

$$\frac{I_O}{I_{REF}} = \frac{1}{1 + \frac{2}{\beta_o(\beta_{o3} + 1)}} = \frac{1}{1 + \frac{2}{100 \times 101}} = 0.9998 \approx 1$$

따라서 [그림 7-18]의 회로가 [그림 7-16]의 회로에 비해 기준전류와 출력전류 사이의 오차가 작다.

응용 7-5

[그림 7-18]의 회로에서 $I_O=0.2\text{ mA}$ 가 되도록 저항 R 의 값을 결정하라. 모든 트랜지스터는 $r_o=\infty$, $\beta_o=100$, $V_{BE}\approx 0.7\text{ V}$ 이며 $V_{CC}=10\text{ V}$, $V_{EE}=0\text{ V}$ 이다.

[정답 : $R=43\text{ k}\Omega$]

윌슨 전류거울 회로

[그림 7-18] 회로와 유사하게 트랜지스터의 β_o 가 정전류원의 출력전류에 미치는 영향을 최소화하기 위한 또 다른 방법으로, [그림 7-19]의 윌슨(Wilson) 전류거울 회로가 사용된다. [그림 7-19] 회로에서 모든 트랜지스터의 전류이득이 같다고($\beta_{o1}=\beta_{o2}=\beta_{o3}\equiv\beta_o$) 가정하면, $I_{B1}=I_{B2}$ 이므로 Q_3 의 이미터 전류와 컬렉터 전류는 각각 다음과 같다.

$$I_{E3}=I_{C2}+2I_{B2}=I_{C2}+\frac{2I_{C2}}{\beta_o}=\left(\frac{\beta_o+2}{\beta_o}\right)I_{C2} \quad (7.55)$$

$$I_{C3}=\frac{\beta_o}{\beta_o+1}I_{E3}=\left(\frac{\beta_o+2}{\beta_o+1}\right)I_{C2} \quad (7.56)$$

기준전류 I_{REF} 는 Q_1 의 컬렉터 전류와 Q_3 의 베이스 전류의 합이므로,

$$I_{REF}=I_{C1}+I_{B3}=I_{C2}+\frac{I_{C3}}{\beta_o} \quad (7.57)$$

$I_{C1}=I_{C2}$ 가 적용되었다. 식 (7.56)에서 I_{C2} 를 구하여 식 (7.57)에 대입하면,

$$I_{REF}=\frac{\beta_o+1}{\beta_o+2}I_{C3}+\frac{I_{C3}}{\beta_o}=\left[1+\frac{2}{\beta_o(\beta_o+2)}\right]I_{C3} \quad (7.58)$$

따라서 전류거울 회로의 출력전류는 다음과 같다.

$$I_O=I_{C3}=\frac{I_{REF}}{\left[1+\frac{2}{\beta_o(\beta_o+2)}\right]} \quad (7.59)$$

식 (7.59)로부터, 전류거울 회로의 전류이득은 다음과 같다.

$$\frac{I_O}{I_{REF}}=\frac{1}{\left[1+\frac{2}{\beta_o(\beta_o+2)}\right]}\simeq 1 \quad (7.60)$$

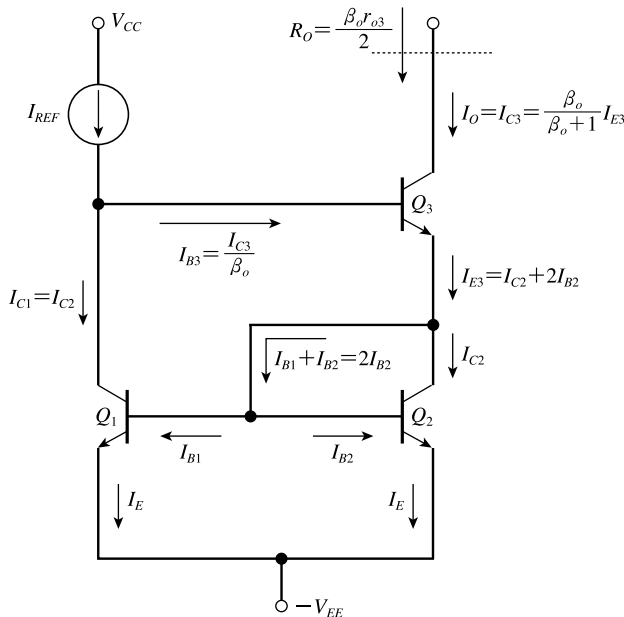
식 (7.60)은 [그림 7-18]의 전류거울 회로의 출력전류인 식 (7.53)과 유사한 형태를 가지며, 따라서 트랜지스터의 β_o 가 출력전류 I_O 에 미치는 영향이 매우 작다. 그러나 [그림 7-15]의 전류거울에 비해 출력전압의 범위가 좁다는 단점을 갖는다. 이 회로는 Q_3 의 컬렉터 전압이 $V_{C3}\geq V_{CE3,sat}+V_{BE1}-V_{EE}$ 를 만족해야 선형영역에서 동작할 수 있다.

[그림 7-19] 회로의 출력저항은 식 (7.61)과 같다(유도 과정은 연습문제를 통해 학습하기 바란다).

$$R_O\simeq\frac{\beta_o r_{o3}}{2} \quad (7.61)$$

[그림 7-15]의 전류거울 기본회로의 출력저항 r_o 에 비해 $\beta_o/2$ 배만큼 큰 출력저항을 가지는데, 이는 다이오드 연결구조의 Q_2 가 Q_3 의 이미터 저항으로 작용하기 때문이다. 정전류원의 출력저항은 다음과 같은 요인에 의해 큰 값을 가질수록 좋다.

- 출력저항이 무한대에 가까울수록 이상적인 정전류원 특성에 가까워진다.
- 7.2.1절의 식 (7.22)와 식 (7.23)에서 보는 바와 같이, 정전류원의 출력저항 R_O 가 클수록 공통모드 이득이 작아지고, CMRR이 커져서 차동 증폭기의 성능이 좋아진다.
- 7.2.4절에서 설명한 바와 같이, 정전류원은 차동 증폭기의 능동부하로 사용되므로 정전류원의 출력저항이 클수록 차동모드 이득이 커진다.



[그림 7-19] 윌슨 전류거울 회로

위들러 정전류원 회로

앞에서 설명된 정전류원 회로들은 기준전류 I_{REF} 를 생성하기 위해 비교적 큰 저항값을 필요로 한다. 예를 들어 [예제 7-4]에서 살펴보았듯이, [그림 7-16]의 회로에서 기준전류 $I_{REF} = 0.2$ mA를 생성하는 데 저항 $R = 46.5$ k Ω 이 사용되어야 한다. IC에서는 큰 저항값을 만들기 위해 많은 칩 면적을 필요로 하며, 큰 저항값을 정밀하게 만드는 것도 어렵다.

작은 저항값을 이용하여 기준전류를 생성하기 위해 [그림 7-20]의 위들러(Widlar) 정전류원 회로를 사용한다. [그림 7-15]의 전류거울 회로와 비교해 보면, Q_2 의 이미터에 저항 R_E 가 추가되었으며 이에 의해 $V_{BE2} < V_{BE1}$ 가 되고 따라서 Q_2 의 컬렉터 전류(즉, 전류거울의 출력전류)가 기준전류 I_{REF} 보다 작아지게 된다. $I_O < I_{REF}$ 이므로, 전류거울 회로라고 하지 않고 정전류원 회로라고 한다.

위들러 정전류원 회로의 저항 R_E 와 기준전류 I_{REF} 및 출력전류 I_O 의 관계를 해석해 보자. 정합된 트랜지스터 Q_1, Q_2 의 전류이득이 $\beta_o \gg 1$ 이면 베이스 전류를 무시할 수 있으므로, 기준전류 I_{REF} 는 I_{C1} 과 같으며 전압 V_{BE1} 과 다음 관계를 갖는다.

$$I_{REF} \simeq I_{C1} = I_S e^{V_{BE1}/V_T} \quad (7.62)$$

또 출력전류와 전압 V_{BE2} 의 관계는 다음과 같다.

$$I_O = I_{C2} = I_S e^{V_{BE2}/V_T} \quad (7.63)$$

식 (7.62)와 식 (7.63)으로부터, 전압 V_{BE1} 과 V_{BE2} 를 구하면 다음과 같다.

$$V_{BE1} = V_T \ln \left(\frac{I_{REF}}{I_S} \right) \quad (7.64)$$

$$V_{BE2} = V_T \ln \left(\frac{I_O}{I_S} \right) \quad (7.65)$$

저항 R_E 에 걸리는 전압은 다음과 같으며,

$$\begin{aligned} V_{RE} &= R_E I_{E2} \simeq R_E I_O \\ &= V_{BE1} - V_{BE2} = V_T \ln \left(\frac{I_{REF}}{I_O} \right) \end{aligned} \quad (7.66)$$

따라서 저항 R_E 는 다음과 같이 결정된다.

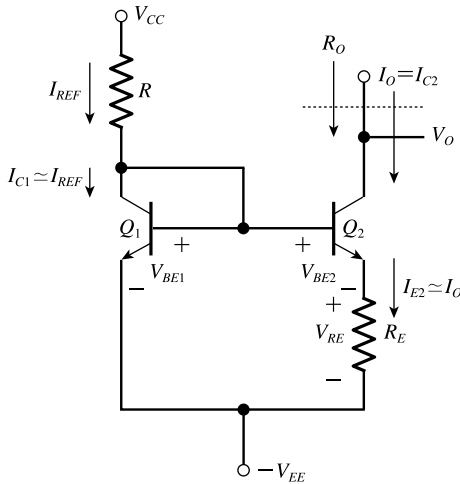
$$R_E = \frac{V_T \ln \left(\frac{I_{REF}}{I_O} \right)}{I_O} \quad (7.67)$$

$\beta_o \gg 1$ 인 경우에 Q_1 의 베이스 전류를 무시하면, 기준전류는 다음과 같다.

$$I_{REF} \simeq I_{C1} = \frac{V_{CC} - (-V_{EE}) - V_{BE1}}{R} \quad (7.68)$$

위들러 전류원의 출력저항은 식 (7.69)와 같으며, [그림 7-15]의 전류거울 회로보다 큰 출력저항을 가져 이상적인 정전류원에 가까운 특성을 갖는다.

$$R_O \simeq r_{e2} [1 + g_{m2} (r_{\pi2} \parallel R_E)] \quad (7.69)$$



[그림 7-20] 위들러 정전류원 회로

예제 7-6

[그림 7-20]의 위들러 정전류원 회로에서 $I_O = 0.2 \text{ mA}$ 가 되도록 저항 R_E 의 값을 결정하고, R_E 에 걸리는 전압을 구하라. 단, $R = 15 \text{ k}\Omega$, $\beta_o = 100$, $V_{BE1} = 0.7 \text{ V}$, $V_T = 26 \text{ mV}$, $V_{CC} = V_{EE} = 10 \text{ V}$ 이다.

풀이

$$\text{식 (7.68)로부터, } I_{REF} \simeq I_{C1} = \frac{V_{CC} + V_{EE} - V_{BE1}}{R} = \frac{10 + 10 - 0.7}{15 \times 10^3} = 1.29 \text{ mA}$$

$$\text{식 (7.67)로부터, } R_E = \frac{V_T \ln \left(\frac{I_{REF}}{I_O} \right)}{I_O} = \frac{0.026 \times \ln \left(\frac{1.29 \times 10^{-3}}{0.2 \times 10^{-3}} \right)}{0.2 \times 10^{-3}} = 0.24 \text{ k}\Omega$$

$$\text{식 (7.66)으로부터, } V_{RE} \simeq R_E I_O = 0.24 \times 10^3 \times 0.2 \times 10^{-3} = 48 \text{ mV}$$

응용 7-6

[그림 7-20]의 위들러 정전류원 회로에서 $I_{REF} = 0.6 \text{ mA}$ 로부터 출력전류 $I_O = 50 \mu\text{A}$ 가 생성되도록 저항 R 과 R_E 의 값을 결정하고, R_E 에 걸리는 전압을 구하라. 단, $V_{BE1} = 0.7 \text{ V}$, $V_T = 26 \text{ mV}$, $V_{CC} = 5 \text{ V}$, $V_{EE} = 0 \text{ V}$ 이다.

[정답 : $R = 7.17 \text{ k}\Omega$, $R_E = 1.29 \text{ k}\Omega$, $V_{RE} = 64.5 \text{ mV}$]

7.3 MOSFET 차동 증폭기

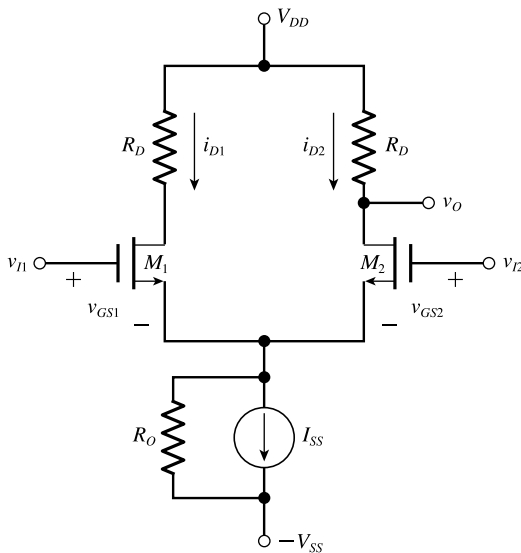
이 절에서는 MOSFET로 구성되는 차동 증폭기의 차동모드 동작과 공통모드 동작을 이해하고, 소신호 해석을 통해 차동모드 이득과 공통모드 이득 특성을 해석한다. 또한 능동부하를 갖는 MOSFET 차동 증폭기와 캐스코드 차동 증폭기의 특성을 해석하고, 차동 증폭기의 바이어스 전류 공급 및 능동부하로 사용되는 여러 가지 MOSFET 정전류원 회로에 대해 이해한다.

7.3.1 차동모드 이득 및 공통모드 이득

차동모드 동작과 공통모드 동작으로 나누어 차동 증폭기의 소신호 동작을 해석한다.

차동모드 동작

[그림 7-21]은 MOSFET로 구성되는 차동 증폭기의 일반적인 구조를 보이고 있다. 두 개의 NMOS 트랜지스터 M_1 , M_2 가 소오스 결합(source-coupled) 차동쌍을 구성하고 있으며, 이들은 특성이 정합(matched)되어 있다. 차동쌍은 정전류원 I_{SS} 에 의해 포화영역으로 바이어스되며, 정전류원의 출력저항은 $R_O = \infty$ 가 될수록 바람직하다. 차동쌍의 베이스로 입력신호가 인가되며, 출력은 차동쌍의 드레인에서 얻어진다. 전원과 드레인 사이에 부하저항 R_D 가 연결되며, 실제 IC에서는 능동부하로 구현된다.



[그림 7-21] MOSFET 차동 증폭기의 일반적인 구조

입출력 전달특성을 해석하기 위해 다음과 같이 가정한다. 차동쌍 M_1, M_2 가 정합되어 있어 문턱전압은 $V_{Tn1}=V_{Tn2}\equiv V_{Tn}$, 전달컨덕턴스는 $g_{m1}=g_{m2}\equiv g_m$, 컨덕턴스 파라미터는 $K_{n1}=K_{n2}=K_n$ 이며 출력저항은 무한대이고 기판 바이어스 효과(body bias effect)가 없다고 가정한다. 정전류원 I_{SS} 에 의해 M_1, M_2 가 포화영역에서 동작하도록 바이어스되므로, 차동 증폭기의 포화영역의 전류는 다음과 같다.

$$i_{D1} = \frac{1}{2} K_n (v_{GS1} - V_{Tn})^2 \quad (7.70)$$

$$i_{D2} = \frac{1}{2} K_n (v_{GS2} - V_{Tn})^2 \quad (7.71)$$

여기서 $K_n = C_{ox} \mu_n (W/L)$ 이고, C_{ox} 는 단위면적당 게이트 산화막의 정전용량, μ_n 은 전자의 이동도, 그리고 W/L 은 채널폭과 채널길이의 비를 나타낸다. 식 (7.70)과 식 (7.71)로부터,

$$\sqrt{i_{D1}} = \sqrt{\frac{K_n}{2}} (v_{GS1} - V_{Tn}) \quad (7.72)$$

$$\sqrt{i_{D2}} = \sqrt{\frac{K_n}{2}} (v_{GS2} - V_{Tn}) \quad (7.73)$$

위의 두 식의 차를 구하면,

$$\sqrt{i_{D1}} - \sqrt{i_{D2}} = \sqrt{\frac{K_n}{2}} v_{id} \quad (7.74)$$

여기서 차동 입력전압은 $v_{id} \equiv v_{GS1} - v_{GS2}$ 로 정의된다. MOSFET의 게이트 전류는 0이므로, 차동쌍 전류의 합은 바이어스 전류 I_{SS} 가 된다.

$$i_{D1} + i_{D2} = I_{SS} \quad (7.75)$$

$v_{GS1} = v_{GS2} \equiv V_{GS}$ 인 경우 차동쌍에는 바이어스 전류가 절반씩 흐르므로,

$$i_{D1} = i_{D2} = \frac{I_{SS}}{2} = \frac{1}{2} K_n (V_{GS} - V_{Tn})^2 \quad (7.76)$$

전압 V_{GS} 는 차동쌍에 $I_{SS}/2$ 의 바이어스 전류가 흐를 때의 게이트-소오스 전압을 의미하므로, 식 (7.76)으로부터 다음과 같이 표현할 수 있다.

$$V_{GS} - V_{Tn} = \sqrt{\frac{I_{SS}}{K_n}} \quad (7.77)$$

식 (7.74)와 식 (7.75)를 연립하여 풀어 i_{D1} 과 i_{D2} 를 구한 후, 식 (7.77)을 대입하면 차동쌍의 전류는 다음과 같다.

$$i_{D1} = \frac{I_{SS}}{2} + \left(\frac{I_{SS}}{V_{GS} - V_{Tn}} \right) \left(\frac{v_{id}}{2} \right) \sqrt{1 - \left(\frac{v_{id}/2}{V_{GS} - V_{Tn}} \right)^2} = I_{DQ} + i_{d1} \quad (7.78)$$

$$i_{D2} = \frac{I_{SS}}{2} - \left(\frac{I_{SS}}{V_{GS} - V_{Tn}} \right) \left(\frac{v_{id}}{2} \right) \sqrt{1 - \left(\frac{v_{id}/2}{V_{GS} - V_{Tn}} \right)^2} = I_{DQ} + i_{d2} \quad (7.79)$$

식 (7.78)과 식 (7.79)에서, $I_{SS}/2$ 는 DC 바이어스 전류 I_{DQ} 를 나타내고, 두 번째 항은 교류 전류 성분을 나타낸다. M_1 의 교류 전류성분 i_{d1} 과 M_2 의 교류 전류성분 i_{d2} 는 서로 반대 위상임을 확인할 수 있다. 또 차동입력 v_{id} 와 교류전류 성분 i_d 는 비선형적인 관계임을 알 수 있다. 차동 입력신호의 진폭이 $v_{id}/2 \ll V_{GS} - V_{Tn}$ 을 만족하는 소신호 입력에 대해 식 (7.78)과 식 (7.79)는 각각 다음과 같이 근사화될 수 있다.

$$i_{D1} \simeq \frac{I_{SS}}{2} + \left(\frac{I_{SS}}{V_{GS} - V_{Tn}} \right) \left(\frac{v_{id}}{2} \right) \quad (7.80)$$

$$i_{D2} \simeq \frac{I_{SS}}{2} - \left(\frac{I_{SS}}{V_{GS} - V_{Tn}} \right) \left(\frac{v_{id}}{2} \right) \quad (7.81)$$

식 (7.77)을 식 (7.80)과 식 (7.81)에 대입하면 다음과 같다.

$$i_{D1} \simeq \frac{I_{SS}}{2} + \sqrt{K_n I_{SS}} \left(\frac{v_{id}}{2} \right) = I_{DQ} + i_{d1} \quad (7.82)$$

$$i_{D2} \simeq \frac{I_{SS}}{2} - \sqrt{K_n I_{SS}} \left(\frac{v_{id}}{2} \right) = I_{DQ} + i_{d2} \quad (7.83)$$

이로부터 각 트랜지스터의 바이어스 전류는 $I_{DQ} = I_{SS}/2$ 이므로 전달컨덕턴스는 식 (7.84)와 같다.

$$g_m \equiv \frac{i_d}{v_{id}/2} = \sqrt{K_n I_{SS}} = \sqrt{2K_n I_{DQ}} \quad (7.84)$$

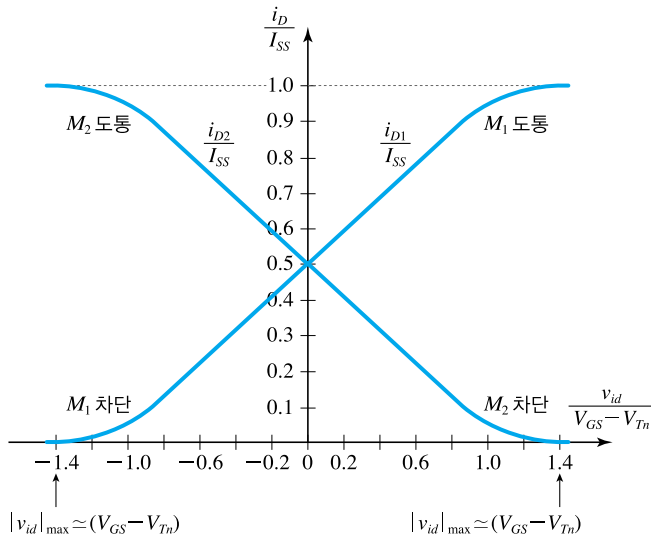
따라서 $v_{id} \ll 2(V_{GS} - V_{Tn})$ 을 만족하는 소신호 입력에 대해,

$$i_d = g_m \frac{v_{id}}{2} \quad (7.85)$$

차동 입력전압 v_{id} 와 드레인 전류 i_d 사이에 선형적인 관계가 존재한다. $i_{D1} = I_{SS}/2$ 이고 $i_{D2} = 0$, 또는 $i_{D1} = 0$ 이고 $i_{D2} = I_{SS}/2$ 가 되도록 하는 차동 입력전압 $|v_{id}|_{\max}$ 는 식 (7.80), 식 (7.81) 또는 식 (7.82), 식 (7.83)으로부터 다음과 같다.

$$|v_{id}|_{\max} \simeq (V_{GS} - V_{Tn}) = \sqrt{\frac{I_{SS}}{K_n}} \quad (7.86)$$

[그림 7-22]는 식 (7.82)와 식 (7.83)이 나타내는 차동 입력전압 v_{id} 와 드레인 전류 i_{D1} 및 i_{D2} 의 관계를 보이고 있다. x축은 $v_{id}/(V_{GS}-V_{Tn})$ 으로 정규화하였으며, y축은 i_D/I_{SS} 로 정규화하였다. [그림 7-22]와 식 (7.82), 식 (7.83)으로부터, $v_{id}=0$ 이면 $i_{D1}=i_{D2}=I_{SS}/2$ 이고, 차동 입력신호 v_{id} 가 증가하면 M_1 의 전류는 선형적으로 증가하며 M_2 의 전류는 선형적으로 감소하고, 반대로 v_{id} 가 감소하면 M_1 의 전류는 선형적으로 감소하고 M_2 의 전류는 선형적으로 증가함을 알 수 있다. 식 (7.86)에 의해 정의되는 $|v_{id}|_{\max}$ 에 대해서, $i_{D1}=I_{SS}$ 가 되면 $i_{D2}=0$ 이 되고, $i_{D1}=0$ 이 되면 $i_{D2}=I_{SS}$ 가 됨을 확인할 수 있다.



[그림 7-22] MOSFET 차동 증폭기의 차동 입력전압과 전류의 관계

다음으로 [그림 7-23(a)]와 같이 크기가 같고 위상이 반대인 두 입력전압 $v_{I1}=v_{id}/2$ 와 $v_{I2}=-v_{id}/2$ 가 인가되는 차동모드의 동작을 해석해 본다.

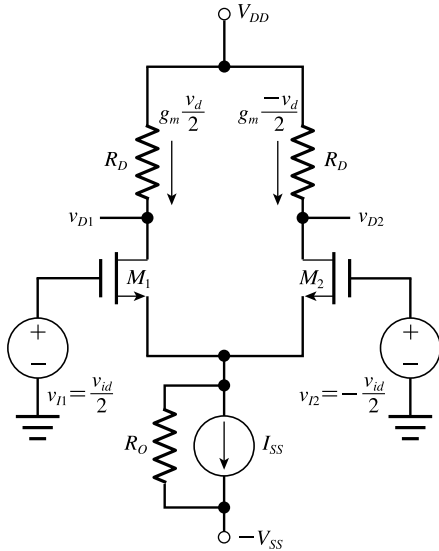
$v_{I1}=v_{id}/2$ 에 의해 M_1 의 드레인 전류 i_{d1} 은 $g_m v_{id}/2$ 만큼 증가하며, $v_{I2}=-v_{id}/2$ 에 의해 M_2 의 드레인 전류 i_{d2} 는 $-g_m v_{id}/2$ 만큼 감소한다. MOSFET의 게이트 전류는 0이므로, 두 트랜지스터의 소오스 전류도 같은 양만큼 변하게 된다. 소신호 해석에서 DC 전압은 단락회로로 취급하므로, 차동모드의 소신호 등가모델은 [그림 7-23(b)]와 같이 소오스가 접지된 것으로 볼 수 있다. [그림 7-23(b)]의 차동모드 소신호 등가모델에서 M_1 과 M_2 가 정합되어 있으며 드레인 저항이 같으므로, 좌·우 회로는 동일한 특성을 갖는 대칭이다. 따라서 [그림 7-23(c)]와 같이 반쪽 회로를 이용하여 차동모드 특성을 해석할 수 있다.

[그림 7-23(c)]의 차동모드 반쪽 회로는 공통 소오스 증폭기이므로, $r_o = \infty$ 로 가정하면 소신호 등가회로는 [그림 7-23(d)]와 같다. 드레인 전류는 식 (7.87)이 되므로,

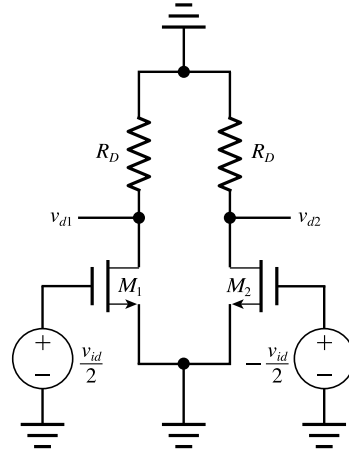
$$i_{d1} = g_m V_{gs} = g_m \frac{v_{id}}{2} \quad (7.87)$$

컬렉터 전압은,

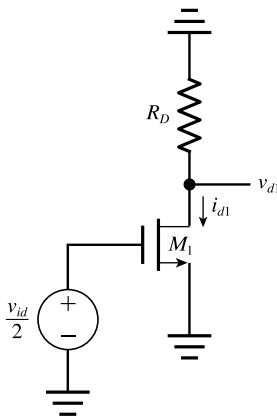
$$v_{d1} = -R_D i_{d1} = -\frac{g_m R_D}{2} v_{id} \quad (7.88)$$



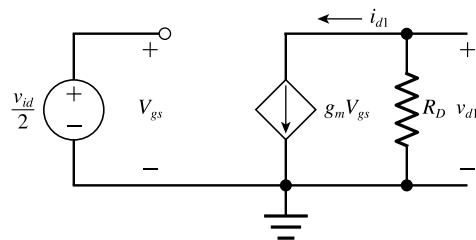
(a) 차동모드 입력



(b) 차동모드 소신호 등가회로



(c) 차동모드 반쪽 회로



(d) 차동모드 반쪽 회로의 소신호 등가회로

[그림 7-23] MOSFET 차동 증폭기의 차동모드 소신호 해석

따라서 차동모드 반쪽 회로의 전압이득은 다음과 같다.

$$A_v = \frac{v_{d1}}{v_{id}/2} = -g_m R_D \quad (7.89)$$

차동 증폭기의 출력전압이 두 드레인 전압의 차($v_{d2} - v_{d1}$)로 얻어지는 경우, 차동 입력전압 v_{id} 에 대한 차동모드 이득은 다음과 같다.

$$A_{dm} = \frac{v_{d2} - v_{d1}}{v_{id}} = g_m R_D = \sqrt{K_n I_{SS}} R_D \quad (7.90)$$

차동 증폭기의 출력이 M_1 또는 M_2 의 드레인과 접지 사이에서 얻어지는 단일종단(single-ended) 출력의 경우, 차동모드 이득은 식 (7.89)로부터 다음과 같다.

$$A_{dm} = \frac{v_{d1}}{v_{id}} = -\frac{g_m R_D}{2} = -\frac{\sqrt{K_n I_{SS}}}{2} R_D \quad (7.91)$$

MOSFET는 BJT보다 전달컨덕턴스 g_m 이 작으며, 따라서 MOSFET 차동 증폭기는 7.2절에서 설명한 BJT 차동 증폭기보다 차동모드 이득이 작다. 그러나 선형으로 동작할 수 있는 차동모드 입력신호의 범위가 크다는 장점을 갖는다.

공통모드 동작

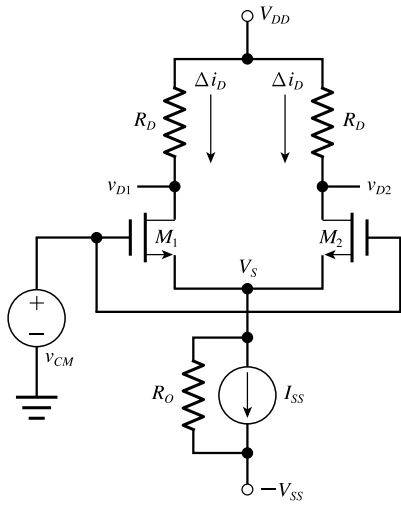
[그림 7-24(a)]와 같이 차동 증폭기에 크기와 위상이 같은 입력전압 $v_{I1} = v_{I2} = v_{CM}$ 이 인가되는 공통모드의 동작을 해석해 본다.

정전류원의 출력저항 R_O 가 무한대가 아닌 유한한 값을 갖는다고 하면, 공통모드 입력전압에 의해 M_1 의 드레인 전류 i_{D1} 과 M_2 의 드레인 전류 i_{D2} 는 동일하게 Δi_D 만큼 증가한다. MOSFET의 게이트 전류는 0이므로, 두 트랜지스터의 소오스 전류도 같은 양만큼 변하게 된다. 정전류원의 전류 I_{SS} 는 일정한 값을 유지하므로, 저항 R_O 에 흐르는 전류가 $2\Delta i_D$ 만큼 증가하게 되고, 따라서 소오스 전압 V_S 는 더 이상 DC가 아니라 $2R_O \Delta i_D$ 만큼 증가한다. 따라서 공통모드 신호에 대한 소신호 등가모델은 [그림 7-24(b)]와 같이 소오스에 저항 $2R_O$ 가 포함된 것으로 볼 수 있다. M_1 과 M_2 가 접합되어 있으며 드레인 저항이 같으므로, [그림 7-24(b)]의 공통모드 소신호 등가모델에서 좌·우 회로는 동일한 특성을 갖는 대칭이다. 따라서 [그림 7-24(c)]와 같이 반쪽 회로를 이용하여 공통모드 특성을 해석할 수 있다.

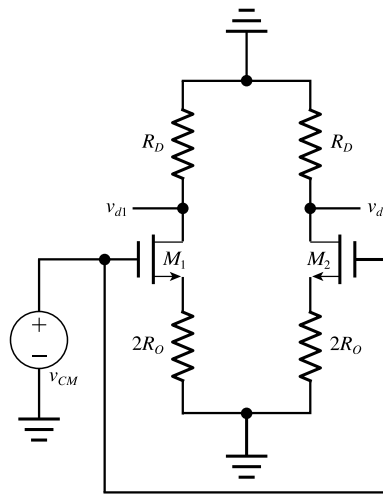
[그림 7-24(c)]의 공통모드 반쪽 회로는 소오스 저항 $2R_O$ 를 갖는 공통 소오스 증폭기이므로 전압이득은 식 (7.92)와 같으며, 이는 단일종단 출력의 공통모드 이득이 된다.

$$A_{cm} = \frac{v_{d1}}{v_{CM}} = \frac{-g_m R_D}{1 + 2g_m R_O} \quad (7.92)$$

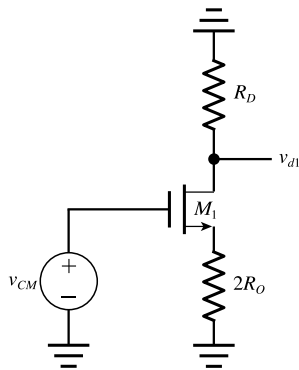
식 (7.92)로부터, MOSFET 차동 증폭기의 공통모드 이득은 정전류원의 출력저항 R_O 와 관계됨을 알 수 있다. 이는 7.2.1절에서 설명된 BJT 차동 증폭기와 동일한 특성이다. 차동 증폭기의 기능상 공통모드 이득은 작을수록 바람직하므로, 정전류원의 출력저항 R_O 가 커야(즉, 이상적인 정전류원에 가까워야) 한다. 두 트랜지스터의 게이트에 공통모드 입력신호 v_{CM} 이 동일하게 인가되므로, $v_{d1} - v_{d2} = 0$ 이 된다. 따라서 출력전압이 드레인 전압의 차로 얻어지는 경우, 공통모드 이득은 0이 된다.



(a) 공통모드 입력



(b) 공통모드 소신호 등가회로



(c) 공통모드 반쪽 회로

[그림 7-24] MOSFET 차동 증폭기의 공통모드 소신호 해석

공통모드 제거비

식 (7.90), 식 (7.91)과 식 (7.92)로부터, 공통모드 제거비는 다음과 같다.

$$\bullet \text{ 차동출력 : CMRR} = \left| \frac{A_{dm}}{A_{cm}} \right| = \frac{\frac{g_m R_D}{1 + 2g_m R_O}}{\frac{g_m R_D}{1 + 2g_m R_O}} = 1 + 2g_m R_O \quad (7.93a)$$

$$\bullet \text{ 단일종단출력 : CMRR} = \left| \frac{A_{dm}}{A_{cm}} \right| = \frac{\frac{g_m R_D}{2}}{\frac{g_m R_D}{1 + 2g_m R_O}} = \frac{1 + 2g_m R_O}{2} \quad (7.93b)$$

CMRR은 MOSFET의 전달컨덕턴스 g_m 과 정전류원의 출력저항 R_O 에 관계되며, $R_O \rightarrow \infty$ 이면 $A_{cm} \rightarrow 0$ 이 되어 $CMRR \rightarrow \infty$ 가 된다. 따라서 차동 증폭기의 성능을 나타내는 CMRR을 크게 하기 위해서는 큰 출력저항을 갖는 정전류원 회로를 사용해야 한다.

예제 7-7

[그림 7-21]의 MOSFET 차동 증폭기에서 단일종단 출력전압 v_{d2} 에 대한 차동모드 이득 A_{dm} , 공통모드 이득 A_{cm} , 그리고 CMRR을 구하라. 단, MOSFET 차동쌍의 파라미터는 $K_{n1} = K_{n2} = 0.5 \text{ mA/V}^2$, $V_{TN1} = V_{TN2} = 1 \text{ V}$, $r_{o1} = r_{o2} = \infty$ 이다. $R_D = 15 \text{ k}\Omega$ 이고, 정전류원의 전류는 $I_{SS} = 0.5 \text{ mA}$ 이며, 출력저항은 $R_O = 150 \text{ k}\Omega$ 이다.

풀이

① 차동모드 이득 : MOSFET의 전달컨덕턴스는

$$g_m = \sqrt{K_n I_{SS}} = \sqrt{0.5 \times 10^{-3} \times 0.5 \times 10^{-3}} = 0.5 \text{ mA/V}$$

이므로, 이를 식 (7.91)에 대입하면,

$$A_{dm} = -\frac{g_m R_D}{2} = -\frac{0.5 \times 10^{-3} \times 15 \times 10^3}{2} = -3.75 \text{ V/V}$$

② 공통모드 이득 : 식 (7.92)로부터

$$A_{cm} = \frac{-g_m R_D}{1 + 2g_m R_O} = -\frac{0.5 \times 10^{-3} \times 15 \times 10^3}{1 + 2 \times 0.5 \times 10^{-3} \times 150 \times 10^3} = -49.67 \times 10^{-3} \text{ V/V}$$

③ CMRR : $CMRR = \left| \frac{A_{dm}}{A_{cm}} \right| = \frac{3.75}{49.67 \times 10^{-3}} = 75.50$

또는 $CMRR_{dB} = 20 \log_{10}(75.5) = 37.56 \text{ dB}$ 이다.

[예제 7-7]의 회로가 $A_{dm} = -3.75$ 인 상태에서 $\text{CMRR}_{\text{dB}} = 80$ dB이 되기 위해서는 정전류원의 출력 저항이 얼마 이상 되어야 하는가?

[정답 : $R_O \geq 20 \text{ M}\Omega$]

7.3.2 차동모드 및 공통모드 입력저항

MOSFET는 구조상 입력저항이 무한대에 가까운 큰 값이므로, MOSFET 차동 증폭기의 차동 모드 입력저항과 공통모드 입력저항은 무한대에 가까운 큰 값을 갖는다. 7.2.2절에서 설명한 BJT 차동 증폭기의 차동모드 입력저항 $R_{id} = 2r_\pi$ 의 수~수십 k Ω 에 비해서 매우 큰 값을 가지므로 바람직한 특성이라고 할 수 있다.

7.3.3 능동부하를 갖는 MOSFET 차동 증폭기

7.3.1절의 식 (7.90)과 식 (7.91)에 의하면 차동 증폭기의 차동모드 이득은 드레인 저항 R_D 에 비례하므로, 차동모드 이득을 크게 하기 위해서는 드레인 저항 R_D 가 커야 한다. 일반적으로 IC 증폭기에서는 큰 차동모드 이득을 얻기 위해 트랜지스터를 이용한 능동부하가 사용된다. 능동 부하는 일정한 전류를 공급하는 정전류원 형태로 구현되며, 정전류원의 큰 출력저항이 부하저항으로 사용된다.

[그림 7-25(a)]는 컬렉터 저항 R_D 대신에 능동부하가 사용된 차동 증폭기 회로이다. N 채널 MOSFET M_1, M_2 는 차동쌍을 구성하며, P 채널 MOSFET M_3, M_4 는 전류거울 형태의 능동 부하로서 차동쌍의 부하로 작용한다. M_2 와 M_4 의 드레인 접점에서 단일종단 출력이 얻어진다. MOSFET 전류거울 및 정전류원 회로는 7.3.4절에서 설명된다.

차동 증폭기의 두 입력전압이 0(즉, $v_{id} = 0$)인 경우에, 정전류원의 전류 I_{SS} 는 차동쌍 M_1 과 M_2 에 1/2씩 분배되어 흐르므로, 다이오드 결선형태의 M_3 에도 $I_{SS}/2$ 의 전류가 흐른다. 트랜지스터 M_3, M_4 는 전류거울 회로이므로(7.3.4절 참조), M_4 의 드레인에도 $I_{SS}/2$ 의 전류가 흐르며, 이 전류는 M_2 의 드레인 전류가 된다. 따라서 차동 증폭기의 출력(즉, M_2 와 M_4 의 드레인 접점)에서 외부로 흐르는 전류는 0이 된다.

차동모드 입력 v_{id} 가 인가되는 경우 M_1 과 M_2 의 드레인 전류는 다음과 같으며,

$$i_{D1} = \frac{I_{SS}}{2} + i_{d1} = \frac{I_{SS}}{2} + g_m \frac{v_{id}}{2} \quad (7.94a)$$

$$i_{D2} = \frac{I_{SS}}{2} + i_{d2} = \frac{I_{SS}}{2} - g_m \frac{v_{id}}{2} \quad (7.94b)$$

MOSFET의 게이트 전류는 0이므로, $i_{D3} = i_{D1}$ 이고 M_3, M_4 는 전류거울 회로이므로 $i_{D4} = i_{D3}$ 이 된다. 따라서 식 (7.95)의 관계가 성립하며, 이들 드레인 전류의 방향은 [그림 7-25(a)]에 표시한 것과 같다.

$$i_{D4} = i_{D3} = i_{D1} \quad (7.95)$$

[그림 7-25(b)]의 교류 등가회로와 식 (7.94)와 식 (7.95)로부터, 차동 증폭기의 출력노드에서 부하로 흐르는 교류전류는 다음과 같다.

$$i_o = i_{d4} - i_{d2} = g_m \frac{v_{id}}{2} - \left(-g_m \frac{v_{id}}{2} \right) = g_m v_{id} \quad (7.96)$$

능동부하로 사용되고 있는 전류거울 회로는 M_1 의 드레인 전류 i_{d1} 을 복사하여 M_4 의 드레인 전류 i_{d4} 를 만든다. 이 전류는 M_2 의 드레인 전류 i_{d2} 와 합해져서 출력전류 i_o 가 되며, 이에 의해 차동모드 이득이 커지게 된다. 만약 전류거울 회로가 사용되지 않고 단순한 정전류원이 능동부하로 사용된다면 출력전류는 $i_o = -i_{d2} = g_m v_{id}/2$ 가 되어 차동모드 이득이 작아진다.

[그림 7-25(c)]와 [그림 7-25(d)]는 반쪽 회로(M_2, M_4)에 대한 소신호 등가회로이다. 이로부터 차동 증폭기의 출력전압은,

$$v_o = g_m v_{id} R_{out} \quad (7.97)$$

여기서 R_{out} 은 차동 증폭기의 출력저항을 나타낸다. 출력노드에 연결된 부하저항 R_L 을 고려하는 경우에는 식 (7.97)에서 R_{out} 을 $R_{out} \parallel R_L$ 로 바꾸면 된다. 출력노드에 M_2 와 M_4 가 병렬로 연결되어 있으므로 R_{out} 은,

$$R_{out} = r_{o2} \parallel r_{o4} \quad (7.98)$$

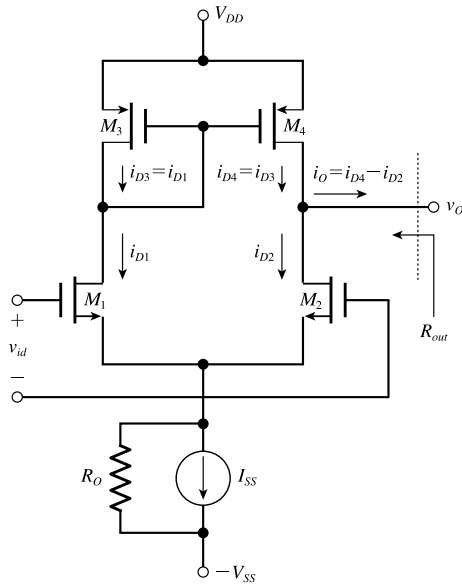
따라서 식 (7.98)을 식 (7.97)에 대입하면 출력전압은 다음과 같다.

$$v_o = g_m (r_{o2} \parallel r_{o4}) v_{id} \quad (7.99)$$

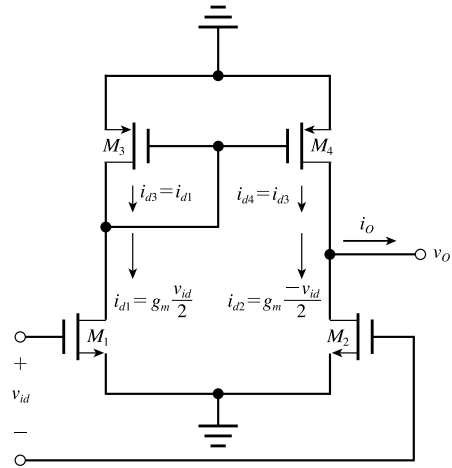
MOSFET의 소신호 파라미터에 대해 $g_m = \sqrt{K_n I_{SS}}$, $r_o = 1/(\lambda I_{DQ})$ 와 바이어스 전류 $I_{DQ} = I_{SS}/2$ 를 식 (7.99)에 대입하면 차동모드 이득은 다음과 같다.

$$A_{dm} = \frac{v_o}{v_{id}} = g_m (r_{o2} \parallel r_{o4}) = \frac{2}{\lambda_2 + \lambda_4} \sqrt{\frac{I_{SS}}{K_n}} \quad (7.100)$$

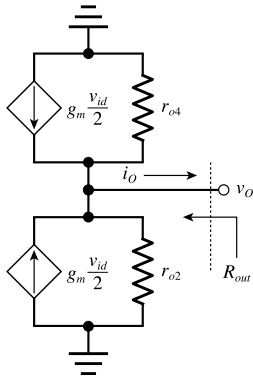
따라서 능동부하를 갖는 차동 증폭기의 차동모드 이득은 트랜지스터에 대해 고정된 값을 갖는다.



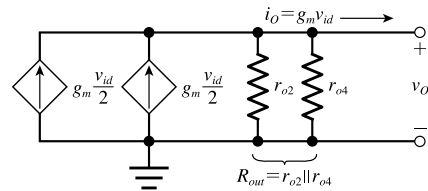
(a) 회로도



(b) 교류 등가회로



(c) 반쪽 회로(M_2 , M_4)의 소신호 등가회로



(d) 간략한 소신호 등가회로

[그림 7-25] 능동부하를 갖는 MOSFET 차동 증폭기

7.3.4절에서 설명하는 일스 정전류원 또는 캐스코드 정전류원 회로를 능동부하로 사용하면, 식 (7.100)보다 더 큰 차동이득을 얻을 수 있다. 또한 차동 증폭기의 출력저항을 크게 만들기 위해 캐스코드 차동쌍 구조를 사용할 수 있다.

[그림 7-25]의 능동부하를 갖는 MOSFET 차동 증폭기 회로의 차동모드 이득을 구하라. MOSFET의 파라미터는 $K_n=0.5 \text{ mA/V}^2$, $\lambda_2=0.01 \text{ V}^{-1}$, $\lambda_4=0.015 \text{ V}^{-1}$ 이고, 정전류원의 전류는 $I_{SS}=0.5 \text{ mA}$ 이다.

[정답 : $A_{dm}=80 \text{ V/V}$]

7.3.4 MOSFET 정전류원 회로

[그림 7-21]의 MOSFET 차동 증폭기에서 트랜지스터 M_1 , M_2 가 포화영역에서 동작하기 위해서는 적당한 DC 바이어스 전류 I_{SS} 가 공급되어야 한다. 7.2.5절의 BJT 정전류원 회로에서 설명하였듯이, IC 증폭기에서는 저항 대신 트랜지스터를 이용한 정전류원 바이어스 회로가 일반적으로 사용된다. 이 절에서는 MOSFET 차동 증폭기에서 바이어스 정전류원과 능동부하로 사용되는 정전류원 회로에 대해 살펴본다.

MOSFET 정전류원 회로

[그림 7-26]은 MOSFET 정전류원 회로이다. M_1 과 M_2 는 게이트가 서로 연결되고, 소오스도 서로 연결되어 있으므로, 두 트랜지스터는 동일한 게이트-소오스 전압 V_{GS} 를 갖는다. M_1 은 드레인에 연결된 기준전류 I_{REF} 에 의해 일정한 전류를 공급받으며, M_2 의 드레인 전류가 정전류원의 출력전류 I_O 이다. 트랜지스터 M_1 , M_2 는 문턱전압이 $V_{Tn1}=V_{Tn2}=V_{Tn}$ 이고, $\lambda=0$ 으로 가정한다. M_1 은 드레인과 게이트가 연결되어 있으므로 포화영역에서 동작하며, 따라서 드레인 전류는 다음과 같다.

$$I_{D1} = \frac{1}{2} K_{n1} (V_{GS} - V_{Tn})^2 = I_{REF} \quad (7.101)$$

여기서 $K_{n1} = (C_{ox}\mu_n)(W/L)_1$ 이며, $(W/L)_1$ 은 M_1 의 채널폭과 채널길이의 비(ratio), C_{ox} 는 게이트 산화막 정전용량, 그리고 μ_n 은 전자의 이동도이다. 정전류원의 출력전류 I_O 는 M_2 의 드레인 전류이므로,

$$I_O = I_{D2} = \frac{1}{2} K_{n2} (V_{GS} - V_{Tn})^2 \quad (7.102)$$

여기서 $K_{n2} = (C_{ox}\mu_n)(W/L)_2$ 이며, $(W/L)_2$ 는 M_2 의 채널폭과 채널길이의 비이다. 식 (7.101)로부터, M_1 과 M_2 의 게이트-소오스 전압은,

$$V_{GS} = V_{Tn} + \sqrt{\frac{2I_{REF}}{K_{n1}}} \quad (7.103)$$

식 (7.103)을 식 (7.102)에 대입하여 정리하면 출력전류는 다음과 같다.

$$I_O = \frac{K_{n2}}{K_{n1}} I_{REF} = \frac{(W/L)_2}{(W/L)_1} I_{REF} \quad (7.104)$$

따라서 정전류원 회로의 출력전류는 기준전류 I_{REF} 와 트랜지스터 M_1 과 M_2 의 채널폭과 채널 길이의 비에 의해 결정된다. 식 (7.104)로부터, 기준전류와 출력전류의 비는 다음과 같다.

$$\frac{I_O}{I_{REF}} = \frac{K_{n2}}{K_{n1}} = \frac{(W/L)_2}{(W/L)_1} \quad (7.105)$$

M_1 과 M_2 의 C_{ox} 가 동일하다면, $(W/L)_2 = (W/L)_1$ 으로 설계하면 $I_O = I_{REF}$ 가 되어 전류거울 회로로 동작한다.

$\lambda_1 = \lambda_2 \equiv \lambda$ 로 가정하고 MOSFET의 채널길이 변조효과를 고려하면, 식 (7.101)과 식 (7.102)는 각각 다음과 같이 표현된다.

$$I_{D1} = I_{REF} = \frac{1}{2} K_{n1} (V_{GS} - V_{Tn})^2 (1 + \lambda V_{DS1}) \quad (7.106)$$

$$I_{D2} = I_O = \frac{1}{2} K_{n2} (V_{GS} - V_{Tn})^2 (1 + \lambda V_{DS2}) \quad (7.107)$$

따라서 식 (7.105)는,

$$\frac{I_O}{I_{REF}} = \frac{K_{n2}}{K_{n1}} = \frac{(W/L)_2}{(W/L)_1} \frac{(1 + \lambda V_{DS2})}{(1 + \lambda V_{DS1})} \quad (7.108)$$

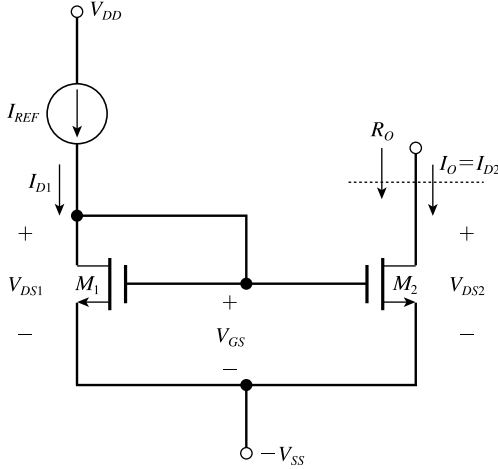
[그림 7-26] 정전류원 회로의 출력저항은 다음과 같다.

$$R_O = \left(\frac{dI_O}{dV_{DS2}} \right)^{-1} = \frac{1}{\lambda I_O} = r_o \quad (7.109)$$

이는 트랜지스터 M_2 의 출력저항으로서 비교적 큰 값을 갖는다.

[그림 7-26]의 정전류원 회로에서 트랜지스터 M_2 가 포화영역에서 동작하기 위해서는 다음 조건을 만족해야 한다.

$$V_O \geq (V_{GS} - V_{Tn}) - V_{SS} \quad (7.110)$$



[그림 7-26] MOSFET 정전류원 회로

예제 7-8

[그림 7-26]에서 기준전류 I_{REF} 는 저항을 이용하여 만들어질 수도 있으나, [그림 7-27]과 같이 트랜지스터 M_3 를 추가하여 구현된다. $I_{REF}=0.2\text{ mA}$, $I_O=0.1\text{ mA}$ 이고, M_2 의 드레인-소오스 포화전압이 $V_{DS2,sat}=0.8\text{ V}$ 가 되도록 각 트랜지스터의 W/L 비를 구하라. 모든 트랜지스터는 $V_{Tn}=1\text{ V}$, $\lambda=0$, $k'_n=60\text{ }\mu\text{A/V}^2$ 의 동일한 파라미터를 가지며, $V_{DD}=5\text{ V}$, $V_{SS}=0\text{ V}$ 이다. 단, $K_n=k'_n(W/L)$ 이다.

풀이

$V_{DS2,sat}=V_{GS}-V_{Tn}$ 으로부터 M_1 , M_2 의 게이트-소오스 전압을 구하면,
 $V_{GS}=V_{DS2,sat}+V_{Tn}=0.8+1=1.8\text{ V}$ 이다.

식 (7.102)로부터 $I_O=I_{D2}=\frac{1}{2}k'_n\left(\frac{W}{L}\right)_2(V_{GS}-V_{Tn})^2$ 이므로,

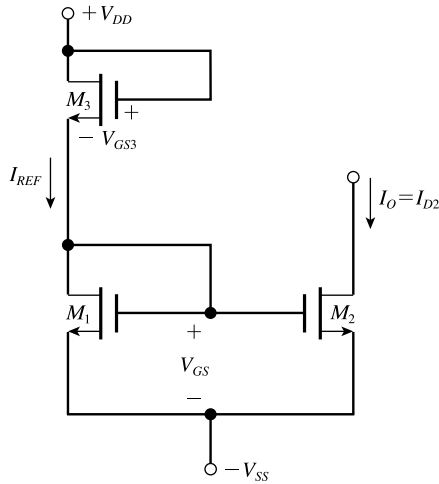
$$\left(\frac{W}{L}\right)_2=\frac{2I_O}{k'_n(V_{GS}-V_{Tn})^2}=\frac{2\times 0.1\times 10^{-3}}{60\times 10^{-6}\times (1.8-1)^2}=5.21$$

$I_{REF}=I_{D1}=\frac{1}{2}k'_n\left(\frac{W}{L}\right)_1(V_{GS}-V_{Tn})^2$ 이므로,

$$\left(\frac{W}{L}\right)_1=\frac{2I_{REF}}{k'_n(V_{GS}-V_{Tn})^2}=\frac{2\times 0.2\times 10^{-3}}{60\times 10^{-6}\times (1.8-1)^2}=10.42$$

$V_{GS3}=V_{DD}-V_{GS}=5-1.8=3.2\text{ V}$ 이고, $I_{REF}=\frac{1}{2}k'_n\left(\frac{W}{L}\right)_3(V_{GS3}-V_{Tn})^2$ 이므로,

$$\left(\frac{W}{L}\right)_3=\frac{2I_{REF}}{k'_n(V_{GS3}-V_{Tn})^2}=\frac{2\times 0.2\times 10^{-3}}{60\times 10^{-6}\times (3.2-1)^2}=1.38$$



[그림 7-27] [예제 7-8]의 회로

응용 7-9

[그림 7-27]의 정전류원 회로의 출력저항을 구하라. $\lambda_2=0.01 \text{ V}^{-1}$ 이고, 출력전류는 $I_O=0.1 \text{ mA}$ 이다.

[정답 : $R_O=1 \text{ M}\Omega$]

MOSFET 캐스코드 정전류원 회로

7.3.1절의 식 (7.92)에 의하면, 차동 증폭기의 공통모드 이득은 정전류원 회로의 출력저항 R_O 에 반비례하므로, R_O 가 클수록 바람직하다. 정전류원 회로의 출력저항을 크게 만들기 위하여 [그림 7-28(a)]와 같은 캐스코드 정전류원 회로를 사용한다. [그림 7-26]의 기본적인 정전류원 회로에 M_3 와 M_4 가 추가되었으며, 이들 두 트랜지스터의 게이트가 기준전류 I_{REF} 에 연결되어 공통 게이트 구조를 갖는다. 기준전류 I_{REF} 는 [그림 7-27]과 같이 MOSFET를 이용하여 생성할 수 있다. [그림 7-28(a)] 회로에서 M_2 , M_4 반쪽 회로에 대해 DC 바이어스를 접지로 대체한 교류 등가회로는 [그림 7-28(b)]와 같다. 소신호 등가회로는 [그림 7-28(c)]와 같으며, M_2 의 출력저항인 r_{o2} 가 M_4 의 소오스에 붙어 있는 것으로 볼 수 있다. M_4 의 드레인에서 KCL을 적용하면 다음과 같다.

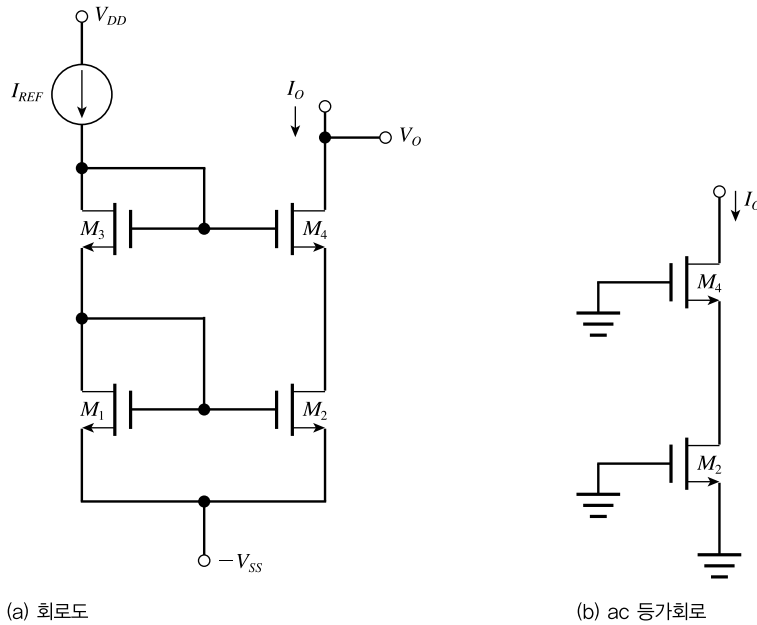
$$I_x = g_{m4}V_{gs4} + \frac{V_x - (-V_{gs4})}{r_{o4}} \quad (7.111)$$

$$V_{gs4} = -r_{o2}I_x \quad (7.112)$$

식 (7.112)를 식 (7.111)에 대입하여 정리하면, 캐스코드 정전류원 회로의 출력저항은,

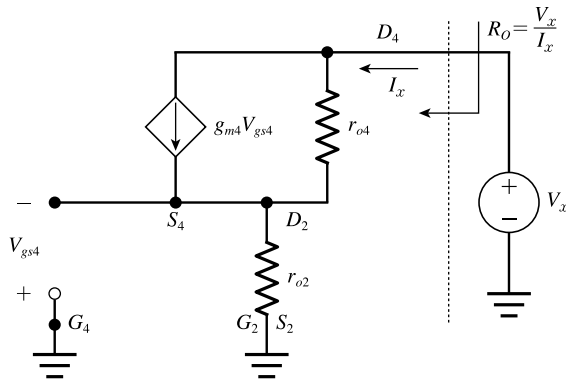
$$R_O = \frac{V_x}{I_x} = r_{o4} + r_{o2}(1 + g_{m4}r_{o4}) \simeq g_{m4}r_{o2}r_{o4} \quad (7.113)$$

통상적으로 $g_{m4}r_{o4} \gg 1$ 이므로, [그림 7-26]의 정전류원 회로의 출력저항 r_{o2} 에 비해 $g_{m4}r_{o4}$ 배(보통 20~100배 정도) 큰 출력저항을 갖는다.



(a) 회로도

(b) ac 등가회로



(c) 소신호 등가회로

[그림 7-28] MOSFET 캐스코드 정전류원 회로

[그림 7-28]의 캐스코드 정전류원 회로는 [그림 7-26]의 일반적인 정전류원 회로에 비해 출력 전압의 스윙 범위가 감소하는 단점을 갖는다. [그림 7-28] 회로에서 모든 트랜지스터는 특성이 같고, 동일한 V_{GS} 를 갖는다고 가정하면 트랜지스터 M_4 의 게이트 전압은 $V_{G4}=2V_{GS}-V_{SS}$ 가 된다. 따라서 M_4 가 포화영역에서 동작하기 위해서는 전류원 회로의 출력전압(즉, M_4 의 드레인 전압)은 식 (7.114)의 조건을 만족해야 하며, 이는 식 (7.110)와 비교하여 출력전압의 스윙 범위가 V_{GS} 만큼 감소한 것이다.

$$V_O \geq (2V_{GS} - V_{Tn}) - V_{SS} \quad (7.114)$$

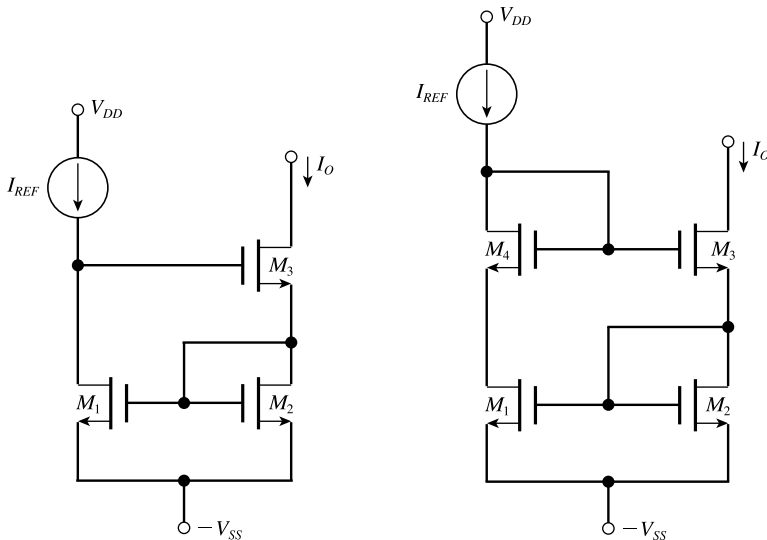
응용 7-10

[그림 7-28]의 캐스코드 정전류원 회로의 출력저항을 구하라. 단, $\lambda_2=\lambda_4=0.01 \text{ V}^{-1}$, $g_{m4}=0.5 \text{ mA/V}$ 이고, 출력전류는 $I_O=0.1 \text{ mA}$ 이다.

[정답 : $R_O=502 \text{ M}\Omega$]

MOSFET 윌슨 정전류원 회로

MOSFET 정전류원의 출력저항을 크게 만들기 위해 [그림 7-29(a)]와 같은 윌슨(Wilson) 전류원을 사용할 수 있다.



(a) 윌슨 정전류원

(b) 변형된 윌슨 정전류원

[그림 7-29] MOSFET 윌슨 정전류원 회로

[그림 7-28(a)]의 캐스코드 정전류원과 동일한 원리에 의하여 큰 출력저항이 얻어진다. 그러나 [그림 7-29(a)]의 회로에서 M_1 과 M_2 의 드레인-소오스 전압이 다르므로, 두 트랜지스터의 V_{DS} 전압과 λ 에 의해 I_O/I_{REF} 가 영향을 받아 이상적인 정전류원의 특성에서 멀어지게 된다. [그림 7-29(b)]와 같이 다이오드 구조로 연결된 트랜지스터 M_4 를 추가함으로써 M_1 , M_2 , M_4 의 드레인-소오스 전압을 일정하게 만든 변형된 윌슨 전류원을 사용하면, [그림 7-29(a)] 회로의 단점을 제거할 수 있다.

윌슨 정전류원 회로는 캐스코드 정전류원 회로와 동일하게 출력전압이 식 (7.114)의 조건을 만족해야 하며, 따라서 [그림 7-26]의 정전류원 회로에 비해 출력전압의 스윙 범위가 감소하는 단점을 갖는다.

7.4 다단 증폭기

4장과 6장에서는 하나의 트랜지스터로 구성되는 공통 이미터(CE), 공통 컬렉터(CC), 공통 베이스(CB) BJT 증폭기 회로와 공통 소오스(CS), 공통 드레인(CD), 공통 게이트(CG) MOSFET 증폭기 회로에 대해 설명하였다. 이들 단일 트랜지스터 증폭기는 각기 다른 특성을 갖는다. 예를 들어 CE 증폭기는 전압이득을 얻을 수 있으나, 입력저항이 비교적 작다. CC(CD) 증폭기는 높은 입력저항을 가지나 전압이득이 1에 가까운 작은 값을 갖는다. CB(CG) 증폭기는 낮은 입력저항과 비교적 큰 전류이득을 갖는다.

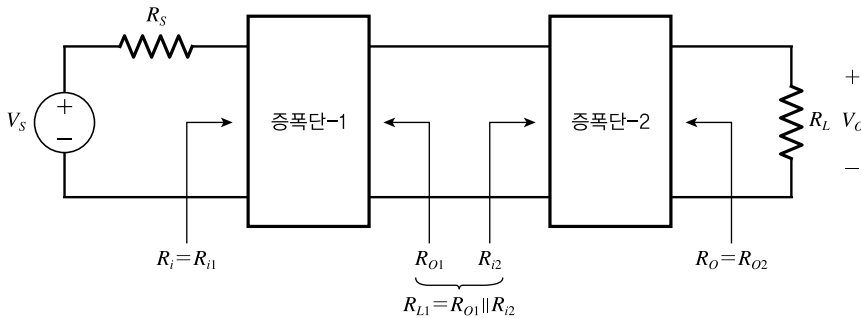
[표 7-1] 종속연결 2단 증폭기의 특징

종속연결 증폭기	특징
공통 이미터-공통 이미터(CE-CE) 공통 소오스-공통 소오스(CS-CS)	큰 전압이득
공통 이미터-공통 베이스(CE-CB) 공통 소오스-공통 게이트(CS-CG)	큰 대역폭과 전압이득
공통 컬렉터-공통 컬렉터(CC-CC)	큰 전류이득
공통 컬렉터-공통 이미터(CC-CE)	큰 입력저항과 전압이득
공통 이미터-공통 컬렉터(CE-CC) 공통 소오스-공통 드레인(CS-CD)	작은 출력저항과 전압이득

단일 트랜지스터 증폭기들을 종속(cascade)으로 연결하여 다단(multi-stage) 증폭기를 구성하면, 단일 증폭단의 장점들이 결합된 우수한 성능의 증폭기를 구현할 수 있다. 예를 들어, CE(CS) 증

폭기를 다단으로 연결하면 단일 증폭단보다 큰 전압이득을 실현할 수 있다. [표 7-1]은 종속연결 2단 증폭기들의 특징을 정리한 것이다.

종속연결 2단 증폭기의 일반적인 형태는 [그림 7-30]과 같다. 그림에서 보는 바와 같이 증폭단-2의 입력저항 R_{i2} 가 증폭단-1에 부하로 작용하는 부하효과(loading effect)가 존재하므로, 종속 증폭기 전체의 전압이득(또는 전류이득)은 단순히 개별 증폭단 이득의 곱으로 주어지지 않는다. 종속연결 증폭기 전체의 입력저항은 증폭단-1의 입력저항이 되며, 출력저항은 증폭단-2의 출력저항이 된다.



[그림 7-30] 종속연결 2단 증폭기의 일반적인 형태

7.4.1 CE-CE 및 CS-CS 종속연결 증폭기

[그림 7-31(a)]는 CE 증폭기 두 개가 종속으로 연결된 2단 증폭기이다. 두 트랜지스터는 선형 영역에서 동작하도록 바이어스되며, 편의상 바이어스 회로는 생략하였다. 각 트랜지스터의 출력저항은 $r_o = \infty$ 라고 가정한다. [그림 7-31(b)]의 소신호 등가회로로부터, Q_1 의 베이스 전압은 다음과 같다.

$$V_{\pi 1} = \frac{r_{\pi 1}}{R_S + r_{\pi 1}} V_s \quad (7.115)$$

Q_1 의 컬렉터 전압(즉, Q_2 의 베이스 전압)은 다음과 같으며,

$$V_{\pi 2} = -g_{m1} V_{\pi 1} R_{L1} = \frac{-\beta_{o1} R_{L1}}{R_S + r_{\pi 1}} V_s \quad (7.116)$$

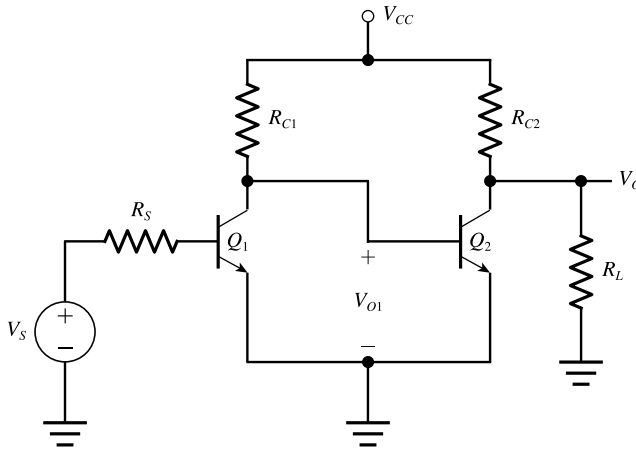
여기서 Q_1 의 부하저항은 $R_{L1} = R_{C1} || R_{i2} = R_{C1} || r_{\pi 2}$ 이고, $\beta_{o1} = g_{m1} r_{\pi 1}$ 이다. 출력전압은 다음과 같으며, 여기서 $R'_L = R_{C2} || R_L$ 이다.

$$V_o = -g_{m2} V_{\pi 2} R'_L = \frac{-\beta_{o1} R_{L1}}{R_S + r_{\pi 1}} (-g_{m2} R'_L) V_s \quad (7.117)$$

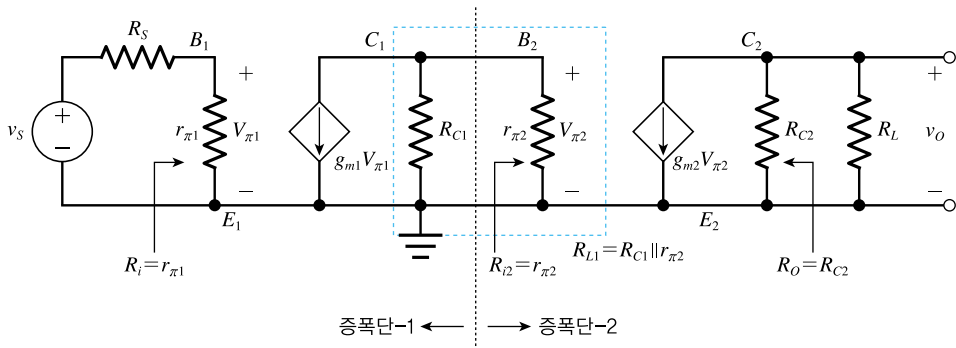
따라서 중속 증폭단 전체의 전압이득은 식 (7.118)과 같다.

$$A_v = \frac{V_o}{V_s} = \frac{-\beta_{o1}R_{L1}}{R_S + r_{\pi1}}(-g_{m2}R'_L) = A_{v1}A_{v2} \quad (7.118)$$

증폭단-1의 전압이득 $A_{v1} = -\beta_{o1}R_{L1}/(R_S + r_{\pi1})$ 에서 $R_{L1} = R_{C1} \parallel r_{\pi2}$ 은 증폭단-2의 입력저항 $r_{\pi2}$ 의 부하효과를 포함하고 있다. 따라서 중속연결 CE-CE 증폭기의 전압이득은 개별 CE 증폭단 전압이득의 곱으로 표현되며, 이때 증폭단-2의 입력저항이 증폭단-1에 미치는 부하효과가 고려되어야 한다.



(a) CE-CE 중속연결



(b) 소신호 등가회로

[그림 7-31] CE-CE 중속연결 증폭기

식 (7.118)은 다음과 같이 표현될 수 있으며,

$$\begin{aligned} A_v &= \frac{V_o}{V_s} = \frac{\beta_{o1}}{R_S + r_{\pi1}} [g_{m2}(R_{C1} \parallel r_{\pi2}) R'_L] \\ &= \frac{-\beta_{o1} R_{C1}}{R_S + r_{\pi1}} \frac{-\beta_{o2} R'_L}{R_{C1} + r_{\pi2}} = A'_{v1} A'_{v2} \end{aligned} \quad (7.119)$$

여기서 $A'_{v1} = -\beta_{o1} R_{C1} / (R_S + r_{\pi1})$ 은 증폭단-1의 전압이득을, $A'_{v2} = -\beta_{o2} R'_L / (R_{C1} + r_{\pi2})$ 는 증폭단-2의 전압이득을 나타낸다. 식 (7.118)의 A_{v1} , A_{v2} 와 식 (7.119)의 A'_{v1} , A'_{v2} 를 비교하면, A'_{v1} , A'_{v2} 에서는 증폭단-2의 입력저항이 증폭단-1에 미치는 부하효과 대신에 증폭단-1의 출력저항 $R_{o1} = R_{C1}$ 이 증폭단-2에 미치는 효과(즉, 증폭단-2의 신호원 저항 역할)가 고려되었음을 알 수 있다. 종속연결 증폭기의 해석에 있어서, 식 (7.118)과 식 (7.119)는 동일한 결과를 만든다.

종속연결 증폭단의 입력저항은 증폭단-1의 입력저항이므로

$$R_i = r_{\pi1} \quad (7.120)$$

가 되며, 출력저항은 증폭단-2의 출력저항이므로 다음과 같다.

$$R_o = R_{C2} \quad (7.121)$$

응용 7-11

[그림 7-31]의 종속연결 증폭기의 전압이득을 구하라. 단, $R_S = 0.2 \text{ k}\Omega$, $R_{C1} = 1 \text{ k}\Omega$, $R_{C2} = 2 \text{ k}\Omega$, $R_L = 6 \text{ k}\Omega$ 이고, $\beta_{o1} = \beta_{o2} = 100$, $r_{\pi1} = r_{\pi2} = 1.0 \text{ k}\Omega$

[정답 : $A_v = 6,250 \text{ V/V}$]

7.4.2 캐스코드 증폭기

[그림 7-32(a)]와 같이 CE 증폭단과 CB 증폭단이 종속으로 연결된 구조를 캐스코드(cascode) 증폭기라고 한다. 신호 주파수에서 커패시터들은 모두 단락되고, 각 트랜지스터의 출력저항은 $r_o = \infty$ 라고 가정한다. [그림 7-32(b)]의 소신호 등가회로로부터 Q_2 의 이미터에서 KCL을 적용하면 다음과 같다.

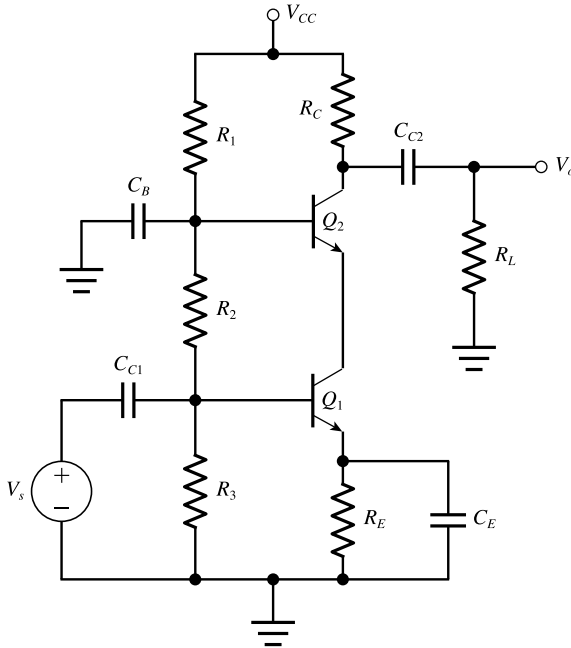
$$g_{m1} V_{\pi1} = \left(g_{m2} + \frac{1}{r_{\pi2}} \right) V_{\pi2} = \frac{\beta_{o2} + 1}{r_{\pi2}} V_{\pi2} \quad (7.122)$$

식 (7.122)로부터 Q_2 의 이미터 전압을 구하면 다음과 같으며, 소신호 등가회로로부터 $V_{\pi 1}=V_s$ 이다.

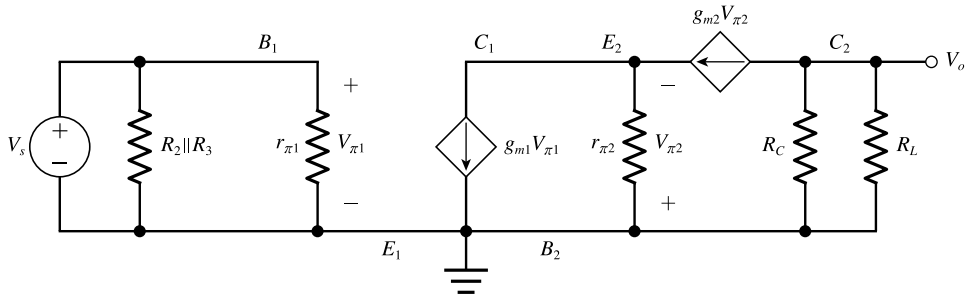
$$V_{\pi 2}=\frac{g_{m1}r_{\pi 2}}{\beta_{o2}+1}V_{\pi 1}=\frac{g_{m1}r_{\pi 2}}{\beta_{o2}+1}V_s \quad (7.123)$$

출력전압은,

$$V_o=-g_{m2}V_{\pi 2}R'_L \quad (7.124)$$



(a) CE-CB 종속연결



(b) 소신호 등가회로

[그림 7-32] CE-CB 캐스코드 증폭기

$R'_L = R_C \parallel R_L$ 이다. 식 (7.123)을 식 (7.124)에 대입하면, 전압이득은 다음과 같다.

$$A_v = \frac{V_o}{V_s} = -g_{m1} \left(\frac{\beta_{o2}}{\beta_{o2} + 1} \right) R'_L \simeq -g_{m1} R'_L \quad (7.125)$$

식 (7.125)는 부하 R'_L 를 갖는 단일 CE 증폭기의 이득을 나타내므로, CE-CB 캐스코드 증폭기는 단일 CE 증폭기의 전압이득과 근사적으로 같다. 이는 [그림 7-32(a)]의 회로에 대한 정성적인 고찰을 통해서도 쉽게 유추할 수 있다. CE 증폭단의 출력이 CB 증폭단의 이미터로 입력되며, CB 증폭단은 전류이득이 1에 가까운 전류 버퍼로 동작한다.

캐스코드 증폭기의 입력저항은 CE 증폭기의 입력저항이 되므로 $R_i = r_{\pi 1}$ 이 되며, 출력저항은 단일 CE 증폭기에 비해 큰 값을 갖는다. 캐스코드 증폭기는 전압이득과 입력저항이 단일 CE 증폭기와 근사적으로 같으므로, 캐스코드 증폭기를 사용하는 장점이 없어 보인다. 그러나 CB 증폭단의 입력저항 $R_{i2} = r_{e2}$ 는 매우 작으며, 이는 CE 증폭단의 부하로 작용하므로, 부하저항 R_C 를 갖는 단일 CE 증폭단에 비해 주파수 대역폭이 커지는 장점을 갖는다. 즉, 캐스코드 증폭기는 전압이득이 단일 CE 증폭기와 근사적으로 같지만 주파수 응답특성이 우수하다는 장점을 갖는다. 이에 대해서는 8.5.2절에서 설명할 것이다.

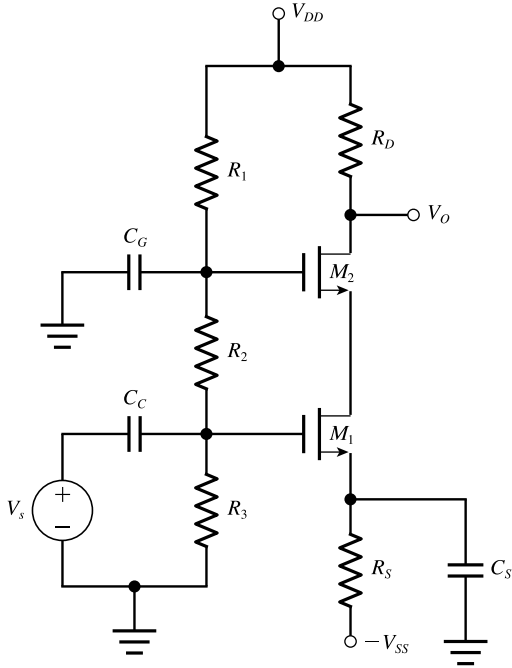
[그림 7-33(a)]는 CS 증폭기와 CG 증폭기가 종속으로 연결된 MOSFET 캐스코드 증폭기이며, CG 구조의 트랜지스터 M_2 는 전류 버퍼로 동작한다. [그림 7-33(b)]의 소신호 등가회로로부터 출력전압은 다음과 같다.

$$V_o = -g_{m2} V_{gs2} R_D = -g_{m1} V_{gs1} R_D \quad (7.126)$$

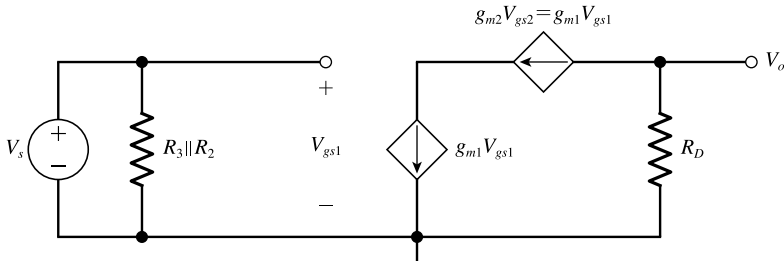
$V_{gs1} = V_s$ 이므로, 전압이득은 식 (7.127)과 같이 CS 증폭기의 전압이득과 같다.

$$A_v = \frac{V_o}{V_i} = -g_{m1} R_D \quad (7.127)$$

CS-CG 캐스코드 증폭기는 BJT 캐스코드 증폭기와 마찬가지로 단일 CS 증폭기와 동일한 전압이득을 가지면서 주파수 응답특성이 우수한 장점을 갖는다.



(a) CS-CG 종속연결



(b) 소신호 등가회로

[그림 7-33] CS-CG 캐스코드 증폭기

응용 7-12

[그림 7-33]의 MOSFET 캐스코드 증폭기에 대해 M_1 의 전달컨덕턴스와 전압이득을 구하라. 바이어스 전류는 $I_{DQ1}=I_{DQ2}=0.4\text{ mA}$ 이고, $K_{n1}=K_{n2}=1\text{ mA/V}^2$, $\lambda_1=\lambda_2=0$, $R_D=3\text{ k}\Omega$ 이다.

[정답 : $g_{m1}=0.89\text{ mA/V}$, $A_v=-2.67\text{ V/V}$]

[그림 7-32]의 BJT 캐스코드 증폭기의 전압이득을 구하라. $R_C=7.5 \text{ k}\Omega$, $R_L=2 \text{ k}\Omega$ 이다. 단, $\beta_{o1}=\beta_{o2}=100$, $g_{m1}=g_{m2}=20 \text{ mA/V}$ 이고, $r_{o1}=r_{o2}=\infty$ 이다.

[정답 : $A_v=-31.27 \text{ V/V}$]

7.4.3 여러 가지 종속연결 증폭기

CC-CC 종속연결 증폭기

[그림 7-34]는 CC-CC 종속연결 구조이며 달링턴 쌍(Darlington pair)이라고 한다. [그림 7-34]에서 점선영역의 외부에서 볼 때 Q_1 의 베이스, Q_2 의 이미터, 그리고 Q_1 , Q_2 의 컬렉터가 각각 베이스, 이미터, 컬렉터 단자 역할을 하는 단일 트랜지스터로 볼 수 있으며, 따라서 복합 트랜지스터(compound transistor)라고도 한다. 정전류원 I_{EE} 는 두 BJT에 바이어스 전류를 공급하여 선형영역에서 동작하도록 한다. Q_1 의 이미터 전류는,

$$i_{E1}=(\beta_{o1}+1)i_{B1} \quad (7.128)$$

$i_{E1}=i_{B2}$ 이므로 Q_2 의 컬렉터 전류는 다음과 같다.

$$i_{C2}=\beta_{o2}i_{B2}=\beta_{o2}(\beta_{o1}+1)i_{B1} \quad (7.129)$$

달링턴 쌍의 출력전류는 다음과 같으며,

$$i_C=i_{C1}+i_{C2}=[\beta_{o1}+\beta_{o2}(\beta_{o1}+1)]i_{B1} \quad (7.130)$$

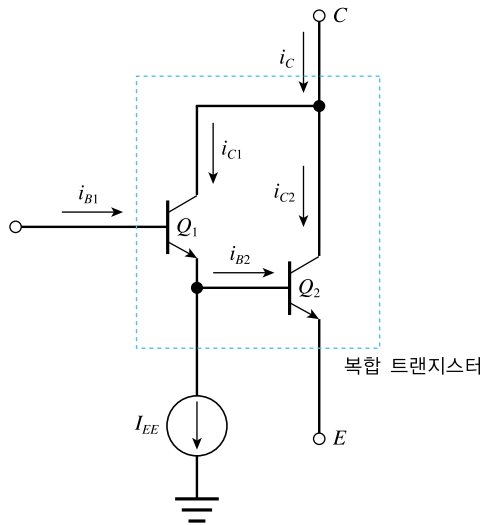
따라서 달링턴 쌍의 전류이득은,

$$\beta_{DP}=\frac{i_C}{i_{B1}}=\beta_{o1}+(\beta_{o1}+1)\beta_{o2}\simeq\beta_{o1}\beta_{o2} \quad (7.131)$$

$\beta_{o1}=\beta_{o2}=\beta_o$ 라고 하고 $\beta_o\gg 1$ 이면

$$\beta_{DP}\simeq\beta_o^2 \quad (7.132)$$

가 되어, 큰 전류이득을 얻을 수 있다.



[그림 7-34] CC-CC 종속연결 증폭기

CC-CE 종속연결 증폭기

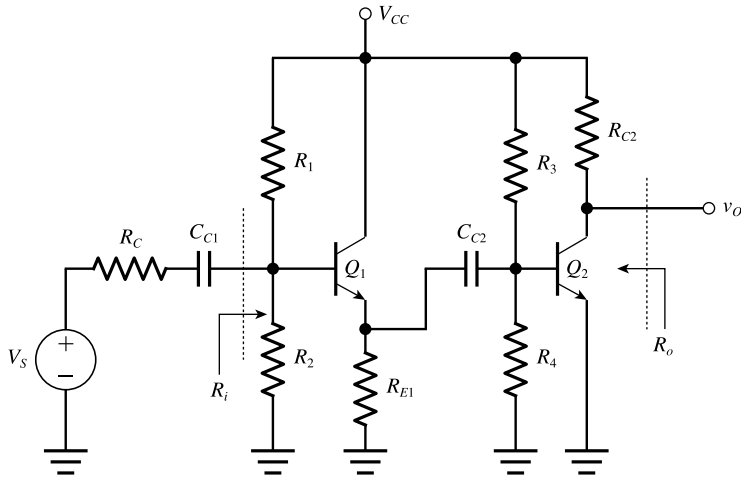
[그림 7-35]는 공통 컬렉터(CC) 증폭단과 공통 이미터(CE) 증폭단이 종속으로 연결된 구조이다. 4장에서 설명한 바와 같이, CC 증폭단은 전압이득이 근사적으로 1이며, 큰 입력저항과 작은 출력저항을 갖는 전압 버퍼로 동작한다. 따라서 CC-CE 종속연결 증폭기의 전압이득은 다음과 같이 표현될 수 있으며,

$$A_v = A_{v1} A_{v2} \simeq A_{v2} \quad (7.133)$$

여기서 $A_{v1} \simeq 1$ 은 CE 증폭기의 입력저항에 의한 부하효과가 고려된 CC 증폭기의 전압이득, A_{v2} 는 CE 증폭기의 전압이득을 나타낸다. CC-CE 종속연결 증폭기의 입력저항은 CC 증폭기의 입력저항이므로

$$R_i = (R_1 \parallel R_2) \parallel [r_{\pi} + (\beta_{o1} + 1)R_{E1}] \quad (7.134)$$

가 되며, CE 증폭기의 입력저항 r_{π} 에 비해 큰 값을 갖는다. 따라서 CC-CE 종속연결 증폭단은 CE 증폭기의 단점인 작은 입력저항을 보완하기 위해 CE 증폭기 앞에 CC 증폭기를 붙여 입력저항을 크게 만든 것이다. CC-CE 종속연결 증폭단의 출력저항은 CE 증폭기의 출력저항이므로 $R_o = R_{C2}$ 가 된다.



[그림 7-35] CC-CE 종속연결 증폭기

CE-CC 종속연결 증폭기

[그림 7-36]은 CE 증폭단과 CC 증폭단이 종속으로 연결된 구조이다. CC 증폭단은 전압이득이 근사적으로 1이며, CE 증폭단에 비해 큰 입력저항과 작은 출력저항을 갖는 전압 버퍼로 동작한다. 따라서 CE-CC 종속연결 증폭기의 전압이득은 다음과 같이 표현될 수 있다.

$$A_v = A_{v1} A_{v2} \simeq A_{v1} \quad (7.135)$$

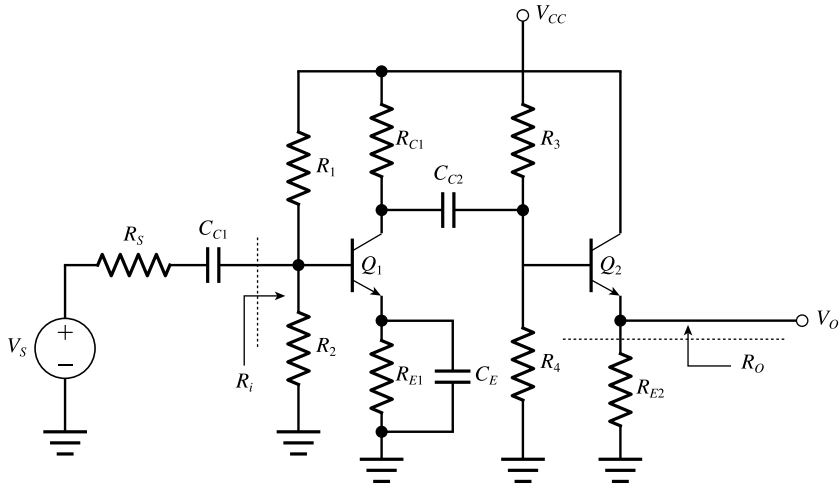
여기서 A_{v1} 은 CC 증폭기의 입력저항에 의한 부하효과가 고려된 CE 증폭기의 전압이득을 나타내며, $A_{v2} \simeq 1$ 은 CC 증폭기의 전압이득을 나타낸다. CE-CC 종속연결 증폭기의 입력저항은 CE 증폭기의 입력저항이므로,

$$R_i = (R_1 \parallel R_2) \parallel r_{\pi 1} \quad (7.136)$$

출력저항은 CC 증폭기의 출력저항이므로

$$R_o = \frac{R_{C1} + r_{\pi 2}}{\beta_{\phi 1} + 1} \quad (7.137)$$

가 되어, CE 증폭기에 비해 매우 작은 출력저항을 갖는다. 따라서 CE-CC 종속연결 증폭단은 작은 임피던스의 부하를 효율적으로 구동하기 위해 사용된다.



[그림 7-36] CE-CC 종속연결 증폭기

CS-CD 종속연결 증폭기

[그림 7-37(a)]는 CS 구조의 M_1 과 CD 구조의 M_2 가 종속으로 연결된 MOSFET 증폭기 회로이다. 저항 R_1, R_2 에 의해 M_1 이 포화영역에서 동작하도록 바이어스되며, M_1 의 드레인 출력전압에 의해 M_2 도 포화영역에서 동작하도록 바이어스된다. 신호 주파수에서 결합 및 바이패스 커패시터들은 모두 단락되는 것으로 가정한다. [그림 7-37(b)]의 소신호 등가회로에서 출력전압은,

$$V_o = g_{m2} V_{gs2} (R_{S2} \parallel R_L) \quad (7.138)$$

여기서 M_2 의 게이트-소오스 전압은 다음과 같다.

$$V_{gs2} = -g_{m1} V_{gs1} R_{D1} - V_o \quad (7.139)$$

식 (7.139)를 식 (7.138)에 대입하여 정리하면 다음과 같으며, 여기서 $R'_L = R_{S2} \parallel R_L$ 이다.

$$V_o = -\frac{(g_{m1} R_{D1})(g_{m2} R'_L)}{1 + g_{m2} R'_L} V_{gs1} \quad (7.140)$$

M_1 의 게이트-소오스 전압은 다음과 같으며, 여기서 $R_G = R_1 \parallel R_2$ 이다.

$$V_{gs1} = \frac{R_G}{R_{Si} + R_G} V_s \quad (7.141)$$

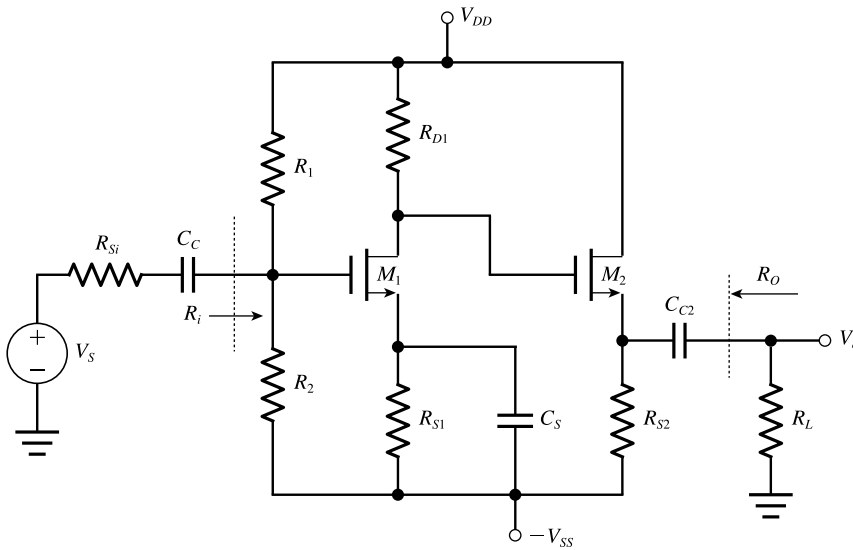
식 (7.141)을 식 (7.140)에 대입하여 정리하면, 전압이득은 다음과 같다.

$$A_v = \frac{V_o}{V_s} = (-g_{m1}R_{D1}) \left(\frac{R_G}{R_{Si} + R_G} \right) \left(\frac{g_{m2}R'_L}{1 + g_{m2}R'_L} \right) \quad (7.142)$$

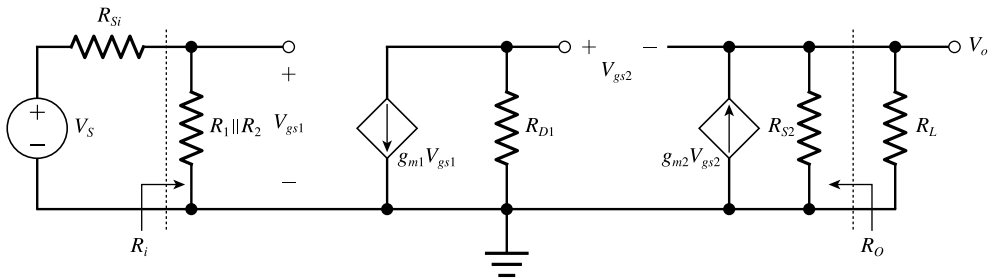
공통 드레인 증폭기의 전압이득은 $A_{v2} = g_{m2}R'_L / (1 + g_{m2}R'_L)$ 이므로, CS-CD 종속연결 증폭기의 전압이득은 공통 소오스 증폭기의 전압이득보다 약간 작아진다. CS-CD 종속연결 증폭기의 출력저항은 CD 증폭기의 출력저항이 되므로, 6.4절에서 설명된 바와 같이,

$$R_O = \frac{1}{g_{m2}} \parallel R_{S2} \simeq \frac{1}{g_{m2}} \quad (7.143)$$

가 되어 매우 작은 값을 갖는다. 따라서 작은 부하저항의 구동을 위해 CS-CD 종속연결 증폭기가 사용된다.



(a) CS-CD 증폭기

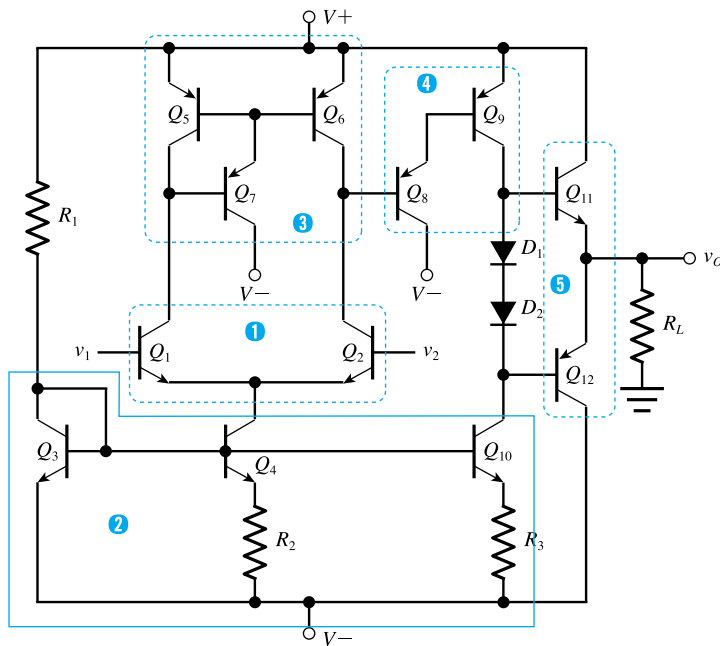


(b) 소신호 등가회로

[그림 7-37] CS-CD 종속연결 증폭기

7.4.4 다단 증폭기의 예

[그림 7-38]은 다단 증폭기의 한 예로서 BJT 연산 증폭기 내부 회로를 단순화시킨 경우이다. 점선 상자-①의 Q_1, Q_2 는 차동쌍이며, 실선 상자-②의 Q_3, Q_4 와 저항 R_2 는 7.2.5절에서 설명한 위들러(Widlar) 정전류원 회로로서 차동 증폭기에 바이어스 전류를 공급한다. 점선 상자-③의 Q_5, Q_6, Q_7 은 7.2.5절에서 설명한 전류거울 회로로서 차동 증폭기의 능동부하로 사용된다. 차동 증폭기의 출력은 Q_2 와 Q_6 의 컬렉터 접점에서 얻어지며, 이는 Q_8 의 베이스로 입력된다. 점선 상자-④의 Q_8 과 Q_9 는 [그림 7-35]에서 설명한 CC-CE 종속연결 증폭단이며, 실선 상자-②의 Q_3, Q_{10} 과 저항 R_3 로 구성되는 위들러 정전류원 회로는 CC-CE 증폭기단에 바이어스 전류를 공급한다. 점선 상자-⑤의 Q_{11} 과 Q_{12} 는 푸시풀(push-pull) 증폭기로서 부하 R_L 에 대해 각각 CC 증폭기로 동작하여 1에 가까운 전압이득과 작은 출력저항을 제공한다(푸시풀 증폭기는 10.4절과 10.5절에서 설명한다). 따라서 전체 증폭기의 전압이득은 차동 증폭기와 Q_8, Q_9 의 이득단에 의해 얻어진다. 전체적인 구조는 입력단 차동 증폭기, CC-CE 이득단, 푸시풀 출력단의 3단 증폭기 구조이다.



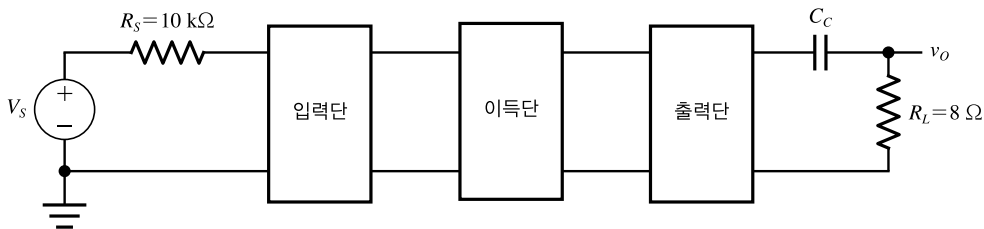
[그림 7-38] 단순화된 BJT 연산 증폭기 회로

7.5 응용회로 설계과제

이 장에서는 차동 증폭기와 다단 증폭기의 특성에 대하여 살펴보고 해석해 보았다. 설명된 내용을 적용하여 다단 증폭기 응용회로를 설계해 본다. 다음 사양을 만족하는 회로를 설계하고, 시뮬레이션을 통해 설계사양을 만족하는지 확인해 본다.

■ 설계사양

- 회로의 기능 : $8\ \Omega$ 의 스피커에 $0.1\ \text{W}$ 의 평균전력을 공급하는 증폭기를 [그림 7-39]와 같은 다단 증폭기 구조로 설계한다.
- 입력단은 CC 구조를 사용하며, 이득단은 CE-CE 종속연결 구조를 사용한다. 출력단은 $8\ \Omega$ 의 스피커를 구동할 수 있도록 CC 구조를 사용한다.
- 입력신호는 진폭이 $10\ \text{mV}$ 인 정현파이며 신호원의 출력저항은 $R_S = 10\ \text{k}\Omega$ 이다.



[그림 7-39] 설계과제의 다단 증폭기 구조

7.6 요약

■ 차동 증폭기 **differential amplifier** 두 입력신호의 차(difference)를 증폭하며, 두 개의 입력단자와 하나 또는 두 개의 출력단자를 갖는다. 이미터 결합 차동쌍(emitter-coupled differential pair) 또는 소오스 결합 차동쌍(source-coupled differential pair)과 정전류원(constant-current source), 능동부하(active load) 등으로 구성된다.

- 공통모드 입력의 경우 : 이상적인 차동 증폭기에 공통모드 전압이 인가되어 $v_d = 0$ 인 경우에, 두 컬렉터 전압의 차는 0이 된다.
- 차동모드 입력의 경우 : 이상적인 차동 증폭기에 차동모드 전압이 인가되면 이는 컬렉터 전압의 차로 나타난다.

■ 차동 증폭기의 동작특성

- $v_d = 0$ 이면 차동쌍의 컬렉터에는 바이어스 전류가 절반씩 흐른다.

- 차동쌍의 컬렉터 전류 i_{C1} 과 i_{C2} 는 상보적(complementary)인 관계를 가져 한쪽이 증가하면 다른 쪽은 감소한다.
- 차동 입력전압의 작은 범위($-2V_T < v_d < 2V_T$)에서 차동쌍의 컬렉터 전류는 선형을 유지하며, 차동 증폭기의 이득은 $v_d=0$ 인 점에서의 기울기(전달전도턴스)에 비례한다.
- 큰 차동 입력전압($|v_d| \gg 2V_T$)에 대해서 차동쌍의 트랜지스터 중 하나는 차단되고 다른 하나는 도통되며, 바이어스 전류는 도통된 트랜지스터를 통해 흐른다.

■ 차동 증폭기의 특성 파라미터

- 차동모드 이득(differential-mode gain) : 차동모드 입력전압에 대한 출력전압의 비
- 공통모드 이득(common-mode gain) : 공통모드 입력전압에 대한 출력전압의 비
- 공통모드 제거비(common-mode rejection ratio; CMRR) : 공통모드 이득에 대한 차동모드 이득의 비로 정의되며, 공통모드 입력은 출력되지 않도록 억제하고, 차동모드 입력만 증폭되어 출력되도록 하는 성능을 나타낸다.

$$\text{CMRR} \equiv \left| \frac{A_{dm}}{A_{cm}} \right| \quad \text{또는} \quad \text{CMRR}_{\text{dB}} \equiv 20 \log_{10} \left| \frac{A_{dm}}{A_{cm}} \right|$$

- 차동모드 입력저항 : 두 입력단자에서 차동 증폭기를 본 등가 입력저항
- 공통모드 입력저항 : 공통모드 입력 v_{CM} 이 인가되는 입력단자와 접지 사이의 등가 입력저항
- 오프셋 전류 : 차동쌍의 두 입력단자에 흐르는 바이어스 전류의 차
- 입력 오프셋 전압 : 두 입력단자가 접지로 연결되어 0 V가 인가된 상태에서 출력에 나타나는 DC 전압으로서 차동 증폭기의 비이상적인 특성에 의해 발생된다.
- 공통모드 입력범위 : 차동 증폭기가 선형영역에서 동작할 수 있는 공통모드 입력전압의 한계 범위

■ BJT 차동 증폭기

- 차동모드 이득 : $A_{dm} = \frac{v_{c2} - v_{c1}}{v_d} = g_m R_C$
 → 단일종단 출력의 경우 : $A_{dm} = \frac{v_{c2}}{v_d} = \frac{g_m R_C}{2}$
- 공통모드 이득 : $A_{cm} \simeq \frac{\alpha R_C}{2R_O}$
- 공통모드 제거비 : $\text{CMRR} = \left| \frac{A_{dm}}{A_{cm}} \right| = g_m R_O$
 → 정전류원의 출력저항 R_O 에 관계되며, R_O 가 클수록 CMRR이 커진다.
- 차동모드 입력저항 : $R_{i_{dm}} = 2r_\pi$

■ MOSFET 차동 증폭기

- 차동모드 이득 : $A_{dm} = \frac{v_{d2} - v_{d1}}{v_{id}} = g_m R_D = \sqrt{K_n I_{SS}} R_D$,
 $\rightarrow$ 단일종단 출력의 경우 : $A_{dm} = \frac{v_{d1}}{v_{id}} = -\frac{g_m R_D}{2} = -\frac{\sqrt{K_n I_{SS}}}{2} R_D$
- 공통모드 이득 : $A_{cm} = \frac{v_{d1}}{v_{CM}} = \frac{-g_m R_D}{1 + 2g_m R_O}$
- 공통모드 제거비 : $CMRR = \left| \frac{A_{dm}}{A_{cm}} \right| = \frac{1 + 2g_m R_O}{2} = \frac{1}{2} (1 + 2R_O \sqrt{K_n I_{SS}})$
 $\rightarrow$ 정전류원의 출력저항 R_O 에 관계되며, R_O 가 클수록 CMRR이 커진다.

■ 능동부하를 갖는 차동 증폭기 큰 차동모드 이득을 얻기 위해서 트랜지스터를 이용한 능동부하(active load)가 사용된다. 능동부하는 일정한 전류를 공급하는 정전류원 형태로 구현되며, 정전류원의 큰 출력저항을 부하저항으로 사용한다.

■ 캐스코드 차동 증폭기 차동쌍을 캐스코드(CE-CB, CS-CG) 구조로 구현하면, 차동 증폭기의 출력저항이 커져서 큰 차동모드 이득을 얻을 수 있다.

■ 정전류원 [constant-current source](#) 전압변동에 무관하게 항상 일정한 전류를 공급(또는 흡수)하는 회로이다. IC 증폭기에서는 트랜지스터를 이용한 정전류원 바이어스 회로가 보편적으로 사용되며, 정전류원 회로는 큰 출력저항을 가지므로, 능동부하로도 사용되어 작은 칩 면적으로 큰 전압이득을 얻을 수 있다.

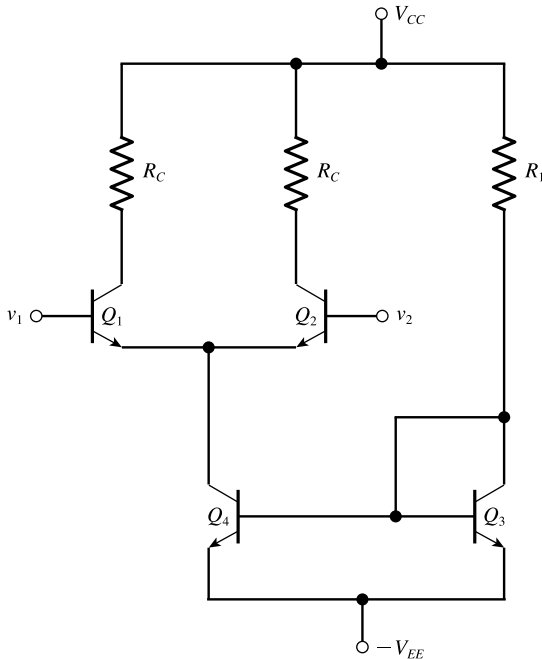
■ 다단 증폭기 [multi-stage amplifier](#) 단일 트랜지스터 증폭기들을 종속(cascade)으로 연결하여 다단 증폭기를 구성하면, 단일 증폭단이 갖는 장점들을 결합하여 보다 우수한 성능의 증폭기를 구현할 수 있다.

종속연결 증폭기	특징
공통 이미터-공통 이미터(CE-CE) 공통 소오스-공통 소오스(CS-CS)	큰 전압이득
공통 이미터-공통 베이스(CE-CB) 공통 소오스-공통 게이트(CS-CG)	큰 대역폭과 전압이득
공통 컬렉터-공통 컬렉터(CC-CC)	큰 전류이득
공통 컬렉터-공통 이미터(CC-CE)	큰 입력저항과 전압이득
공통 이미터-공통 컬렉터(CE-CC) 공통 소오스-공통 드레인(CS-CD)	작은 출력저항과 전압이득

- 종속연결 2단 증폭기에서 증폭단-2의 입력저항이 증폭단-1에 부하로 작용하는 부하효과(load effect)가 존재하므로, 종속연결 증폭기 전체의 전압이득(또는 전류이득)은 단순히 개별 증폭단 이득의 곱으로 주어지지 않는다.

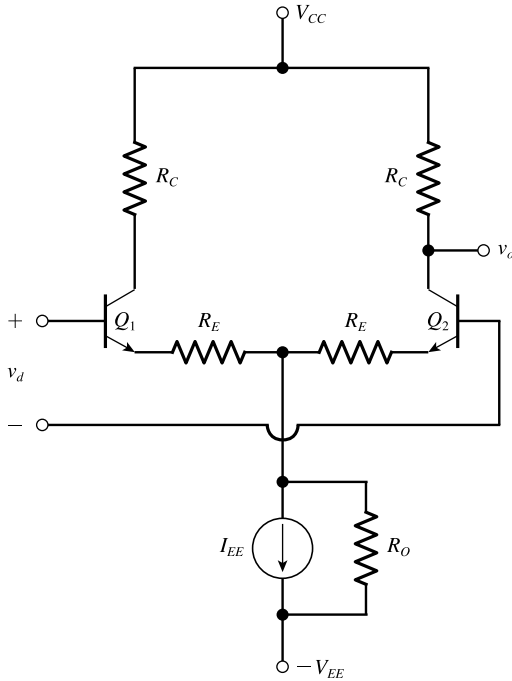
Chapter_07 연습문제

- 7.1** [그림 7-7(a)] 차동 증폭기가 $I_{EE}=1.2\text{ mA}$ 로 바이어스되어 있다. 단일종단 출력에 대한 (a) 차동모드 이득 A_{dm} , (b) 공통모드 이득 A_{cm} , (c) CMRR을 구하라. 단, 바이어스 전류원 I_{EE} 의 출력저항은 $R_O=40\text{ k}\Omega$ 이고, $R_C=12\text{ k}\Omega$ 이며, BJT는 $\beta_o=100$ 이고 $V_A=\infty$ 이다.
- 7.2** [그림 7-7(a)]의 차동 증폭기에 공통모드 신호 $v_{I1}=v_{I2}=v_{CM}=10\sin\omega t\text{ mV}$ 가 인가된다. 바이어스 전류원 I_{EE} 의 출력저항이 (a) $R_O=40\text{ k}\Omega$ 인 경우 (b) $R_O=200\text{ k}\Omega$ 인 경우의 공통모드 출력전압을 구하고, 비교하라. 단, R_O 를 제외한 나머지 파라미터는 문제 7.1과 동일하다.
- 7.3** $A_{dm}=50$, CMRR=70 dB인 차동 증폭기에 입력 $v_{I1}=200\text{ }\mu\text{V}$, $v_{I2}=160\text{ }\mu\text{V}$ 가 인가되는 경우의 출력을 구하라. 단, $A_{cm}>0$ 으로 가정한다.
- 7.4** [그림 7-40] 회로의 차동모드 입력저항 $R_{i_{dm}}$ 과 공통모드 입력저항 $R_{i_{cm}}$ 을 구하라. 단, $R_1=38.6\text{ k}\Omega$, $\beta_o=100$, $V_A=100\text{ V}$, $V_{BE(on)}=0.7\text{ V}$ 이며, $V_{CC}=V_{EE}=10\text{ V}$ 이다.



[그림 7-40]

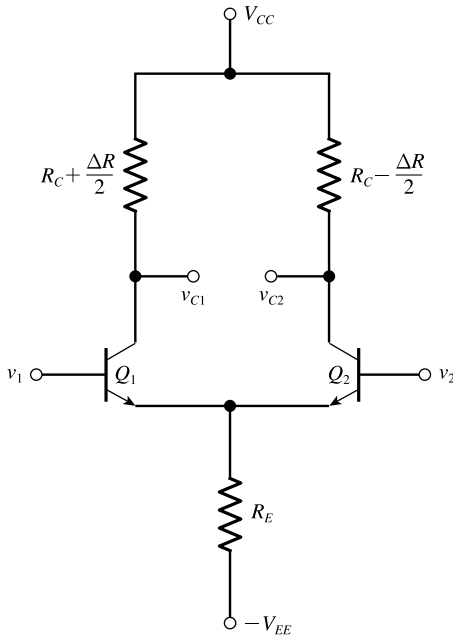
- 7.5 [그림 7-41]의 회로는 이미터 저항 R_E 를 갖는 차동 증폭기 회로이다. (a) 차동모드 이득 A_{dm} 과 (b) 차동모드 입력저항 R_{idm} 을 구하라.



[그림 7-41]

- 7.6 문제 7.5의 [그림 7-41] 회로에서 (a) $R_E = 0.5 \text{ k}\Omega$ 인 경우, (b) $R_E = 0$ 인 경우의 단일종단 출력에 대한 차동모드 이득 A_{dm} 과 차동모드 입력저항 R_{idm} 을 구하고, R_E 의 영향을 설명하라. 단, $I_{EE} = 1.2 \text{ mA}$, I_{EE} 의 출력저항은 $R_O = 40 \text{ k}\Omega$ 이고, $R_C = 12 \text{ k}\Omega$ 이며, BJT는 $\beta_o = 100$ 이고 $V_A = \infty$ 이다.

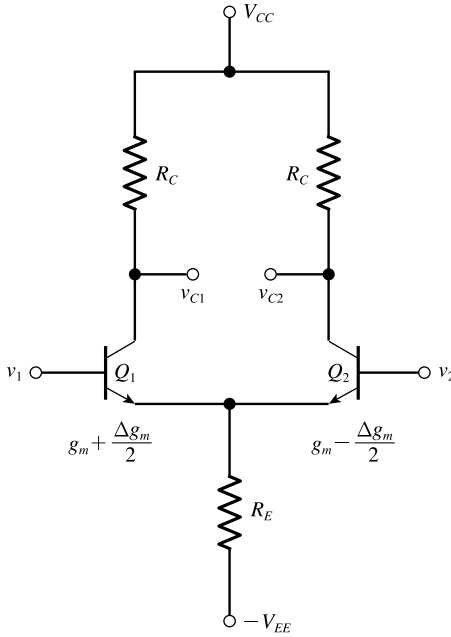
- 7.7 [그림 7-42]의 차동 증폭기에서 컬렉터 저항 R_C 가 ΔR 만큼 불일치(mismatch)하는 경우에 출력 $v_o = v_{C1} - v_{C2}$ 에 대한 차동모드 이득 A_{dm} , 공통모드 이득 A_{cm} 을 구하라. 단, BJT의 $V_A = \infty$ 로 가정한다.



[그림 7-42]

- 7.8 [그림 7-42]의 회로에서 ΔR 은 R_C 의 1%이다. (a) 출력 $v_o = v_{C1} - v_{C2}$ 에 대한 차동모드 이득 A_{dm} , 공통모드 이득 A_{cm} , 그리고 CMRR을 구하라. (b) $\Delta R = 0$ 인 경우와 비교하여 ΔR 의 영향을 설명하라. 단, BJT는 $\beta_o = 100$, $V_{BE(on)} = 0.7$ V, $V_A = \infty$ 이고, $R_C = 50$ k Ω , $R_E = 75$ k Ω 이며, $V_{CC} = V_{EE} = 10$ V이다.

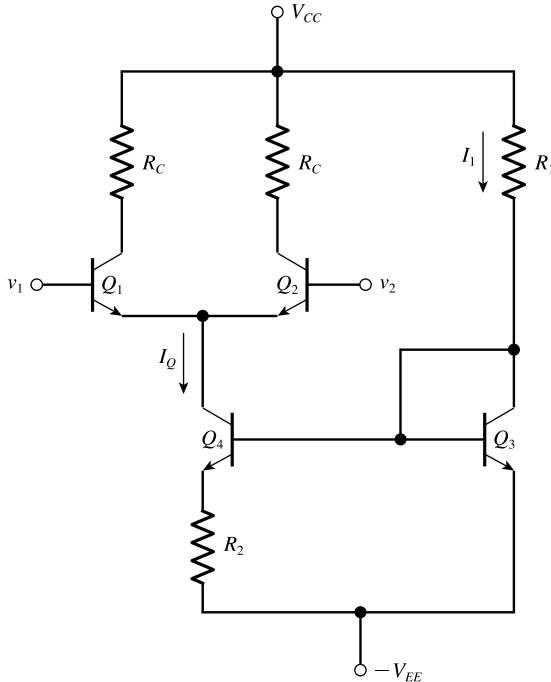
- 7.9 [그림 7-43]의 차동 증폭기에서 BJT의 전달컨덕턴스 g_m 이 Δg_m 만큼 불일치(mismatch)하는 경우에 출력 $v_o = v_{C1} - v_{C2}$ 에 대한 차동모드 이득 A_{dm} , 공통모드 이득 A_{cm} 을 구하라. 단, BJT의 $V_A = \infty$ 로 가정한다.



[그림 7-43]

- 7.10 [그림 7-43]의 회로에서 Δg_m 은 g_m 의 1%이다. (a) 출력 $v_o = v_{C1} - v_{C2}$ 에 대한 차동모드 이득 A_{dm} , 공통모드 이득 A_{cm} , 그리고 CMRR을 구하라. (b) $\Delta g_m = 0$ 인 경우와 비교하여 Δg_m 의 영향을 설명하라. 단, BJT는 $\beta_o = 100$, $V_{BE(on)} = 0.7$ V, $V_A = \infty$ 이고, $R_C = 50$ k Ω , $R_E = 75$ k Ω 이며, $V_{CC} = V_{EE} = 10$ V이다.

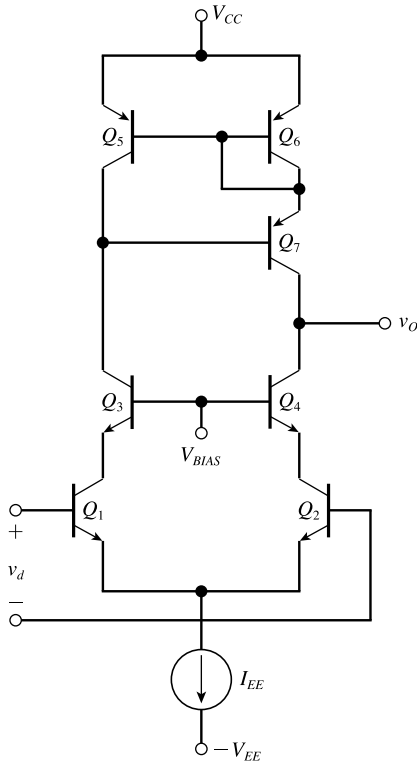
- 7.11** [그림 7-44] 회로에서 $R_C=40\text{ k}\Omega$ 이고 $V_{CC}=V_{EE}=10\text{ V}$ 이다. (a) $I_1=0.5\text{ mA}$, $I_Q=200\text{ }\mu\text{A}$ 가 되도록 저항 R_1 과 R_2 값을 결정하라. (b) 결정된 I_Q 에 대해 공통모드 이득 A_{cm} 과 공통모드 입력저항 R_{idm} 을 구하라. 단, Q_1 과 Q_2 는 $V_A=\infty$ 이고, Q_3 과 Q_4 는 $V_A=100\text{ V}$ 이며, $\beta_o=200$ 으로 모두 같다.



[그림 7-44]

- 7.12** [그림 7-11]의 차동 증폭기 회로에서 (a) 개방회로 차동모드 이득과 (b) 부하저항 $R_L=1\text{ M}\Omega$ 이 연결된 경우의 차동모드 이득을 구하라. 단, $I_{EE}=100\text{ }\mu\text{A}$ 이고, 모든 BJT는 특성이 정합되어 있으며, $\beta_o=120$, $V_A=150\text{ V}$ 이다.

- 7.13** [그림 7-45]의 캐스코드 차동 증폭기 회로에서 (a) 출력노드에서의 등가 출력저항과 (b) 차동모드 이득 v_o/v_d 를 구하라. 단, $I_{EE}=100\ \mu\text{A}$ 이고, 모든 BJT는 동일하게 $\beta_o=100$, $V_A=100\ \text{V}$ 이다.

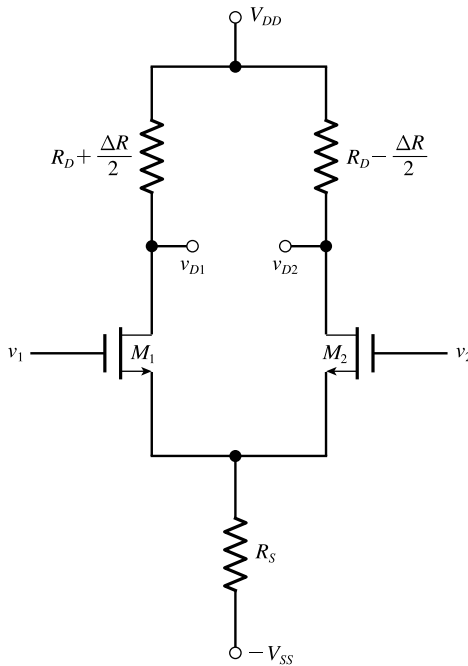


[그림 7-45]

- 7.14** [그림 7-17]의 정전류원 회로에서 $I_{REF}=200\ \mu\text{A}$ 가 되도록 저항 R 값을 결정하고, 전류 I_1 , I_2 , I_3 의 값을 구하라. $V_{CC}=V_{EE}=5\ \text{V}$ 이고, BJT의 $V_{BE(on)}=V_{EB(on)}=0.7\ \text{V}$ 이고 베이스 전류는 무시한다.
- 7.15** [그림 7-19]의 윌슨 정전류원의 출력저항이 $R_o \approx \beta_o r_{o3}/2$ 가 됨을 보여라. 단, BJT의 소신호 파라미터는 $r_\pi \parallel r_e \approx r_e$ 이고, $g_m r_e \approx 1$ 로 가정한다.

7.16 [그림 7-20]의 위들러 정전류원의 출력저항이 $R_O \simeq r_{o2}[1 + g_{m2}(r_{\pi2} \parallel R_E)]$ 가 됨을 보여라. 단, Q_1 의 베이스로 들여다 본 등가저항 R_{o1} 은 $r_{\pi2}$ 에 비해 매우 작아 무시할 수 있으며, $g_m \gg 1/r_{o2}$ 이다.

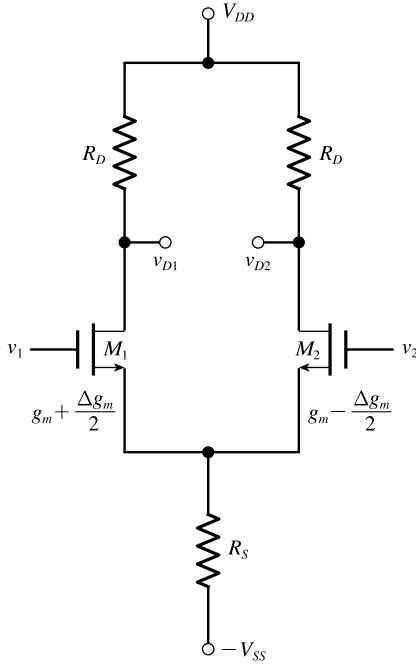
7.17 [그림 7-46]의 차동 증폭기에서 드레인 저항 R_D 가 ΔR 만큼 불일치(mismatch)를 하는 경우에 출력 $v_o = v_{D1} - v_{D2}$ 에 대한 차동모드 이득 A_{dm} , 공통모드 이득 A_{cm} 을 구하라. 단, MOSFET의 $\lambda = 0$ 으로 가정한다.



[그림 7-46]

7.18 [그림 7-46]의 회로에서 ΔR 는 R_D 의 1%이다. (a) 출력 $v_o = v_{D1} - v_{D2}$ 에 대한 차동모드 이득 A_{dm} , 공통모드 이득 A_{cm} , 그리고 CMRR을 구하라. (b) $\Delta R = 0$ 인 경우와 비교하여 ΔR 의 영향을 설명하라. 단, MOSFET는 $K_n = 0.2 \text{ mA/V}^2$, $\lambda = 0$, 이고, $V_{tn} = 1 \text{ V}$, $R_D = 50 \text{ k}\Omega$, $R_S = 60 \text{ k}\Omega$ 이며, $V_{DD} = V_{SS} = 10 \text{ V}$ 이다.

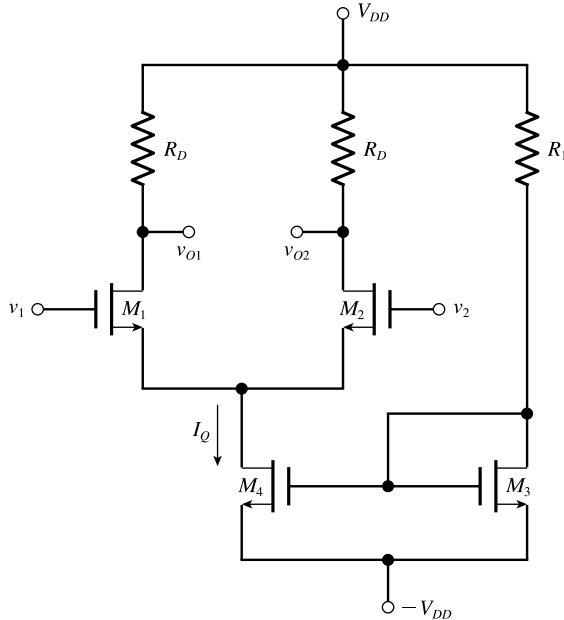
- 7.19** [그림 7-47]의 차동 증폭기에서 MOSFET의 전달컨덕턴스 g_m 이 Δg_m 만큼 불일치(mismatch)하는 경우에 출력 $v_o = v_{D1} - v_{D2}$ 에 대한 차동모드 이득 A_{dm} , 공통모드 이득 A_{cm} 을 구하라. 단, MOSFET의 $\lambda=0$ 으로 가정한다.



[그림 7-47]

- 7.20** 문제 7.19의 [그림 7-48] 회로에서 Δg_m 은 g_m 의 1%이다. (a) 출력 $v_o = v_{D1} - v_{D2}$ 에 대한 차동모드 이득 A_{dm} , 공통모드 이득 A_{cm} , 그리고 CMRR을 구하라. (b) $\Delta g_m = 0$ 인 경우와 비교하여 Δg_m 의 영향을 설명하라. 단, MOSFET는 $K_n = 0.2 \text{ mA/V}^2$, $\lambda = 0$, $V_{Tn} = 1 \text{ V}$ 이고, $R_D = 50 \text{ k}\Omega$, $R_S = 60 \text{ k}\Omega$ 이며, $V_{DD} = V_{SS} = 10 \text{ V}$ 이다.
- 7.21** [그림 7-24(a)]의 회로에서 트랜지스터 M_1 과 M_2 가 포화영역에서 동작하기 위한 공통모드 입력전압 v_{CM} 의 최댓값을 구하라. 단, $I_{SS} = 0.5 \text{ mA}$ 이고, $R_D = 7.5 \text{ k}\Omega$, $V_{DD} = V_{SS} = 10 \text{ V}$ 이며, MOSFET 파라미터는 $V_{Tn} = 0.8 \text{ V}$, $K_n = 0.2 \text{ mA/V}^2$, $\lambda = 0$ 이다.

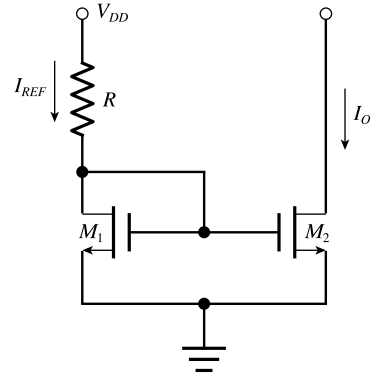
7.22 [그림 7-48]의 차동 증폭기 회로에서 (a) 바이어스 전류 I_Q 를 구하라. 단일종단 출력에 대한 (b) 차동모드 이득 A_{dm} , (c) 공통모드 이득 A_{cm} , (d) CMRR을 구하라. 단, $R_D=15\text{ k}\Omega$, $R_1=30\text{ k}\Omega$ 이며, 모든 MOSFET는 $V_{TN}=1.0\text{ V}$ 이고, $K_{n1}=K_{n2}=0.3\text{ mA/V}^2$, $K_{n3}=K_{n4}=0.4\text{ mA/V}^2$, $\lambda_1=\lambda_2=\lambda_3=0$, $\lambda_4=0.01\text{ V}^{-1}$ 이며, $V_{DD}=10\text{ V}$ 이다.



[그림 7-48]

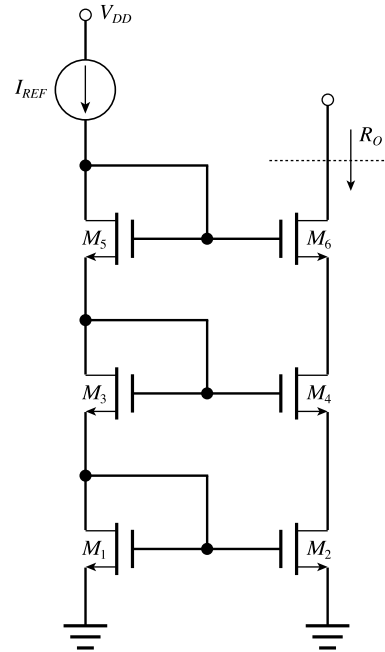
7.23 [그림 7-25(a)]의 MOSFET 차동 증폭기 회로가 $I_{SS}=200\text{ }\mu\text{A}$ 로 바이어스되어 있다. (a) 차동 모드 이득 A_{dm} , (b) 출력저항 R_{out} 을 구하라. 단, MOSFET 파라미터는 $K_n=K_p=1\text{ mA/V}^2$, $\lambda_2=\lambda_4=0.02\text{ V}^{-1}$ 이고, $V_{DD}=5\text{ V}$ 이다.

7.24 [그림 7-49]의 정전류원 회로에서 I_{REF} , I_O , 그리고 $V_{DS2,sat}$ 을 구하라. 단, MOSFET 파라미터는 $V_{TN}=0.5\text{ V}$, $K_n=1.0\text{ mA/V}^2$, $\lambda=0$ 이고, $R=12\text{ k}\Omega$, $V_{DD}=3.3\text{ V}$ 이다.



[그림 7-49]

7.25 [그림 7-50]의 캐스코드 정전류원 회로의 출력저항 R_O 를 구하고, [그림 7-28(a)] 회로의 출력저항과 비교하라. 단, 모든 MOSFET의 특성은 동일하며, $\lambda=0.01\text{ V}^{-1}$, $g_m=0.5\text{ mA/V}$ 이고, $I_O \approx I_{REF}=0.4\text{ mA}$ 이다.



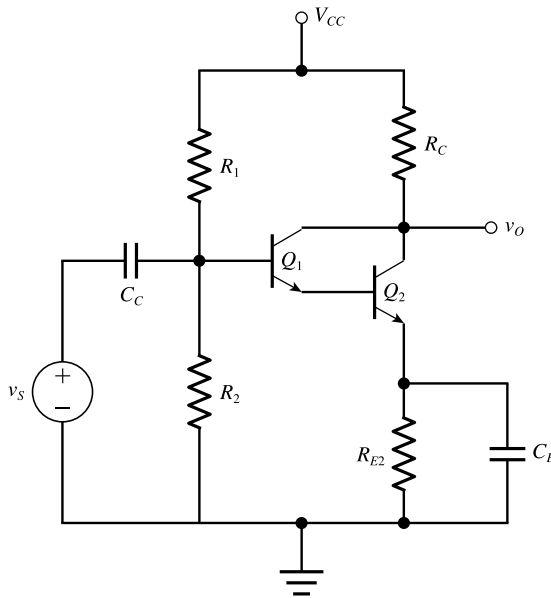
[그림 7-50]

7.26 [그림 7-35]의 CC-CE 종속연결 증폭기에 대해 (a) Q_1 증폭단의 소신호 전압이득 A_{v1} , (b) Q_2 증폭단의 소신호 전압이득 A_{v2} , (c) 전체 증폭단의 소신호 전압이득 $A_v = A_{v1}A_{v2}$ 을 구하라. $R_1=400\text{ k}\Omega$, $R_2=600\text{ k}\Omega$, $R_3=155\text{ k}\Omega$, $R_4=15\text{ k}\Omega$, $R_{E1}=5\text{ k}\Omega$, $R_{C2}=2.0\text{ k}\Omega$, $R_s=0$, $V_{CC}=10\text{ V}$ 이다. BJT의 파라미터는 $\beta_{o1}=\beta_{o2}=180$, $V_{BE1(on)}=V_{BE2(on)}=0.7\text{ V}$ 이고, $V_{A1}=V_{A2}=\infty$ 로 가정한다.

7.27 [그림 7-36]의 CE-CC 종속연결 증폭기에 대해 (a) Q_1 증폭단의 소신호 전압이득 A_{v1} , (b) Q_2 증폭단의 소신호 전압이득 A_{v2} , (c) 전체 증폭단의 소신호 전압이득 $A_v = A_{v1}A_{v2}$ 을 구하라. $R_1=600\text{ k}\Omega$, $R_2=100\text{ k}\Omega$, $R_3=50\text{ k}\Omega$, $R_4=70\text{ k}\Omega$, $R_{C1}=10\text{ k}\Omega$, $R_{E1}=1\text{ k}\Omega$, $R_{E2}=1.5\text{ k}\Omega$, $R_s=0$, $V_{CC}=12\text{ V}$ 이다. BJT의 파라미터는 $\beta_{o1}=\beta_{o2}=180$, $V_{BE1(on)}=V_{BE2(on)}=0.7\text{ V}$ 이고, $V_{A1}=V_{A2}=\infty$ 로 가정한다.

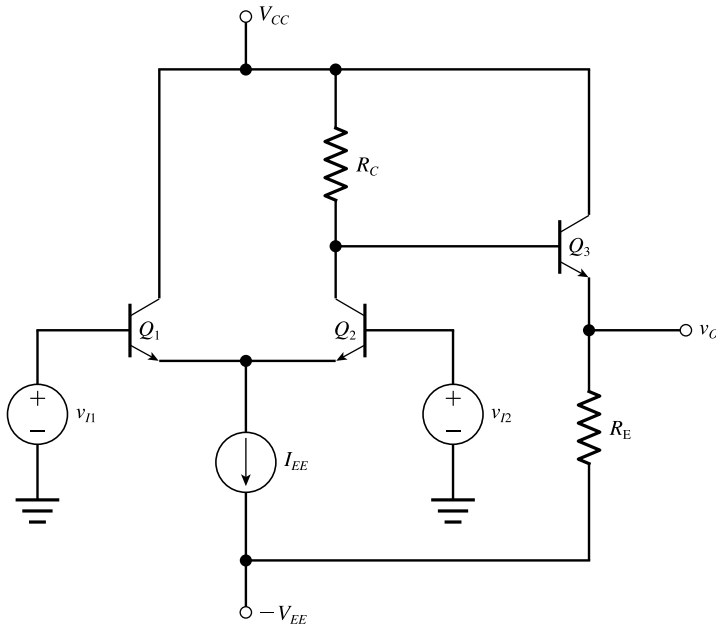
7.28 [그림 7-37(a)]의 CS-CD 종속연결 증폭기의 소신호 전압이득을 구하라. MOSFET의 바이어스 전류는 $I_{D1}=0.25\text{ mA}$, $I_{D2}=0.6\text{ mA}$ 이고, $V_{TN1}=V_{TN2}=1.0\text{ V}$, $K_{n1}=0.5\text{ mA/V}^2$, $K_{n2}=0.3\text{ mA/V}^2$, $\lambda_1=\lambda_2=0$ 이며, $R_1=380\text{ k}\Omega$, $R_2=120\text{ k}\Omega$, $R_{D1}=16\text{ k}\Omega$, $R_{S1}=3.3\text{ k}\Omega$, $R_{S2}=8\text{ k}\Omega$, $R_L=5\text{ k}\Omega$, $R_{si}=2\text{ k}\Omega$, $V_{DD}=-V_{SS}=5\text{ V}$ 이다.

7.29 [그림 7-51]의 증폭기에 대해 (a) Q_1 과 Q_2 의 동작점 전류 I_{C1} , I_{C2} 와 전압 V_{CE1} , V_{CE2} 을 구하라. (b) 전압이득 $A_v=v_o/v_s$ 를 구하라. $R_1=620\text{ k}\Omega$, $R_2=280\text{ k}\Omega$, $R_C=2.2\text{ k}\Omega$, $R_{E2}=1\text{ k}\Omega$, $V_{CC}=10\text{ V}$ 이다. BJT 파라미터는 $\beta_{o1}=100$, $\beta_{o2}=160$, $V_{BE1(on)}=V_{BE2(on)}=0.7\text{ V}$ 이고, $V_{A1}=V_{A2}=\infty$ 로 가정한다.



[그림 7-48]

7.30 [그림 7-52]의 회로에 대해 (a) $v_{I1}=v_{I2}=0$ 일 때, 각 BJT의 바이어스 전류 I_C 와 전압 V_{CE} 를 구하라. (b) 각 BJT의 r_π 와 g_m 을 구하라. (c) $v_O=A_{v1}v_{I1}+A_{v2}v_{I2}$ 이라고 할 때, 전압이득 A_{v1} 과 A_{v2} 를 구하라. (d) 두 입력단자에서 본 입력저항을 구하라. (e) 증폭기의 출력저항을 구하라. $I_{EE}=1\text{ mA}$, $V_{CC}=V_{EE}=5\text{ V}$, $R_C=10\text{ k}\Omega$, $R_E=2\text{ k}\Omega$ 이고, BJT Q_1 과 Q_2 는 특성이 동일하며 $\beta_o=100$ 이다.



[그림 7-52]