

MOSFET의 구조 및 특성

MOSFET의 구조 및 동작 원리 _01

NMOS의 동작과 특성 _02

참고문헌

연습문제

학습목표

- MOSFET의 동작과 특성을 알아본다.
- CMOS의 구조와 동작 원리를 이해한다.
- NMOS의 세 가지 동작상태에 대해서 알아본다.
- NMOS 채널 전류 공식을 이해한다.

1. MOSFET의 구조 및 동작 원리

1.1 MOSFET의 출현 배경

먼저 MOSFET는 어떻게 출현하였는지 알아보자. 반도체 소자 제작 기술이 개발되던 초창기에 는 게르마늄(Ge) germanium이 가장 각광받는 반도체 물질이었으나 1960년대 초반에 들어서면서부터 급격히 실리콘(Si) silicon으로 대체되기 시작하였다. 1960년 벨 연구소의 강대원 박사와 마틴 아탈라 Martin Atalla 박사는 MOSFET(금속 산화막 반도체 전계효과 트랜지스터)를 발명했다.

여기서 자주!

강대원(姜大元, Dawon David Kahng, 1931–1992) 박사는 반도체 물리학자로 2009년 5월 2일 한국인으로는 최초로 미국 발명가 명예의 전당에 등재되었다. 마틴 M. 아탈라 박사와 함께 최초의 상용화된 집적회로인 MOSFET를 개발한 공로가 인정된 것이다. 2009년은 집적회로 발명 50주년이 되는 해였다. MOSFET는 현재 연 약 230조~360조 원 규모로 성장할 수 있는 토대가 되었다. 1959년 최초의 집적회로를 만들었고, 2000년에 노벨상을 수상하기도 했던 잭 퀄비의 노벨상 수상 공적서에는 이미 강대원 박사의 MOSFET 기술이 소개되어 있다.

미국 특허청 산하의 발명가 명예의 전당(www.invent.org)은 인류의 사회, 경제에 기여한 발명자를 기리기 위해서 1973년에 설립되었다. 토머스 에디슨, 라이트 형제, 노벨, 알렉산더 그레厄姆 벨, 세이무어 크레이(슈퍼컴퓨터 크레이 개발), 빈튼 세프(인터넷 프로토콜 개발) 등 세계적으로 유명한 발명가 380여 명이 올라 있다. 2009년에는 강대원 박사와 마틴 M. 아탈라 박사 외에도 LCD 패널을 개발한 조지 헤일마이어, 인텔 창업자 고든 무어, 앤디 그로브, 실리콘 트랜지스터 개발자 고든 틸 등 15명이 함께 명예의 전당에 등재되었다.

강대원 박사는 1955년 도미하여 오하이오 주립대학교에서 이학석사, 물리학 박사학위를 수여한 후 벨 연구소에 입사해서 30여 년간 근무하였다. MOSFET 외에도 1967년에는 USB 메모리와 MP3 플레이어에 들어 있는 플래시 메모리(Floating Gate non-volatile semiconductor memory)도 최초로 발명했다. 1988년에 벨 연구소를 은퇴하고 미국 뉴저지 주에 설립된 NEC 연구소의 초대소장을 맡았다.



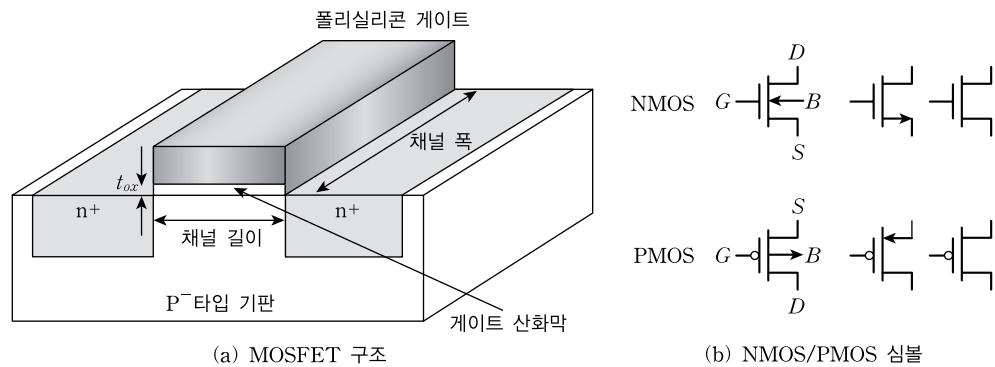
[그림 4-1] 물리학자 강대원
(출처: 위키피디아)

반도체 설계 초창기(1970년대)에는 알루미늄을 게이트 gate의 물질로 사용한 메탈 게이트 MOSFET 가 만들어졌으나, 곧 저항 성분이 적은 폴리실리콘 polysilicon을 게이트 물질로 사용한 실리콘 게이트 MOSFET 공정 기술이 개발되었다. 실리콘 게이트 NMOS^{N-type} MOS 기술은 1970년대와 1980

년대 초반기의 주류 기술로서 반도체 기술의 발전을 주도하였다. 1990년대 들어서 한 칩에 집적되는 트랜지스터의 개수가 백만 개를 넘어서자 NMOS 기술의 한계가 나타나기 시작한다. NMOS 기술은 논리회로를 구현하는 데 필요한 소자의 개수가 적은 대신 전력을 많이 사용하였는데, 전력소모에 따른 과열이 큰 문제로 등장한 것이다. 전력소모를 줄이기 위해 NMOS와 PMOS를 상보적으로 complementary 사용하는 CMOS Complementary MOS 기술이 사용되기 시작하였으며, 현재 반도체 집적회로의 핵심 기술로 자리잡고 있다.

1.2 MOSFET 구조

MOSFET(MOS라고 간략히 줄여서 부름)는 [그림 4-2]와 같이, P⁻타입의 실리콘 기판 substrate 위에 이산화 규소(SiO_2)로 이루어진 산화막 gate oxide이 존재하고, 그 위에 도체의 역할을 하도록 도핑(doping)을 많이 하여 전도도를 높인 폴리실리콘 게이트가 위치하는 구조를 가진다. 이처럼 MOS 구조로 이루어진 중앙부의 게이트 아래 부분을 채널 영역(반전층 inversion layer)이라고 하는데, 이 부분은 게이트 전압에 따라 소스와 드레인을 전기적으로 연결하는 핵심적인 역할을 한다.

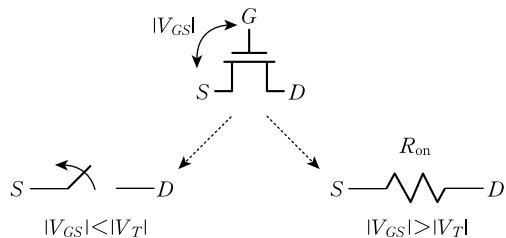


[그림 4-2] MOSFET(NMOS)의 구조와 NMOS/PMOS의 심볼

채널 영역의 양쪽 끝에는 소스 source와 드레인 drain이라 불리는 영역이 존재한다. 이 영역(NMOS의 경우에는 N⁺, PMOS의 경우에는 P⁺)은 기판(NMOS의 경우에는 P⁻, PMOS의 경우에는 N⁻)과 반대 극성의 도핑을 하여 형성한다.

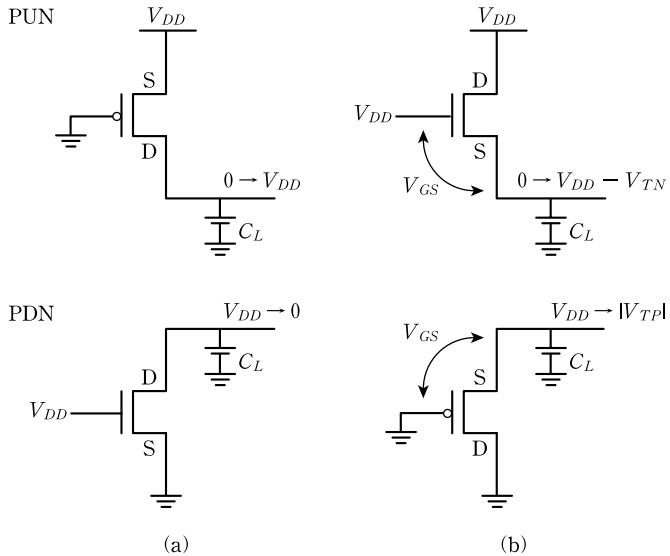
1.3 NMOS와 PMOS의 구조 및 동작 원리

먼저 CMOS 회로에서 사용되는 NMOS와 PMOS의 구조 및 동작 원리를 간단히 살펴보기로 하자. [그림 4-3]과 같이 NMOS의 경우를 먼저 살펴보자. 소스와 게이트 사이에서 채널을 형성하는 데 필요한 최소의 전압을 문턱전압(V_T) threshold voltage이라 부른다. 소스와 게이트 사이의 전압 V_{GS} 가 문턱전압보다 낮으면, 채널이 형성되지 않아 소스와 드레인 간에 전류가 흐르지 않는다. 반면, V_{GS} 에 문턱전압보다 높은 전압이 걸리면 게이트 아래 쪽 실리콘 기판에 충분한 양의 전자가 유기되어 채널을 형성한다. 이를 인버전 inversion이라고 한다. 이때 드레인에 소스보다 높은 전압을 걸어주면 형성된 채널(반전층)을 통해 전자가 이동하여 전류가 흐르게 되는데, 이를 컨덕션 conduction이라고 한다. PMOS의 경우에는 전압의 극성을 반대로 하여 전자 대신 정공 hole의 흐름을 생각하면, NMOS의 동작과 같은 방식으로 이해할 수 있다.



[그림 4-3] NMOS의 스위치 모델

[그림 4-4(a)]처럼 풀 업 네트워크 PUN: Pull Up Network인 PMOS의 소스가 공급전압 V_{DD} 에 연결되고, 풀 다운 네트워크 PDN: Pull Down Network인 NMOS의 소스가 GND에 연결된 경우에는 출력이 V_{DD} 또는 0의 출력 스윙 결과를 보인다. 반대로 [그림 4-4(b)]처럼 NMOS의 드레인이 V_{DD} 에 연결되고, PMOS의 드레인이 GND에 연결된 경우에는 $V_{DD} - |V_{TN}|$, $|V_{TP}|$ 와 같이 출력 스윙이 문턱전압만큼의 차이를 보인다. CMOS 인버터는 V_{DD} 또는 0의 완전 스윙의 출력을 제공하기 위하여 [그림 4-4(a)]와 같은 구조를 사용한다. [그림 4-4(b)]는 NMOS나 PMOS를 하나만 쓰는 스위치에서 볼 수 있는 형태인데, 문턱전압의 손실로 인해 팬아웃 fanout 게이트에서 정전전력이 소모되어 사용하지 않는다.

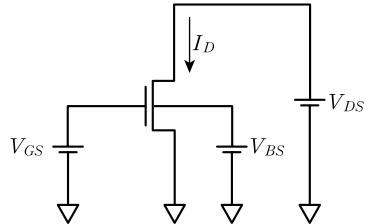


[그림 4-4] NMOS 및 PMOS의 문턱전압 손실

따라서 CMOS 인버터의 동작 상태를 문턱전압을 이용하여 설명하면 다음과 같다([그림 4-4(a)]). 입력전압 V_{in} 이 high(즉, $V_{in} > V_{DD}$)일 때 PMOS는 OFF(즉, $V_{SGP} = 0 > -V_{TP}$)이고 NMOS는 ON 상태(즉, $V_{GSN} = V_{DD} > V_{TN}$)으로 출력 전압 V_{out} 은 0이 된다. 반대로 입력전압 V_{in} 이 0일 때, PMOS는 ON(즉, $V_{SGP} = V_{DD} > -V_{TP}$)이고 NMOS는 OFF 상태(즉, $V_{GSN} = 0 < V_{TN}$)으로 출력 전압 V_{out} 은 V_{DD} 가 된다. 여기서, V_{SGP} 는 PMOS의 소스와 게이트 간의 전압, V_{GSN} 은 NMOS의 게이트와 소스 간의 전압, V_{TP} 은 PMOS의 문턱전압, V_{TN} 은 NMOS의 문턱전압을 말한다.

2. NMOS의 동작과 특성

NMOS와 PMOS의 차이는 드레인-소스 간의 전류에 기여하는 캐리어의 차이뿐이므로, 여기에서는 NMOS에 대해서만 알아본다. [그림 4-5]에 나와 있는 NMOS를 기준으로 MOSFET 동작 특성을 살펴보자.



[그림 4-5] NMOS의 전압 및 전류

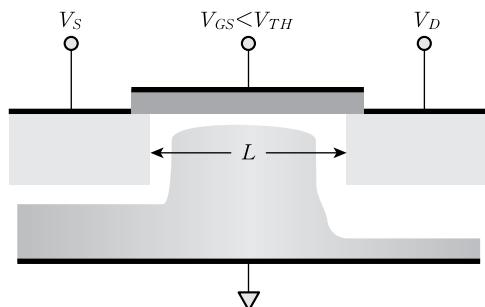
MOS는 소스, 게이트, 드레인, 백 게이트(혹은 벌크)의 네 단자로 구성된다. MOS는 대칭형 소자기 때문에 소스와 드레인에 구조적인 차이는 없다. 단지 전압을 인가하여 2단자를 비교할 때, n형이면 고전압 쪽이 드레인, 저전압 쪽이 소스가 되고 p형이면 그 역이 된다. 즉 소스, 드레인의 명칭은 캐리어의 도통 방향(캐리어의 발생원이 소스, 캐리어의 행선지가 드레인)에 의해 결정된다. [그림 4-5]는 드레인과 소스 사이의 전류(I_D), 드레인-소스 전압(V_{DS}), 벌크-소스 전압 (V_{BS}), 게이트-소스 전압(V_{GS}), 문턱전압(V_T)을 정의하고 있다.

2.1 NMOS의 세 가지 동작 상태

NMOS는 단자에 걸리는 전압에 따라 차단상태, 선형상태, 포화상태가 될 수 있다.

차단상태

차단^{cut-off}상태는 게이트-소스 전압과 게이트-드레인 전압이 문턱전압보다 낮으며(즉, $V_{GS} < V_T$, $V_{GD} < V_T$), 드레인-소스 전압 $V_{DS}(V_{DS} = V_{GS} - V_{GD})$ 가 0인 경우를 말한다. 이 경우에는 게이트가 닫혀서 드레인과 소스 사이에 전류가 흐르지 못한다(즉, $I_D = 0$).

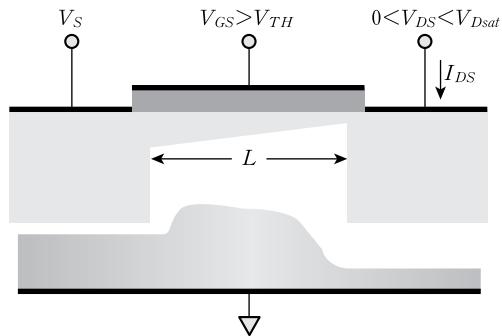


[그림 4-6] NMOS의 차단 상태

그러나 실제로는 소스에 있는 전자 중에서 에너지가 높은 일부 전자들이 채널로 들어가서 드레인으로 흐르는 것이 가능한데, 이것이 문턱아래 전류가 된다. 트랜지스터가 차단 스위치로 사용될 때 이상적으로는 드레인과 소스 사이의 전류가 없어야 하지만, 실제로는 미약한 역전류 inversion current가 흐르고 있는데 이를 문턱아래 누설전류 subthreshold leakage current라고 부른다.

선형상태

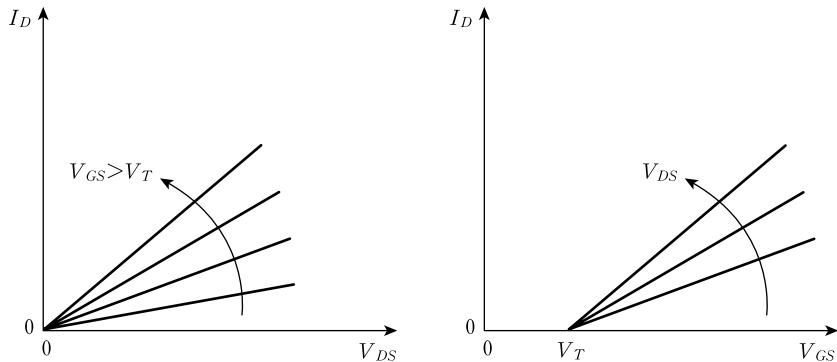
선형 linear(즉, 트라이오드 triode)상태는 V_{GS} 와 V_{GD} 가 문턱전압 V_T 보다 크고(즉, $V_{GS} > V_T$, $V_{GD} > V_T$), V_{DS} 가 0보다 크고 포화상태 전압보다 작은(즉, $V_{Dsat} > V_{DS} > 0$) 경우를 말한다. 선형상태에서는 게이트가 열려서 채널이 형성되며 소스에서 드레인 방향으로 전류가 흐른다.



[그림 4-7] NMOS의 선형상태

선형상태에서 게이트에 정전압이 인가되면 소스-드레인 사이 채널에 전자가 유도되어 반전층이 만들어진다. 이 상태에서는 V_{DS} 가 비교적 낮고 V_{GD} 가 문턱전압 V_T 를 넘게 되며, 소스-드레인 사이의 반전층이 저항 같은 기능을 가지게 된다.

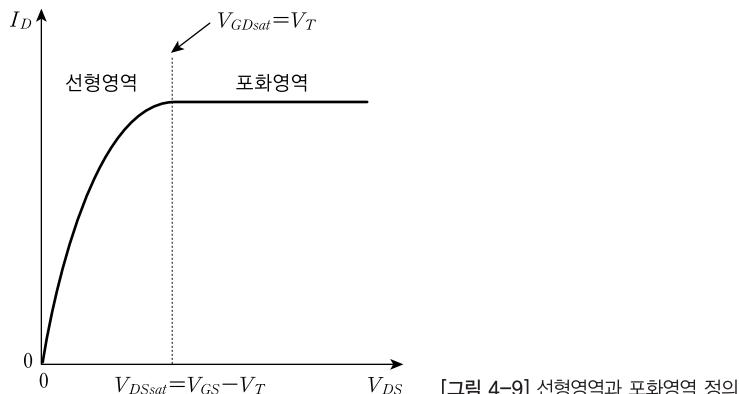
선형영역에서는 게이트 전압에 비례해서 반전층 두께와 컨덕턴스가 늘어난다. 즉, [그림 4-8]과 같이 V_{GS} 와 V_{DS} 가 증가하면 I_D 도 함께 증가한다.



[그림 4-8] NMOS의 선형상태의 $I-V$ 커브

포화상태

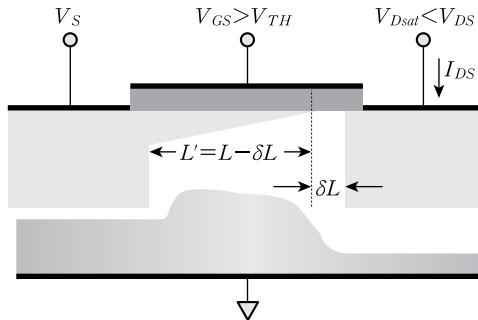
포화(saturation)상태는, 게이트-소스 전압이 문턱전압보다 크고 게이트-드레인 전압이 문턱전압보다 작으며 드레인-소스 전압이 V_{Dsat} 보다 큰 경우(즉, $V_{GS} > V_T$, $V_{GD} \leq V_T$, $V_{DS} \geq V_{Dsat}$)를 말한다. 이 상태에서는 게이트가 열리고 채널이 형성되어 소스와 드레인 사이에 전류 I_D 가 V_{DS} 의 증감에 관계없이 일정하게 흐른다(즉, $I_D = I_{Dsat}$). 또한 포화상태에서 V_{GD} 가 문턱전압 V_T 보다 밀들게 되면 드레인 영역 부근에서 반전층이 형성되지 않는다.



[그림 4-9] 선형영역과 포화영역 정의

여기서 $V_{GD} = V_T$ 의 상태를 핀치오프라고 부르며, 이 핀치오프 상태를 포화영역이라고 부른다. MOS 컨덕턴스는 반전층의 길이에 의해서 일정해진다. 포화영역에서는 드레인 전압이 게이트 전압보다 높아서 채널 중의 일부분이 없어진다. [그림 4-10]과 같이 채널 길이 L 이 줄어들면 I_{DS}

가 증가하고, V_{DS} 가 증가하면 δL (게이트 길이의 변화)이 커진다. $V_{DS} = V_{GS} - V_{TH}$ 가 되면 수직 전기장이 줄어들어 채널이 좁아지게(pinch-off) 되고 전자는 공핍 depletion 영역으로 진행된다.

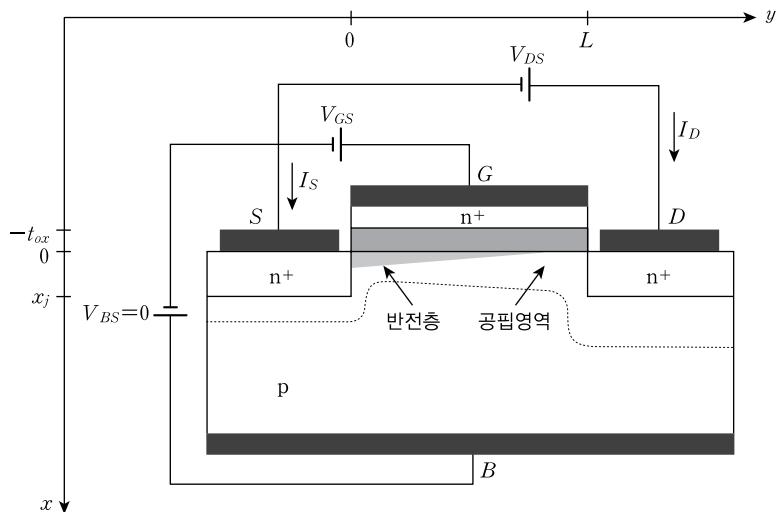


[그림 4-10] NMOS의 포화상태

2.2 NMOS 채널 전류 공식

NMOS 채널에 흐르는 전류의 공식을 유도해 보자. [그림 4-11]과 같이 전류는 오직 채널의 수평 방향(그림에서 y 방향)으로만 흐를 수 있고, 채널 폭, 전하량, 공급 전압에 비례한다. 따라서 채널 전류는 식 (4.1)로 표현된다.

$$I_y = W Q_n(y) V_y(y) \quad (4.1)$$



[그림 4-11] NMOS의 단면도와 전류 공식에 사용되는 기하학적 표기

드레인 터미널 전류는 마이너스 채널 전류와 같다. 따라서,

$$I_D = -WQ_n(y)V_j(y) \quad (4.2)$$

$V_j(y)$ 를 채널 위치 y 에서의 전압 $V_C(y)$ 의 함수로 다시 정리하면,

$$V_j(y) \simeq -\mu_n E_j(y) = \mu_n \frac{dV_c(y)}{dy} \quad (4.3)$$

여기서 μ_n 는 전하 운반자의 유효 이동도, W 는 게이트 폭, L 은 게이트 길이이고, C_{ox} 는 단위면적 당 게이트 산화층의 정전용량이다. 그러면 이번에는 전류가 흐르는 선형영역과 포화영역에서의 전류식을 알아보자.

선형영역

선형영역은 $V_{GS} - V_C(y) \geq V_T$ 인 경우에 해당하며 위치 y 에서의 전하량은 다음과 같다.

$$Q_n(y) = -C_{ox}(V_{GS} - V_C(y) - V_T) \quad (4.4)$$

전류량 I_D 를 구하기 위해 식 (4.4)를 식 (4.2)에 대입하면, 다음과 같다.

$$I_D = W\mu_n C_{ox}(V_{GS} - V_C(y) - V_T)(dV_C(y)/dy) \quad (4.5)$$

따라서, 식 (4.5)는 식 (4.6)과 같이 쓸 수 있다.

$$I_D dy = W\mu_n C_{ox}(V_{GS} - V_C - V_T)dV_C \quad (4.6)$$

여기서 dy 와 dV_C 부분을 제거하기 위하여 식 (4.6)을 선형영역 구간($y=0$ 에서 L 까지) 동안 채널을 따라 적분한다. 적분을 하기 위한 채널 구간의 $y=0$ (소스 쪽에서 채널이 시작되는 부분)에서는 $V_C(0) = 0$ 이 되고, $y=L$ (드레인 쪽에서 채널이 시작되는 부분)에서는 $V_C(L) = V_{DS}$ (선형영역인 경우)가 된다. 따라서 적분 식은 다음과 같이 표현할 수 있다.

$$I_D \int_0^L dy = W\mu_n C_{ox} \int_0^{V_{DS}} (V_{GS} - V_C - V_T) dV_C \quad (4.7)$$

일반적으로 모든 y 위치에, $V_{GS} - V_C(y) \geq V_T$ 을 만족할 때, 전류량은 식 (4.8)과 같이 표현된다.

$$I_D = W/L \mu_n C_{ox} (V_{GS} - V_{DS}/2 - V_T) V_{DS} \quad (4.8)$$

여기서 $y=L$, $V_C(y) = V_{DS}$ 인 경우에는 $V_{GS} - V_{DS} \geq V_T$ 또는 $V_{DS} \leq V_{GS} - V_T$ 가 되며, 반전층이 소스에서 드레인으로 가면서 얇아진다(최악의 경우 얇아짐. [그림 4-12] 참조). V_{DS} 가 작은 경

우는 다음 식으로 간략화할 수 있다.

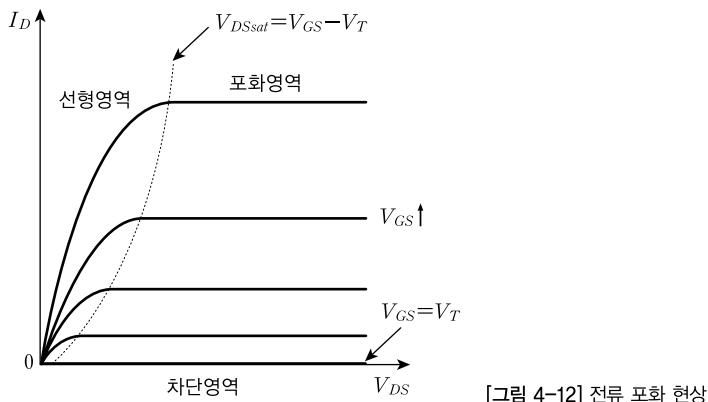
$$I_D = W/L \mu_n C_{ox} (V_{GS} - V_T) V_{DS} \quad (4.9)$$

식 (4.9)에서 V_{DS} , V_{GS} , W , L 의 증가에 따른 I_D 의 변화를 요약하면 다음과 같다.

- V_{DS} 가 증가하면 높은 수평 전기장의 영향으로 I_D 가 증가한다.
- V_{GS} 가 증가하면 높은 전자 집중의 영향으로 I_D 가 증가한다.
- L 이 증가하면 낮은 수평 전기장의 영향으로 I_D 가 감소한다.
- W 가 증가하면 넓은 전도 채널의 영향으로 I_D 가 증가한다.

포화영역

[그림 4-12]를 살펴보면 V_{DS} 가 증가하며, $V_{DSsat} = V_{GS} - V_T$ 에 접근할 때 $|E_y|$ 가 증가하고 $|Q_n|$ 이 감소한다. 이 경우에 전류 포화가 발생한다.



[그림 4-12] 전류 포화 현상

[그림 4-12]에서 알 수 있듯이, V_{DS} 가 증가하여 $V_{DS} = V_{GS} - V_T$ 가 되면 식 (4.9)는 다음 식으로 표현할 수 있다.

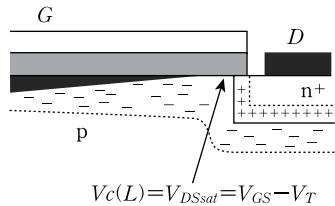
$$I_D = W/2L \mu_n C_{ox} (V_{GS} - V_T)^2 \quad (4.10)$$

이 식을 보면, 드레인 전류 I_D 는 V_{DS} 에 의존하지 않고 게이트-소스 전압 V_{GS} 에 의해서만 제어되는 것을 알 수 있다. 즉, 수평 전기장은 $V_{DS} = V_{GS} - V_T$ 에 비례하고, 전자 집중도는 $V_{GS} - V_T$ 에 비례하므로, 드레인 전류는 I_{Dsat} 은 $(V_{GS} - V_T)^2$ 에 비례하게 된다. 따라서, $V_{DS} = V_{GS} - V_T$ 가 되

면 식 (4.11)이 되어, [그림 4-12]에서 알 수 있듯이 채널의 끝(즉, $y = L$)에서 반전층이 사라지는 현상이 발생한다.

$$Q_n(L) = -C_{ox}(V_{GS} - V_{DS} - V_T) = 0 \quad (4.11)$$

이러한 현상이 앞에서 설명한 펀치오프 pinch-off이며, 이 펀치오프 지점에서의 전압은 $V_C(L) = V_{DSsat} = V_{GS} - V_T$ 가 된다. 반전층이 거의 사라져서 채널 길이가 아주 짧아지면, 전하 운반자의 이동은 유사-탄도성 전달 quasi ballistic transport을 하며, $I-V$ 특성을 위의 식 (4.10)으로 근사시킬 수 없다.



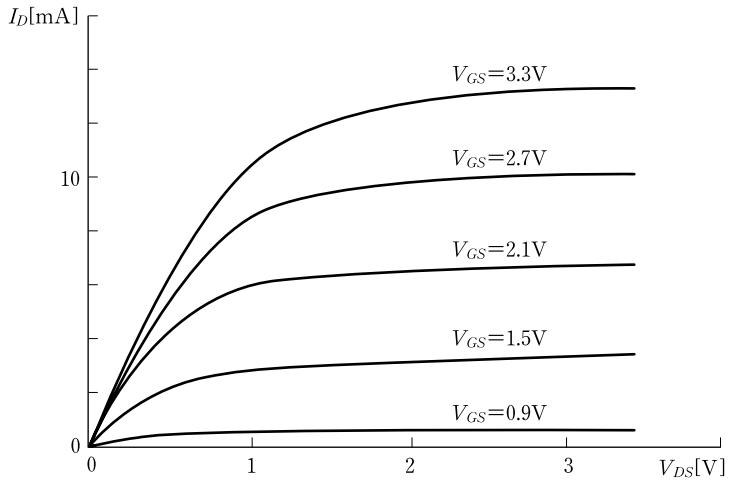
[그림 4-13] 펀치오프 포인트(소스에서 $V_C = 0$)에서의 전압

V_{DS} 가 계속 증가하여 ($V_{DS} > V_{GS} - V_T$)의 경우가 되었을 때를 살펴보자. 1차적으로는 I_D 가 펀치오프 포인트를 지나서 더 이상 증가하지 않는다. 따라서, $I_D = W/2L \mu_n C_{ox} (V_{GS} - V_T)^2$ 이 유지된다. 2차적으로는, 전기적 채널 길이가 바뀌는 채널 길이 변조 현상이 발생한다. 즉, $L = (L - \delta L)$ 로 변한다. 즉, V_{DS} 가 증가하면 L 이 감소하고 I_D 가 증가한다. 또한 I_{Dsat} 이 증가하면 L 이 감소하고, L 이 감소하면 $|E_y|$ 가 증가한다. 따라서, I_D 는 $(L - \delta L)$ 에 반비례하게 된다. 또한, 실험을 통하여 δL 은 $V_{DS} - V_{DSsat}$ 에 비례한다는 것을 알 수 있다. 따라서, $\delta L / L$ 은 $\lambda(V_{DS} - V_{DSsat})$ 가 되므로 I_{Dsat} 은 식 (4.12)가 된다.

$$I_{Dsat} = W/2L \mu_n C_{ox} (V_{GS} - V_T)^2 [1 + \lambda(V_{DS} - V_{DSsat})] \quad (4.12)$$

여기서 λ 가 $1/L$ 에 비례하는 것은 실험을 통하여 알 수 있다. 결론적으로 이러한 채널 길이 변조 때문에 I_{Dsat} 은 V_{DS} 의 증가와 함께 증가하는 비율이 줄어든다.

측정된 NMOS 트랜지스터의 전류 전압 특성은 [그림 4-14]와 같다.



[그림 4-14] MOS 트랜지스터의 측정된 전류 전압 특성($W/L = 25/0.35\mu\text{m}$)

☞ 문턱전압에 영향을 주는 백게이트 backgate(또는 몸체)의 특성

밸크(또는 몸체)는 또 다른 하나의 게이트처럼 동작할 수 있어서 “뒷문 back gate”이라고 불린다. 벌크 전압 V_b 는 NMOS에 대해서는 $V_b = V_{SS}$ 그리고 PMOS에 대해서는 $V_b = V_{DD}$ 가 된다. 만약 소스와 벌크 간 전압 V_{SB} 가 0이 아니면 문턱전압이 증가하게 된다.

$$|V_{TH}| \mid V_{sb \neq 0} > |V_{TH}| \mid V_{sb=0}$$

백게이트 효과는 소스-밸크 전압의 변화에 의한 문턱전압의 변화를 기술하며, 아래 수식으로 근사된다.

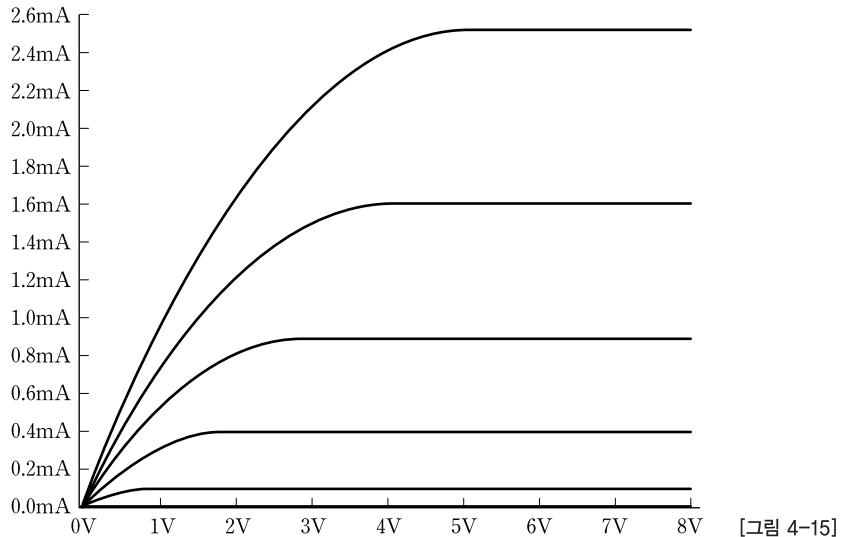
$$\begin{aligned}\Delta V_T &= \frac{\sqrt{2\varepsilon_s q N_a}}{C_{ox}} (\sqrt{2|\phi_p| + V_{SB}} - \sqrt{2|\phi_p|}) \\ &\equiv \gamma (\sqrt{2|\phi_p| + V_{SB}} - \sqrt{2|\phi_p|})\end{aligned}$$

여기서, γ 를 몸체 효과 상수 body effect coefficient라 부른다.

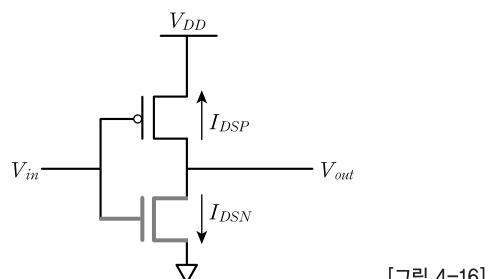
- [01] Rabaey, Jan, Anantha Chandrakasan, and Bora Nikolic. 『*Digital Integrated Circuits: A Design Perspective*』. 2nd ed. Upper Saddle River, NJ: Prentice Hall, (2002)
- [02] William F. Brinkman, Douglas E. Hagaan and William W. Troutman, 「A History of the Invention of the Transistor and Where It Will Lead Us」, IEEE Journal of Solid-State Circuits, Dec. (1997), pp. 1858-1864
- [03] Teckla S. Perry, 「Kilby and the IC」, IEEE Spectrum, Dec. (1998), pp. 40-41
- [04] Chih-Tang Sah, 「Evolution of the MOS Transistor - From Conception to VLSI」, Proceeding of the IEEE, Oct. (1998), pp. 1280-1325
- [05] J. E. Lilienfeld, 「Method and Apparatus for Controlling Electric Current」, U. S. Patent 1 745 175. Application filed Oct. 8, 1926, granted Jan. 18, 1930
- [06] Harry J. M. Veendrick, 『*Nanometer CMOS ICs, from Basics to ASICs*』, New York: Springer. (2008). pp.770
- [07] R. Jacob Baker, 『*CMOS: Circuit Design, Layout, and Simulation, Revised Second Edition*』, Wiley-IEEE (2008). <http://cmosedu.com/cmos1/book.htm>

⇒ Chapter_04 연습문제

- 4.1. MOSFET에서 인버전과 컨덕션의 차이는 무엇인가?
- 4.2. P-채널 MOSFET의 절단면 cross section을 그려 보라.
- 4.3. 아래 MOSFET의 I_D , V_{DS} 커브에서 선형영역과 포화영역을 보여라.



- 4.4. 다음 CMOS 인버터의 NMOS의 세 가지 동작영역의 전압 V_{GSN} 과 V_{DSN} 특성을 기술하라.



[그림 4-16]

- 4.5. CMOS 인버터의 NMOS 세 가지 동작영역에 대해서 입력 전압과 출력 전압 특성을 기술하라.

- 4.6.** CMOS 인버터의 PMOS의 세 가지 동작영역에 대해서 전압 V_{GSP} 과 V_{DSP} 특성을 기술하라.
- 4.7.** CMOS 인버터의 PMOS의 세 가지 동작영역에 대해서 입력전압과 출력 전압의 특성을 기술하라.